

## AMC0106M25 具有外部时钟的 $\pm 250\text{mV}$ 输入、 功能隔离式精密 $\Delta\text{-}\Sigma$ 调制器

### 1 特性

- 线性输入电压范围： $\pm 250\text{mV}$
- 电源电压范围：
  - 高侧 (AVDD)：3.0V 至 5.5V
  - 低侧 (DVDD)：2.7V 至 5.5V
- 低直流误差：
  - 失调电压误差： $\pm 200\mu\text{V}$  (最大值)
  - 温漂： $\pm 3\mu\text{V}/^\circ\text{C}$  (最大值)
  - 增益误差： $\pm 0.2\%$  (最大值)
  - 增益漂移： $\pm 40\text{ppm}/^\circ\text{C}$  (最大值)
- 高 CMTI：150V/ns (最小值)
- 高侧电源缺失检测
- 低 EMI：符合 CISPR-11 和 CISPR-25 标准
- 功能隔离：
  - 200V<sub>RMS</sub>、280V<sub>DC</sub> 工作电压
  - 570V<sub>RMS</sub>、800V<sub>DC</sub> 瞬态过压 (60s)
- 额定的工业级工作温度范围： $-40^\circ\text{C}$  至  $+125^\circ\text{C}$

### 2 应用

- 48V 电机驱动器
- 48V 变频器
- 模拟输入模块
- 电源

### 3 说明

AMC0106M25 是一款输入电压范围为  $\pm 250\text{mV}$  的功能隔离式精密  $\Delta\text{-}\Sigma$  调制器。隔离栅将在不同共模电压电平下运行的系统器件隔离。隔离栅支持高达 200V<sub>RMS</sub>/280V<sub>DC</sub> 的工作电压，以及高达 570V<sub>RMS</sub>/800V<sub>DC</sub> 的瞬态电压。

AMC0106M25 具有小封装尺寸和低输入电压范围，专为在空间受限的应用中实现高精度、隔离式电流检测而设计。电隔离栅支持高共模瞬变，并且可以将敏感控制电路与功率级的开关噪声隔离开来。

AMC0106M25 的输出位流与外部时钟同步。该器件与 sinc<sup>3</sup>、OSR 256 滤波器相结合，可实现 16 位分辨率、86dB 动态范围和 78kSPS 数据速率。

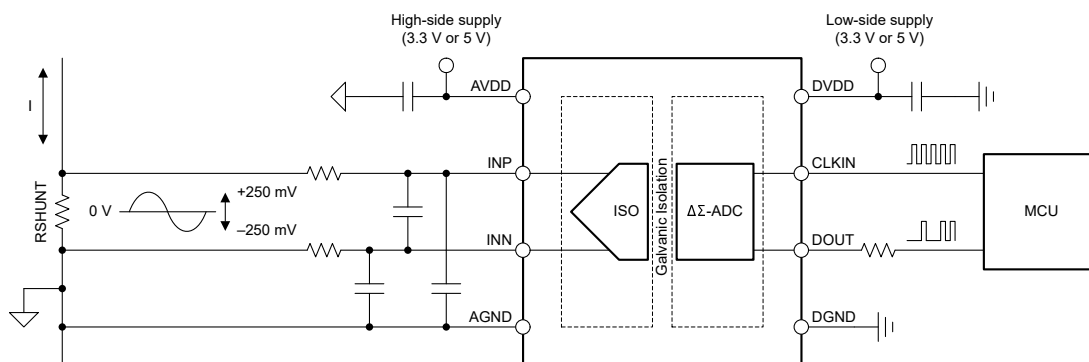
AMC0106M25 采用 8 引脚 0.65mm 间距的 VSON 封装，其额定工业级工作温度范围为  $-40^\circ\text{C}$  至  $+125^\circ\text{C}$ 。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
AMC0106M25	DEN (VSON, 8)	3.5mm × 2.7mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用



## 内容

<b>1 特性</b> .....	<b>1</b>	<b>6.4 器件功能模式</b> .....	<b>14</b>
<b>2 应用</b> .....	<b>1</b>	<b>7 应用和实施</b> .....	<b>15</b>
<b>3 说明</b> .....	<b>1</b>	7.1 应用信息.....	15
<b>4 引脚配置和功能</b> .....	<b>3</b>	7.2 典型应用.....	15
<b>5 规格</b> .....	<b>4</b>	7.3 最佳设计实践.....	18
5.1 绝对最大额定值.....	4	7.4 电源相关建议.....	19
5.2 ESD 等级.....	4	7.5 布局.....	19
5.3 建议运行条件.....	5	<b>8 器件和文档支持</b> .....	<b>20</b>
5.4 热性能信息 ( DEN 封装 ) .....	6	8.1 文档支持.....	20
5.5 封装特性 .....	6	8.2 接收文档更新通知.....	20
5.6 电气特性.....	7	8.3 支持资源.....	20
5.7 开关特性 .....	9	8.4 商标.....	20
5.8 时序图.....	9	8.5 静电放电警告.....	20
<b>6 详细说明</b> .....	<b>10</b>	8.6 术语表.....	20
6.1 概述.....	10	<b>9 修订历史记录</b> .....	<b>20</b>
6.2 功能方框图.....	10	<b>10 机械、封装和可订购信息</b> .....	<b>20</b>
6.3 特性说明.....	11	10.1 机械数据.....	21

## 4 引脚配置和功能

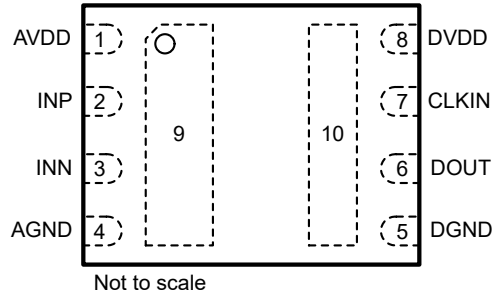


图 4-1. DEN 封装，8 引脚 VSON（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	AVDD	高侧电源	模拟（高侧）电源。 <sup>(1)</sup>
2	INP	模拟输入	同相模拟输入。将 10nF 滤波电容器从 INP 连接至 INN。
3	INN	模拟输入	反相模拟输入。将 10nF 滤波电容器从 INP 连接至 INN。
4、9 <sup>(2)</sup>	AGND	高侧接地端	模拟（高侧）接地端。
5、10 <sup>(2)</sup>	DGND	低侧接地端	数字（低侧）接地端。
6	DOUT	数字输出	调制器数据输出。
7	CLKIN	数字输入	采用内部下拉电阻器的调制器时钟输入（典型值：1.5M $\Omega$ ）。
8	DVDD	低侧电源	数字（低侧）电源。 <sup>(1)</sup>

- (1) 有关电源去耦方面的建议，请参阅 [电源相关建议](#) 部分。  
 (2) 这两个引脚通过一条低阻抗路径进行内部连接。

## 5 规格

### 5.1 绝对最大额定值

请参阅<sup>(1)</sup>

		最小值	最大值	单位
电源电压	高侧 AVDD 至 AGND	-0.3	6.5	V
	低侧 DVDD 至 DGND	-0.3	6.5	
模拟输入电压	INP、INN	AGND - 4	AVDD + 0.5	V
数字输入电压	CLKIN	DGND - 0.5	DVDD + 0.5	V
数字输出电压	DOUT	DGND - 0.5	DVDD + 0.5	V
瞬态隔离电压 <sup>(2)</sup>	交流电压, $t = 60\text{s}$ <sup>(3)</sup>		570	$V_{\text{RMS}}$
	直流电压, $t = 60\text{s}$ <sup>(3)</sup>		800	$V_{\text{DC}}$
输入电流	连续, 除电源引脚外的任何引脚	-10	10	mA
温度	结温, $T_{\text{J}}$		150	°C
	贮存温度, $T_{\text{stg}}$	-65	150	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 封装左侧 (引脚 1-4) 到右侧 (引脚 5-8) 的共模电压。
- (3) 累积。

### 5.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 <sup>(2)</sup>	±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

在工作环境温度范围内测得 ( 除非另有说明 )

		最小值	标称值	最大值	单位	
<b>电源</b>						
AVDD	高侧电源	AVDD 至 AGND		3	5.0 5.5	V
DVDD	低侧电源	DVDD 至 DGND		2.7	3.3 5.5	V
<b>模拟输入</b>						
V <sub>Clipping</sub>	削波输出前的差分输入电压	$V_{IN} = V_{INP} - V_{INN}$		±320		mV
V <sub>FSR</sub>	额定线性差分输入电压	$V_{IN} = V_{INP} - V_{INN}$		-250	250	mV
V <sub>CM</sub>	工作共模输入电压	$(V_{INP} + V_{INN})/2$ 至 AGND		-0.16	1	V
C <sub>IN, EXT</sub>	连接到输入端的最小外部电容	从 INP 到 INN		10		nF
<b>数字 I/O</b>						
V <sub>IO</sub>	数字输入/输出电压	0		DVDD		V
f <sub>CLKIN</sub>	输入时钟频率	5	20	21		MHz
t <sub>HIGH</sub>	输入时钟高电平时间	21.5	50	110		ns
t <sub>LOW</sub>	输入时钟低电平时间	21.5	50	110		ns
<b>隔离栅</b>						
V <sub>IOWM</sub>	功能隔离工作电压 <sup>(1)</sup>	交流电压 ( 正弦波 )		200		V <sub>RMS</sub>
		直流电压		280		V <sub>DC</sub>
<b>温度范围</b>						
T <sub>A</sub>	额定环境温度			-40	125	°C

(1) 封装左侧 ( 引脚 1-4 ) 到右侧 ( 引脚 5-8 ) 的共模电压。

## 5.4 热性能信息 (DEN 封装)

热指标 <sup>(1)</sup>		DEN (VSON)	单位
		8 引脚	
R <sub>θJA</sub>	结至环境热阻	64.7	°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻	53.7	°C/W
R <sub>θJB</sub>	结至电路板热阻	29.6	°C/W
Ψ <sub>JT</sub>	结至顶部特征参数	10.1	°C/W
Ψ <sub>JB</sub>	结至电路板特征参数	29.4	°C/W
R <sub>θJC(bot)</sub>	结至外壳 (底部) 热阻	23.4	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

## 5.5 封装特性

参数		测试条件	值	单位
<b>DEN 封装</b>				
CLR	外部间隙	引脚间的最短空间距离	≥ 1	mm
CPG	外部爬电距离	引脚间的最短封装表面距离	≥ 1	mm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	≥ 600	V
	材料组	符合 IEC 60664-1	I	
C <sub>IO</sub>	电容, 输入至输出 <sup>(1)</sup>	V <sub>IO</sub> = 0.5V <sub>PP</sub> (1MHz)	~1.5	pF
R <sub>IO</sub>	电阻, 输入至输出 <sup>(1)</sup>	T <sub>A</sub> = 25°C	> 10 <sup>12</sup>	Ω

(1) 将隔离栅每一侧的所有引脚都连在一起, 构成一个双引脚器件。

## 5.6 电气特性

最小和最大规格的适用条件为  $T_A = -40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ 、 $\text{AVDD} = 3.0\text{V}$  至  $5.5\text{V}$ 、 $\text{DVDD} = 2.7\text{V}$  至  $5.5\text{V}$ 、 $V_{\text{INP}} = -250\text{mV}$  至  $250\text{mV}$ 、 $V_{\text{INN}} = 0\text{V}$  且  $\text{sinc}^3$  滤波器的  $\text{OSR} = 256$  (除非另有说明)；典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $\text{CLKIN} = 20\text{MHz}$ ， $\text{AVDD} = 5\text{V}$  且  $\text{DVDD} = 3.3\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
<b>模拟输入</b>						
$C_{\text{IN}}$	有效输入采样电容			2		pF
$R_{\text{IN}}$	输入阻抗	$f_{\text{CLK}} = 10\text{MHz}$	待定	50	待定	k $\Omega$
		$f_{\text{CLK}} = 20\text{MHz}$	待定	25	待定	
$I_{\text{INP}}$	输入电流	$V_{\text{IN}} = (V_{\text{INP}} - V_{\text{INN}}) = V_{\text{FSR, MAX}}$ , $f_{\text{CLK}} = 10\text{MHz}$	待定	5	待定	$\mu\text{A}$
		$V_{\text{IN}} = (V_{\text{INP}} - V_{\text{INN}}) = V_{\text{FSR, MAX}}$ , $f_{\text{CLK}} = 20\text{MHz}$	待定	10	待定	
$I_{\text{INN}}$	输入电流	$V_{\text{IN}} = (V_{\text{INP}} - V_{\text{INN}}) = V_{\text{FSR, MAX}}$ , $f_{\text{CLK}} = 10\text{MHz}$	- 待定	-5	- 待定	$\mu\text{A}$
		$V_{\text{IN}} = (V_{\text{INP}} - V_{\text{INN}}) = V_{\text{FSR, MAX}}$ , $f_{\text{CLK}} = 20\text{MHz}$	- 待定	-10	- 待定	
CMTI	共模瞬态抗扰度		150			V/ns
$E_{\text{O}}$	失调电压误差 <sup>(1)</sup>	$\text{INP} = \text{INN} = \text{AGND}$ , $T_A = 25^{\circ}\text{C}$	-200	$\pm 4.5$	200	$\mu\text{V}$
$E_{\text{G}}$	增益误差	$T_A = 25^{\circ}\text{C}$	-0.2%	$\pm 0.005\%$	0.2%	
$E_{\text{O}}$	失调电压误差 <sup>(1)</sup>	$\text{INP} = \text{INN} = \text{AGND}$ , $T_A = 25^{\circ}\text{C}$	-200	$\pm 4.5$	200	$\mu\text{V}$
$E_{\text{G}}$	增益误差	$T_A = 25^{\circ}\text{C}$	-0.2%	$\pm 0.005\%$	0.2%	
<b>直流精度</b>						
$E_{\text{O}}$	失调电压误差 <sup>(1)</sup>	$\text{INP} = \text{INN} = \text{AGND}$ , $T_A = 25^{\circ}\text{C}$	-200	$\pm 4.5$	200	$\mu\text{V}$
$\text{TCE}_{\text{O}}$	失调电压误差温漂 <sup>(3)</sup>		-3		3	$\mu\text{V}/^{\circ}\text{C}$
$E_{\text{G}}$	增益误差	$T_A = 25^{\circ}\text{C}$	-0.2%	$\pm 0.005\%$	0.2%	
$\text{TCE}_{\text{G}}$	增益误差温漂 <sup>(4)</sup>		-40	$\pm 20$	40	ppm/ $^{\circ}\text{C}$
INL	积分非线性 <sup>(2)</sup>	分辨率: 16 位	-4	$\pm 1$	4	LSB
DNL	微分非线性	分辨率: 16 位	-0.99		0.99	LSB
CMRR	共模抑制比	$\text{INP} = \text{INN}$ , $f_{\text{IN}} = 0\text{Hz}$ , $V_{\text{CM min}} \leq V_{\text{IN}} \leq V_{\text{CM max}}$		-92		dB
		$\text{INP} = \text{INN}$ , $f_{\text{IN}}$ 为 0.1Hz 至 10kHz, $V_{\text{CM min}} \leq V_{\text{IN}} \leq V_{\text{CM max}}$		-95		
PSRR	电源抑制比	$\text{INP} = \text{INN} = \text{AGND}$ , AVDD 为 3.0V 至 5.5V, 直流		-80		dB
		$\text{INP} = \text{INN} = \text{AGND}$ , AVDD 为 3.0V 至 5.5V, 10kHz/100mV 纹波		-80		
<b>交流精度</b>						
SNR	信噪比	$f_{\text{IN}} = 1\text{kHz}$		86		dB
SINAD	信号 (噪声 + 失真) 比	$f_{\text{IN}} = 1\text{kHz}$		85.7		dB
THD	总谐波失真 <sup>(5)</sup>	$4.5\text{V} \leq \text{AVDD} \leq 5.5\text{V}$ , $f_{\text{IN}} = 1\text{kHz}$ , $5\text{MHz} \leq f_{\text{CLKIN}} \leq 21\text{MHz}$		-90		dB
		$3.0\text{V} \leq \text{AVDD} \leq 3.6\text{V}$ , $f_{\text{IN}} = 1\text{kHz}$ , $5\text{MHz} \leq f_{\text{CLKIN}} \leq 21\text{MHz}$		-93		
<b>CMOS 逻辑电平 (采用施密特触发时)</b>						
$I_{\text{IN}}$	输入电流	$\text{DGND} \leq V_{\text{IN}} \leq \text{DVDD}$	0		7	$\mu\text{A}$
$C_{\text{IN}}$	输入电容			4		pF

## 5.6 电气特性 (续)

最小和最大规格的适用条件为  $T_A = -40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ 、 $AVDD = 3.0\text{V}$  至  $5.5\text{V}$ 、 $DVDD = 2.7\text{V}$  至  $5.5\text{V}$ 、 $V_{\text{INP}} = -250\text{mV}$  至  $250\text{mV}$ 、 $V_{\text{INN}} = 0\text{V}$  且  $\text{sinc}^3$  滤波器的  $\text{OSR} = 256$  (除非另有说明)；典型规格的条件为  $T_A = 25^{\circ}\text{C}$ ， $\text{CLKIN} = 20\text{MHz}$ ， $AVDD = 5\text{V}$  且  $DVDD = 3.3\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
$V_{\text{IH}}$	高电平输入电压		$0.7 \times DVDD$		$DVDD + 0.3$	V
$V_{\text{IL}}$	低电平输入电压		-0.3		$0.3 \times DVDD$	V
$C_{\text{LOAD}}$	输出负载电容			30		pF
$V_{\text{OH}}$	高电平输出电压	$I_{\text{OH}} = -4\text{mA}$	$DVDD - 0.4$			V
$V_{\text{OL}}$	低电平输出电压	$I_{\text{OL}} = 4\text{mA}$			0.4	V
<b>电源</b>						
$I_{\text{AVDD}}$	高侧电源电流			6.2	8.8	mA
$I_{\text{DVDD}}$	低侧电源电流	$C_{\text{LOAD}} = 15\text{pF}$		4.2	6.3	mA
$AVDD_{\text{UV}}$	高侧欠压检测阈值	AVDD 上升	2.3	2.55	2.75	V
		AVDD 下降	2.15	2.35	2.55	
$DVDD_{\text{UV}}$	低侧欠压检测阈值	DVDD 上升	2.3	2.55	2.75	V
		DVDD 下降	2.15	2.35	2.55	

- 此参数以输入为基准。
- 根据定义，积分非线性是指距离穿过理想 ADC 传递函数端点的直线之间的最大偏差，以 LSB 的数量表示，或以指定线性满标量程 FSR 的百分比表示。
- 使用框方法计算失调电压误差温漂，如以下公式所述：  
 $TCE_O = (E_{O,\text{MAX}} - E_{O,\text{MIN}}) / \text{TempRange}$ ，其中  $E_{O,\text{MAX}}$  和  $E_{O,\text{MIN}}$  是指在温度范围 ( $-40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ ) 内测得的最大和最小  $E_O$  值。
- 使用框方法计算增益误差温漂，如以下公式所述：  
 $TCE_G (\text{ppm}) = ((E_{G,\text{MAX}} - E_{G,\text{MIN}}) / \text{TempRange}) \times 10^4$ ，其中  $E_{G,\text{MAX}}$  和  $E_{G,\text{MIN}}$  是指在温度范围 ( $-40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ ) 内测得的最大和最小  $E_G$  值 (表示为%)。
- THD 是前五个高次谐波幅度的均方根和与基波幅度之比。



### 5.7 开关特性

参数		测试条件	最小值	典型值	最大值	单位
$t_H$	CLKIN 上升沿之后的 DOUT 保持时间	$C_{LOAD} = 15pF$	10			ns
$t_D$	CLKIN 的上升沿至 DOUT 有效延迟	$C_{LOAD} = 15pF$			35	ns
$t_r$	DOUT 上升时间	10% 至 90%, $2.7V \leq DVDD \leq 3.6V$ , $C_{LOAD} = 15pF$		3.8	7	ns
		10% 至 90%, $4.5V \leq DVDD \leq 5.5V$ , $C_{LOAD} = 15pF$		4.3	7	
$t_f$	DOUT 下降时间	10% 至 90%, $2.7V \leq DVDD \leq 3.6V$ , $C_{LOAD} = 15pF$		3.8	7	ns
		10% 至 90%, $4.5V \leq DVDD \leq 5.5V$ , $C_{LOAD} = 15pF$		4.3	7	
$t_{START}$	器件启动时间	AVDD 从 0V 变化为 3.0V, $AVDD \geq 2.7V$ 时位流有效, 0.1% 稳定时间		0.5		ms

### 5.8 时序图

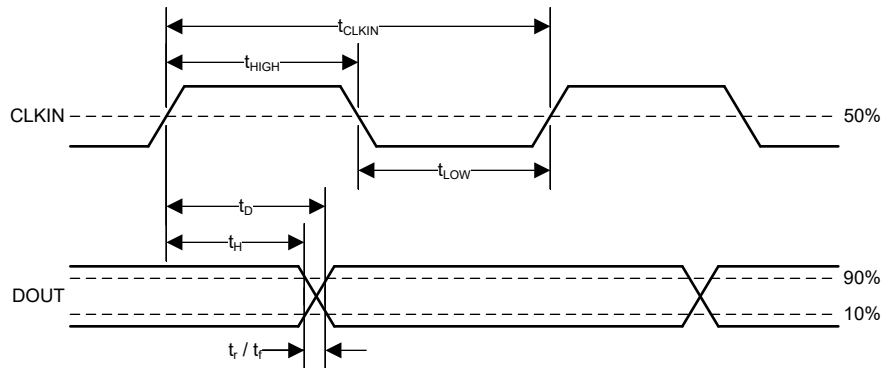


图 5-1. 数字接口时序

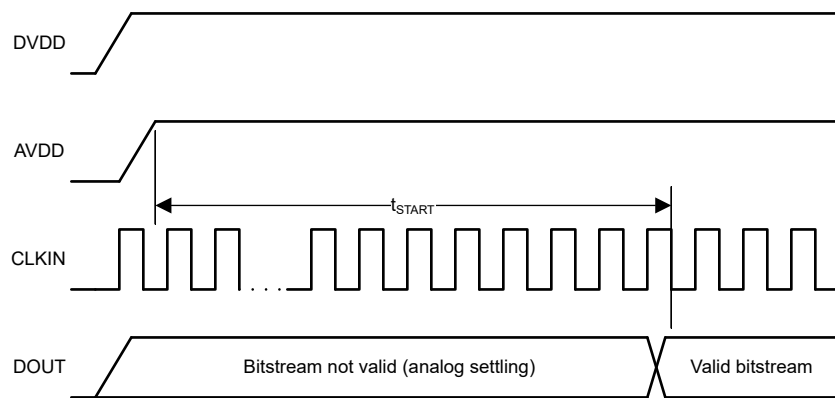


图 5-2. 器件启动时序

## 6 详细说明

### 6.1 概述

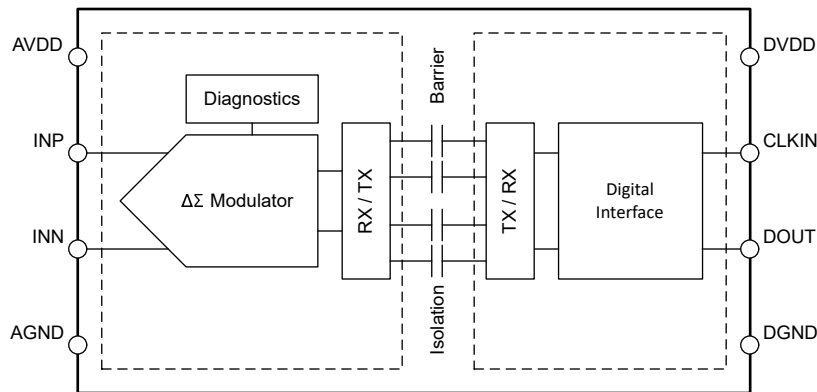
AMC0106M25 是一款单通道、二阶 CMOS  $\Delta$ - $\Sigma$  调制器，专为交流信号的高分辨率模数转换而设计。AMC0106M25 的差分模拟输入通过开关电容器电路实现。转换器的隔离式输出 (DOUT) 提供由数字 1 和 0 组成的位流，与施加于 CLKIN 引脚的外部时钟同步。此串行输出的平均时间与模拟输入电压成正比。

调制器将量化噪声转移到高频。因此，在器件输出端使用低通数字滤波器（如 Sinc 滤波器）来提高总体性能。该滤波器还可将较高采样率的 1 位数据流转换为较低速率（抽取）的较高位数据字。使用微控制器 ( $\mu$ C) 或现场可编程门阵列 (FPGA) 来实现滤波器。

整体性能（速度和分辨率）取决于所选的适当过采样率 (OSR) 和滤波器类型。OSR 越高，分辨率就越高，而运行时的刷新率越低。OSR 越低，分辨率就越低，但提供的数据刷新率越高。多个滤波器可以并行运行。例如，用于快速过流检测的低 OSR 滤波器和用于高分辨率电流测量的高 OSR 滤波器可以并行运行。

基于二氧化硅 ( $\text{SiO}_2$ ) 的电容隔离栅支持高水平的磁场抗扰度，请参阅 [ISO72x 数字隔离器磁场抗扰度应用手册](#)。AMC0106M25 使用开关键控 (OOK) 调制方案，通过隔离栅传输数据。这种调制方案加上隔离栅的特性，可确保在嘈杂环境中实现高可靠性，并具有高共模瞬态抗扰度。

### 6.2 功能方框图



## 6.3 特性说明

### 6.3.1 模拟输入

如图 6-1 所示，AMC0106M25 的输入端是一个全差分开关电容器电路，在 20MHz 时具有  $25\text{k}\Omega$  的动态输入阻抗。

采样电容器以  $f_{\text{CLK}}$  的频率持续充电和放电。当 S1 开关闭合时， $C_{\text{IND}}$  充电至  $V_{\text{INP}}$  与  $V_{\text{INN}}$  之间的电压差。在放电阶段，两个 S1 开关首先均断开，然后两个 S2 开关均闭合。在此阶段， $C_{\text{IND}}$  放电至约  $\text{AGND} + 0.8\text{V}$ 。

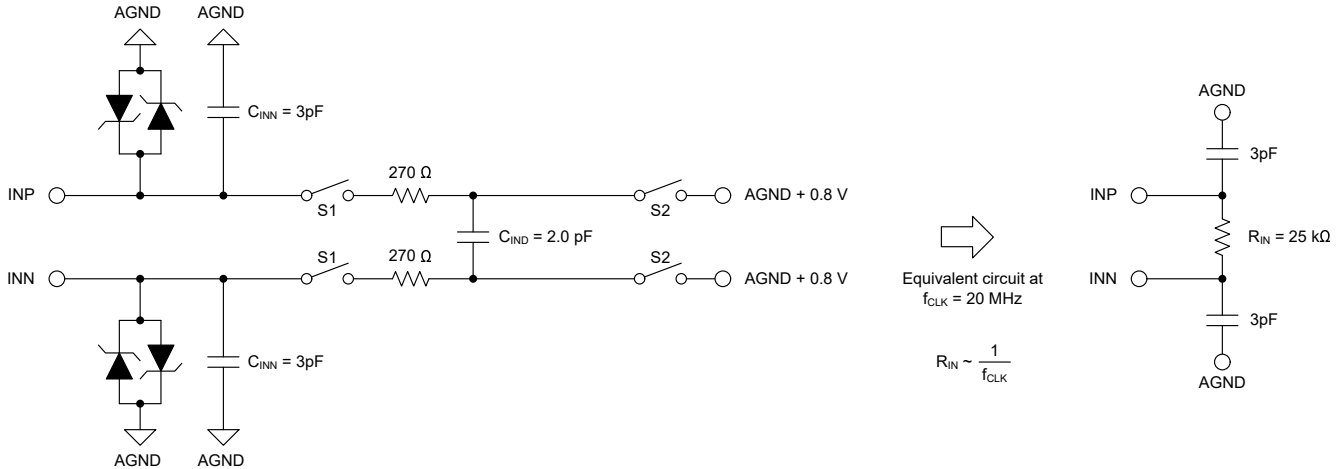


图 6-1. 等效输入电路

模拟输入范围经过调整，以便直接适应于用于电流检测的分流电阻器上的电压降。模拟输入信号 ( INP 和 INN ) 受到以下两种限制。首先，如果输入电压超过 [绝对最大额定值](#) 表中指定的输入范围，则因为静电放电 (ESD) 保护会开启，所以必须将输入电流限制为绝对最大值。其次，仅当差分模拟输入电压保持在指定的  $V_{\text{FSR}}$  和  $V_{\text{CM}}$  范围内时，才会确保器件的线性度和噪声性能。 $V_{\text{FSR}}$  是线性满标量程范围， $V_{\text{CM}}$  是输入共模电压范围。

### 6.3.2 调制器

图 6-2 概念化了 AMC0106M25 中实现的二阶开关电容器前馈  $\Delta$ - $\Sigma$  调制器。从输入电压  $V_{IN} = (V_{INN} - V_{INP})$  中减去 1 位数模转换器 (DAC) 的输出  $V_5$ 。该减法在第一积分器级的输入端提供模拟电压  $V_1$ 。第一个积分器的输出馈送第二积分器级的输入。结果是输出电压  $V_3$  与输入信号  $V_{IN}$  和第一个积分器的输出  $V_2$  相加。根据所得电压  $V_4$  的极性，比较器的输出将改变。在这种情况下，1 位 DAC 通过改变相关的模拟输出电压  $V_5$ ，对下一个时钟脉冲做出响应。因而会导致积分器向相反方向移动，并强制积分器输出值跟踪平均输入值。

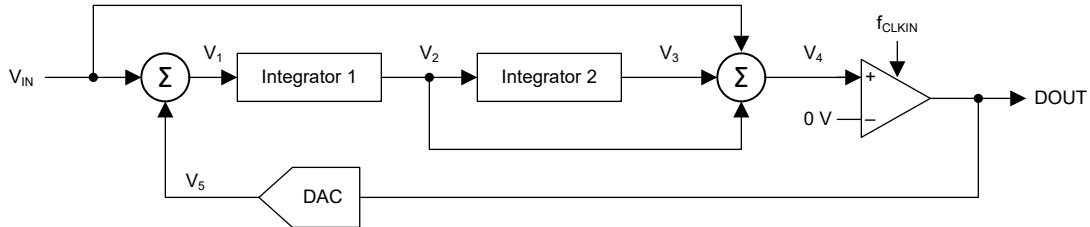


图 6-2. 二阶调制器的框图

### 6.3.3 隔离通道信号传输

AMC0106M25 使用开关键控 (OOK) 调制方案，跨过基于  $\text{SiO}_2$  的隔离栅来传输调制器输出位流。功能方框图中所示的发送驱动器 (TX) 跨过隔离栅发送一个内部生成的高频载波来表示数字一，而 TX 不发送信号则表示数字零。AMC0106M25 内使用的载波标称频率为 480MHz。

图 6-3 展示了开关键控方案的概念。

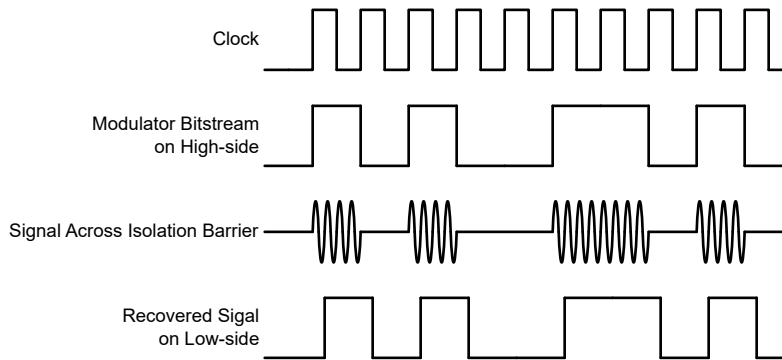


图 6-3. 基于 OOK 的调制方案

### 6.3.4 数字输出

0V 差分输入信号在理想状态下会生成 50% 时间处于高电平的位流 ( 由 1 和 0 组成 )。250mV 差分输入会生成 89.06% 时间处于高电平的位流 ( 由 1 和 0 组成 )。当分辨率为 16 位时, 该百分比在理想情况下对应于代码 58368。250mV 差分输入会生成 10.94% 时间处于高电平的位流 ( 由 1 和 0 组成 )。当分辨率为 16 位时, 该百分比在理想情况下对应于代码 7168。这些输入电压也是 AMC0106M25 的指定线性范围。如果输入电压值超出该范围, 则随着量化噪声的增大, 调制器的输出会表现出越来越明显的非线性行为。调制器输出以输入电压  $\leq 320\text{mV}$  的恒定 0 位流或输入电压  $\geq 320\text{mV}$  的恒定 1 位流进行削波。但是在这种情况下, AMC0106M25 每 128 个时钟周期生成一个 1 或 0, 以指示器件工作正常。如果输入为负满标量程, 则生成一个 1; 如果输入为正满标量程, 则生成一个 0。更多详细信息, 请参阅 [满标量程输入情况下的输出行为](#) 部分。图 6-4 展示了输入电压与输出调制器信号间的关系。

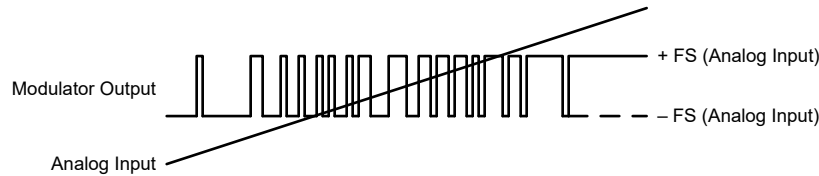


图 6-4. 调制器输出与模拟输入间的关系

对于任何输入电压 ( $V_{IN} = V_{INP} - V_{INN}$ ) 值, 使用 [方程式 1](#) 计算输出位流中 1 的密度。但满标量程输入信号除外, 如 [满标量程输入情况下的输出行为](#) 部分所述。

$$\rho = \frac{V_{IN} + V_{Clipping}}{2 \times V_{Clipping}} \quad (1)$$

#### 6.3.4.1 满标量程输入情况下的输出行为

如果向 AMC0106M25 施加满标量程输入信号, 则该器件会每经过 128 位在 DOUT 生成一个 1 或 0。图 6-5 展示了此过程的时序图。根据所检测信号的实际极性, 生成一个 1 或 0。满标量程信号是在  $|V_{IN}| \geq |V_{Clipping}|$  时定义。通过这种方式, 可以在系统级对缺少 AVDD 和满标量程输入信号进行区分。

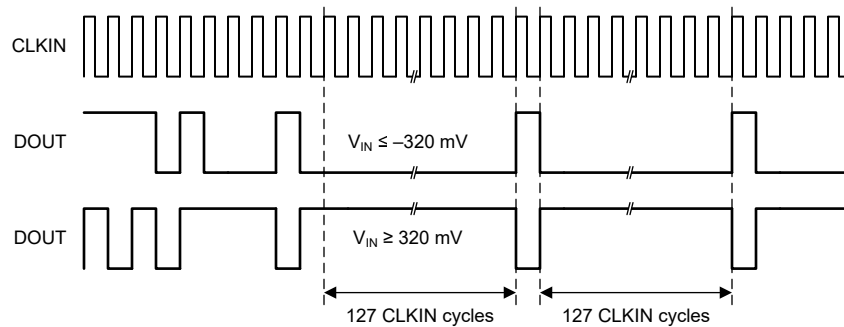


图 6-5. AMC0106M25 的满标量程输出

### 6.3.4.2 高侧电源缺失情况下的输出行为

如图 6-6 所示，如果高侧电源缺失，器件会在输出端提供恒定的逻辑 0 位流。当高侧电源缺失时，DOUT 会一直处于低电平状态。每 128 个时钟脉冲不会生成 1，从而将此条件与有效的负满量程输入区分开来。该特性有助于识别电路板上的高侧电源问题。

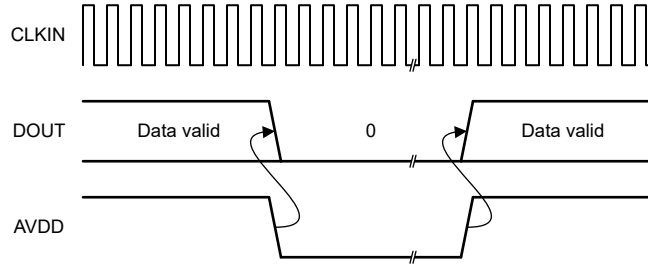


图 6-6. 高侧电源缺失情况下 AMC0106M25 的输出

## 6.4 器件功能模式

AMC0106M25 在以下其中一种状态下运行：

- 关断状态：器件的低侧 (AVDD) 未供电。器件无响应，DOUT 处于高阻抗状态。在内部，DOUT 由 ESD 保护二极管钳位到 DVDD 和 DGND。
- 高侧电源缺失：DVDD 在 [建议运行条件](#) 范围内供电，但  $V_{AVDD}$  低于  $AVDD_{UV}$  阈值。该器件输出一个逻辑 0 的恒定位流，如 [高侧电源缺失情况下的输出行为](#) 部分所述。
- 超出共模输入电压范围：AVDD 和 DVDD 在相应的建议运行条件范围内供电。但共模输入电压  $V_{CM} = (V_{INP} + V_{INN})/2$  超出建议的运行条件。该器件输出无效数据，与差分输入电压  $V_{IN}$  无关。
- 超出差分输入电压范围 (满标量程输入)： $V_{AVDD}$ 、 $V_{DVDD}$  和  $V_{CM}$  处于建议运行条件内。然而，差分输入电压  $V_{IN} = (V_{INP} - V_{INN})$  超过了削波电压 ( $|V_{IN}| > |V_{Clipping}|$ )。该器件输出一个固定图案，如 [高侧电源缺失情况下的输出行为](#) 部分所述。
- 正常运行： $V_{AVDD}$ 、 $V_{DVDD}$ 、 $V_{CM}$  和  $V_{IN}$  处于建议运行条件内。该器件输出一个数字位流，如 [数字输出](#) 部分所述。

表 6-1. 器件运行模式

运行条件	$V_{DVDD}$	$V_{AVDD}$	$V_{CM}$ ( $V_{INP} + V_{INN}$ ) / 2	$V_{IN}$ ( $V_{INP} - V_{INN}$ )	器件 响应
关闭	$V_{DVDD} < DVDD_{UV}$	无关	无关	无关	DOUT 处于高阻态状态。DOUT 由 ESD 保护二极管钳位到 DVDD 和 DGND。
高侧电源缺失	有效 <sup>(1)</sup>	$V_{AVDD} < AVDD_{UV}$	无关	无关	DOUT 持续处于低电平
超出共模输入电压范围	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	$V_{CM} < V_{CM, MIN}$ 或 $V_{CM} > V_{CM, MAX}$	无关	器件输出无效数据
超出差分输入电压范围	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	$ V_{IN}  > V_{Clipping}$	器件每经过 128 个时钟周期输出一个 1 或 0
正常运行	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	有效 <sup>(1)</sup>	正常运行

(1) 建议运行条件内的有效方式。

## 7 应用和实例

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

### 7.1 应用信息

隔离式调制器广泛用于出于安全或功能原因而需要将高压域与低压域进行电隔离的应用。一个典型的应用是检测变频器中的相电流。

### 7.2 典型应用

图 7-1 展示了全桥电机驱动器的简化版原理图，该电机驱动器使用 AMC0106M25 来检测电机电流。流经外部分流电阻器 RSHUNT 的电流会产生压降，该压降可由 AMC0106M25 检测。AMC0106M25 对高侧的模拟输入信号进行数字化，并跨过隔离栅将数据传输到低侧。然后，器件在 DOUT 引脚上输出数字位流，并与施加到 CLKIN 引脚的时钟同步。数字位流由微控制单元 (MCU) 或 FPGA 中的低通数字滤波器进行处理。

此应用中的 48V 直流链路电压由 AMC0136 隔离式调制器检测。

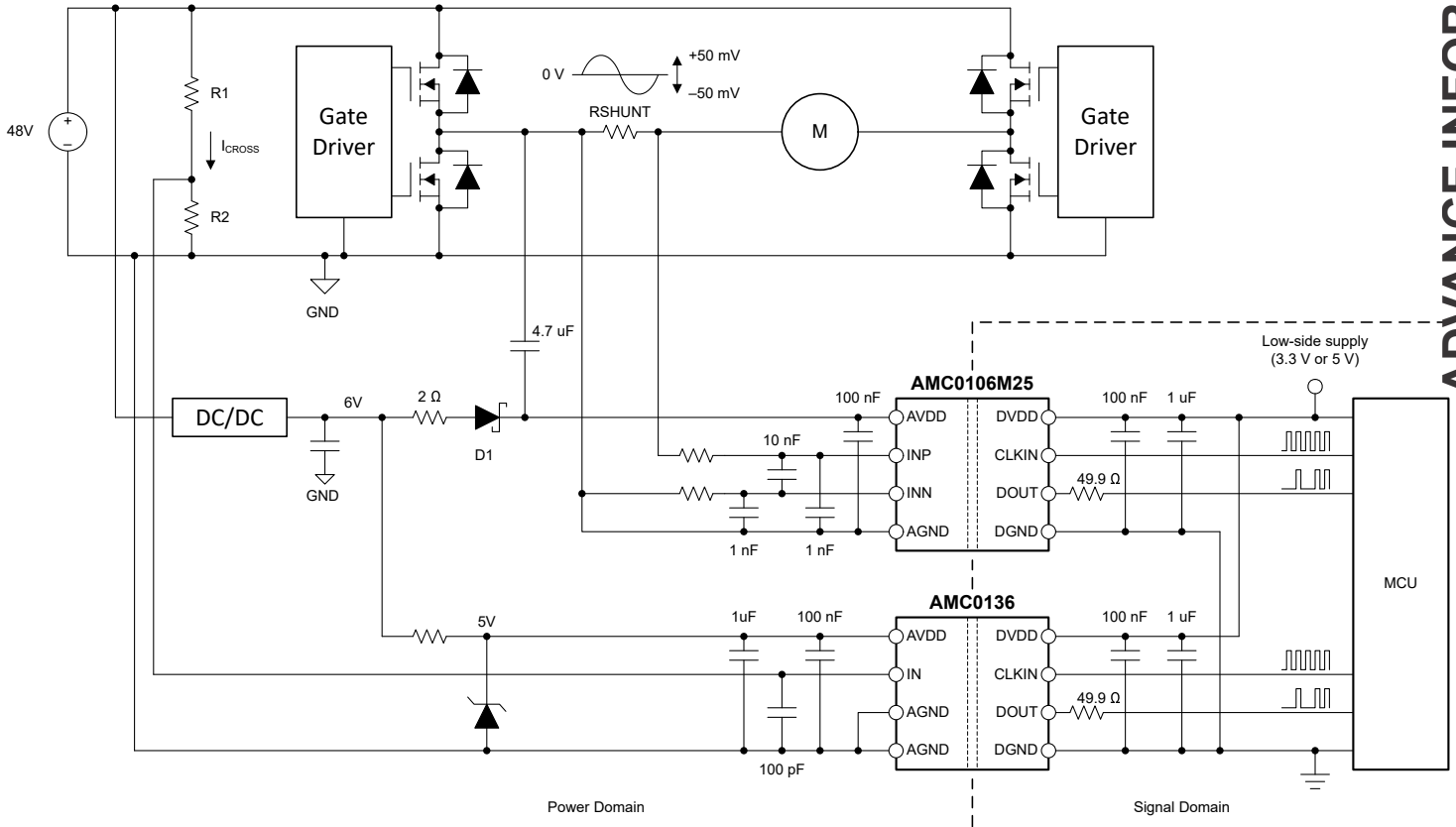


图 7-1. 在全桥 48V 电机驱动器设计中使用 AMC0106M25 进行电流检测

高侧电源 (AVDD) 由自举电路 ( R4、D1、C2 ) 生成。低侧电源与信号域中的电路共享。可使用 DOUT 引脚上可选的 49.9 Ω 电阻器实现线路端接，从而提高接收端的信号完整性。

AMC0106M25 具有电隔离栅和高共模瞬态抗扰度 (CMTI)，即便在高噪声环境中，也能可靠、准确地工作。

## 7.2.1 设计要求

表 7-1 列出了此典型应用的参数。

表 7-1. 设计要求

参数	值
系统电压, 功率级	48V
自举电源电压 ( $V_{BS}$ )	6V
AVDD 电源上的最大纹波电压 ( $V_{RIPPLE}$ )	200mV
PWM 频率	16kHz
PWM 占空比范围	5% 至 95%
线性电流检测范围	$\pm 5A$

## 7.2.2 详细设计过程

在图 7-1 中, 高侧电源 (AVDD) 从自举电路 ( R4、D1、C2 ) 生成。

高侧接地基准 (AGND) 由连接至 AMC0106M25 负输入端 (INN) 的分流电阻器端部提供。对于四端分流器, 请将器件输入端连接到分流器的内部引线, 并将 AGND 连接到外部引线。为了最大限度地减少偏移和提高精度, 请将接地连接作为单独的布线。将 AGND 直接连接到分流电阻器, 而不是在器件的输入端将 AGND 短接至 INN。更多详细信息, 请参阅 [布局](#) 部分。

### 7.2.2.1 分流电阻器阻值调整

分流电阻器 (RSHUNT) 值由器件的线性输入电压范围 ( $\pm 250mV$ ) 和所需的线性电流检测范围  $\pm 5A$  决定。RSHUNT 的计算公式为:  $250mV/5A = 50m\Omega$ 。分流电阻器中的峰值功耗为  $RSHUNT \times I_{PEAK}^2 = 50m\Omega \times (5A)^2 = 1.25W$ 。为了实现线性响应, 请在不超过额定功率 2/3 的情况下运行分流电阻器。因此选择了标称功率额定值约为 1.8W 的分流电阻器。

如果系统中预计会出现超出 AMC0106M25 线性输入电压范围的瞬态过流, 请选择较低的分流电阻器值。如果您能接受过流范围内的线性度降低和分辨率降低, 则可以让分流器上的压降超过线性输入电压范围, 但不能超过 AMC0106M25 的削波电压。在任何情况下, 确保最大过流导致的压降不超过会引起削波输出的输入电压。也就是说, 确保  $|V_{SHUNT}| \leq |V_{Clipping}|$ 。



### 7.2.2.2 输入滤波器设计

在隔离式调制器前面放置一个差分 RC 滤波器 ( R1、R2、C5 ) 可提高信号路径的信噪比性能。当频率接近  $\Delta$ - $\Sigma$  调制器采样频率 ( 通常为 20MHz ) 时, 调制器会将输入噪声折返至低频范围内。在输入端使用 RC 滤波器的目的是将高频噪声衰减至低于测量所需的噪声水平。设计输入滤波器, 使得:

- 滤波电容 (C5) 最小为 10nF
- 滤波器的截止频率至少比  $\Delta$ - $\Sigma$  调制器的采样频率 ( $f_{CLKIN}$ ) 低一个数量级
- 动态输入偏置电流不会在输入滤波器的直流阻抗 ( R1、R2 ) 两端产生明显的压降
- 从各模拟输入端测得的阻抗相等 ( R1 等于 R2 )

电容器 C6 和 C7 是可选电容器, 可以改善高频 (>1MHz) 下的共模抑制性能。为获得出色性能, 请确保 C6 与 C7 的值匹配, 并且两个电容器的值均比 C5 低 10 到 20 倍。NP0 型电容器具有低温漂和低电压系数, 非常适合用于共模滤波。对于大多数应用, 图 7-2 中所示的结构实现了出色的性能。

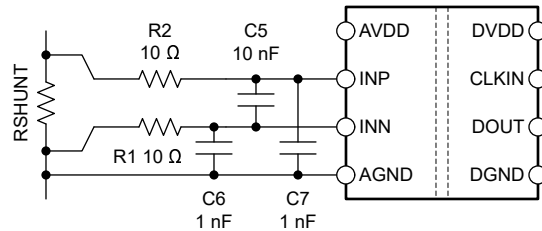


图 7-2. 输入滤波器

### 7.2.2.3 位流滤波

调制器产生一个位流供数字滤波器处理, 从而获得类似于常规模数转换器 (ADC) 转换结果的数字字。方程式 2 展示了  $\text{sinc}^3$  型滤波器, 该滤波器非常简单, 设计和构建这个滤波器所需的工作量和硬件资源都非常少。

$$H(z) = \left( \frac{1 - z^{-OSR}}{1 - z^{-1}} \right)^3 \quad (2)$$

这种滤波器采用二阶调制器的最小硬件尺寸 ( 数字门数 ) 提供出色的输出性能。本文档中的所有特性描述都是基于具有 256 过采样率 (OSR) 和 16 位输出字宽的  $\text{sinc}^3$  滤波器。

将 ADS1202 与 FPGA 数字滤波器结合以在电机控制应用中测量电流 应用手册 讨论了一个示例代码。使用此示例代码在 FPGA 中实施  $\text{sinc}^3$  滤波器。可从 [www.ti.com](http://www.ti.com) 下载该应用手册。

对于调制器输出位流滤波, 请使用 TI 的 C2000 或 Sitara 微控制器系列中的器件。这些系列支持多通道专用硬接线滤波器结构, 通过为每个通道提供两条滤波路径, 显著简化了系统级设计。一条路径为控制环路提供高精度结果, 另一条路径提供快速响应路径, 用于过流检测。

$\Delta$ - $\Sigma$  调制器滤波器计算器 可从 [www.ti.com](http://www.ti.com) 下载, 使用该计算器有助于进行滤波器设计以及选择正确的 OSR 和滤波器阶数。此计算器有助于实现所需的输出分辨率和滤波器响应时间。

#### 7.2.2.4 设计自举电源

自举电容器 (C2, 图 7-1) 在左侧半桥的低侧 FET 的 PWM 导通时间内充电。在 PWM 关断期间, C2 随开关引脚电压上升, 并用作 AMC0106M25 电源。在充电阶段, R4 用作限流电阻器, D1 用于防止反向电流在放电阶段流回自举电源。

在 PWM 导通时间内, C2 的充电电压取决于自举电源和限流电阻器 R2 的值。此外, 此电压还取决于 PWM 占空比和二极管 D1 的正向电压 ( $V_{F, D1}$ )。

在 PWM 关断时间内, C2 的放电电压取决于 D1 的反向恢复时间。此外, 此电压还取决于 PWM 占空比和 AMC0106M25 的电流消耗 ( $I_{AVDD}$ )。为了最大限度地降低开关损耗, 请选择一个具有高正向电流能力的快速开关二极管。

确保 C2 具有适当的大小, 可在最大 PWM 关断时间内支持最大  $I_{AVDD}$  电流。在此期间, 请确保 C2 不会放电至低于 3V 的最小建议 AVDD 电压。较低的电容值可加快充电速度, 因此支持较低的 PWM 占空比。但较低的值也会产生更大的电压纹波, 并限制最大 PWM 关断时间。在本例中, 目标是让纹波电压 ( $V_{RIPPLE}$ ) 小于 200mV。最大 PWM 关断时间为  $95\% \times (1 / f_{PWM}) = 0.95 \times 62.5\mu s$ , 约为 60 $\mu s$ 。 $I_{AVDD, MAX}$  指定为 8.8mA。最小电容值的计算公式为  $C_{2, MIN} = I_{AVDD, MAX} \times t_{PWM-OFF, MAX} / V_{RIPPLE} = 8.8mA \times 60\mu s / 200mV = 2.6\mu F$ 。选择 4.7 $\mu F$  电容器, 以便考虑到元件容差并为设计增加一些裕度。

确保自举电路支持在  $5\% \times (1/f_{PWM}) = 0.05 \times 62.5\mu s$  或约 3.1 $\mu s$  的最小 PWM 导通时间内对 C2 再充电。在此期间的平均充电电流为  $C2 \times V_{RIPPLE} / t_{PWM-ON, MIN} = 4.7\mu F \times 200mV / 3.1\mu s$ , 约为 300mA。此电流是二极管 D1 必须支持的最小正向电流。二极管 D1 和限流电阻器 R4 上允许的最大压降由最小电容器电压和  $V_{BS}$  值决定。最小电容器电压为 3V, 相当于  $AVDD_{min}$ 。 $V_{BS}$  是自举电源电压, 等于 6V。假设使用 1V 的二极管正向电压。确保  $R4 < (V_{BS} - V_{F, D1} - V_{C2, MIN}) / I_{CHARGE} = (6V - 1V - 3V) / 300mA = 6\Omega$ 。选择 2 $\Omega$  电阻器来提供设计裕度。

### 7.3 最佳设计实践

在器件输入端 (从 INP 到 INN) 放置一个最小 10nF 的电容器。该电容器有助于避免在开关电容器输入级采样期间输入端出现压降。

AMC0106M25 器件通电时, 请勿使其输入端保持断开 (悬空) 状态。如果任一调制器输入保持悬空, 则输出位流无效。

通过硬短路或电阻路径将高侧接地端 (AGND) 连接到 INN。需要 INN 和 AGND 之间的直流电流路径来定义输入共模电压。不要超过 [建议运行条件](#) 表中指定的输入共模范围。为了获得更高精度, 请将接地连接作为单独的布线直接连接到检测电阻器。请勿在器件输入端直接将 AGND 短接至 INN。更多详细信息, 请参阅 [布局](#) 部分。

## 7.4 电源相关建议

AMC0106M25 无需任何特定的上电时序。高侧电源 (AVDD) 通过与低 ESR、 $1\mu\text{F}$  电容器 (C2) 并联的低 ESR、 $100\text{nF}$  电容器 (C1) 进行去耦。低侧电源 (DVDD) 同样通过与低 ESR、 $1\mu\text{F}$  电容器 (C4) 并联的低 ESR、 $100\text{nF}$  电容器 (C3) 进行去耦。将所有四个电容器 (C1、C2、C3 和 C4) 尽可能靠近器件放置。图 7-3 展示了 AMC0106M25 的去耦图。

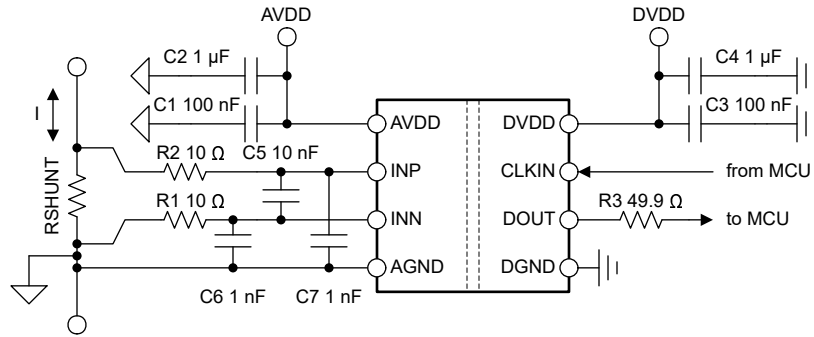


图 7-3. AMC0106M25 去耦

在应用中出现的适用直流偏置条件下，电容器必须能够提供足够的有效电容。在实际条件下，通常仅使用多层陶瓷电容器 (MLCC) 标称电容的一小部分。因此在选择这些电容器时，应考虑到这个因素。此问题在低厚度电容器中尤为严重，在该类电容器中，电容器越薄，电介质电场强度越大。知名电容器制造商提供了电容与直流偏置关系曲线，这大大简化了元件的选型。

## 7.5 布局

### 7.5.1 布局指南

**布局示例** 部分给出了布局建议，其中去耦电容器的放置尤为关键 ( 尽可能靠近 AMC0106M25 电源引脚 )。此部分还说明了器件所需的其他元件的放置方式。为获得出色性能，请将检测电阻器放置在靠近器件输入引脚 ( INN 和 INP ) 的位置。

### 7.5.2 布局示例

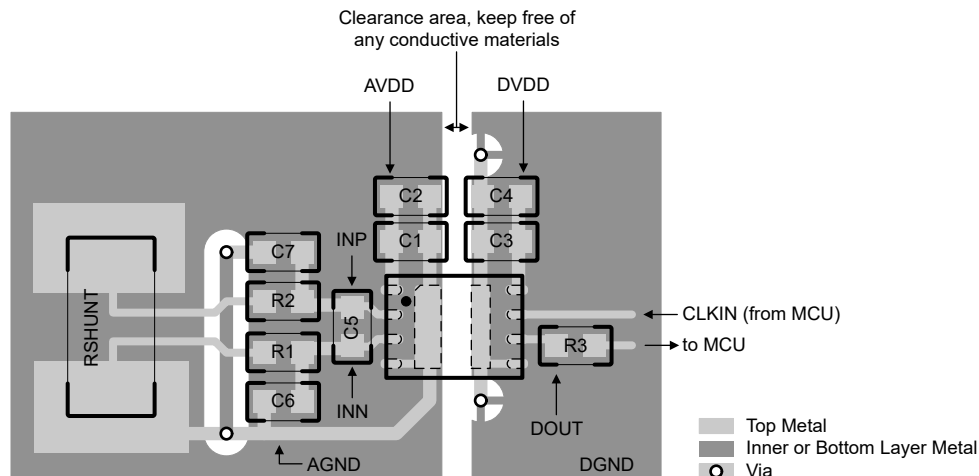


图 7-4. AMC0106M25 的建议布局

## 8 器件和文档支持

### 8.1 文档支持

#### 8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [隔离相关术语 应用手册](#)
- 德州仪器 (TI), [半导体和 IC 封装热指标 应用手册](#)
- 德州仪器 (TI), [ISO72x 数字隔离器磁场抗扰度 应用手册](#)
- 德州仪器 (TI), [将 ADS1202 与 FPGA 数字滤波器结合, 以便在电机控制应用中测量电流 应用手册](#)
- 德州仪器 (TI),  [\$\Delta\$ - \$\Sigma\$  调制器滤波器计算器 设计工具](#)

### 8.2 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

### 8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

### 8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 9 修订历史记录

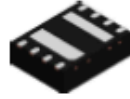
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2024	*	初始发行版

## 10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

10.1 机械数据

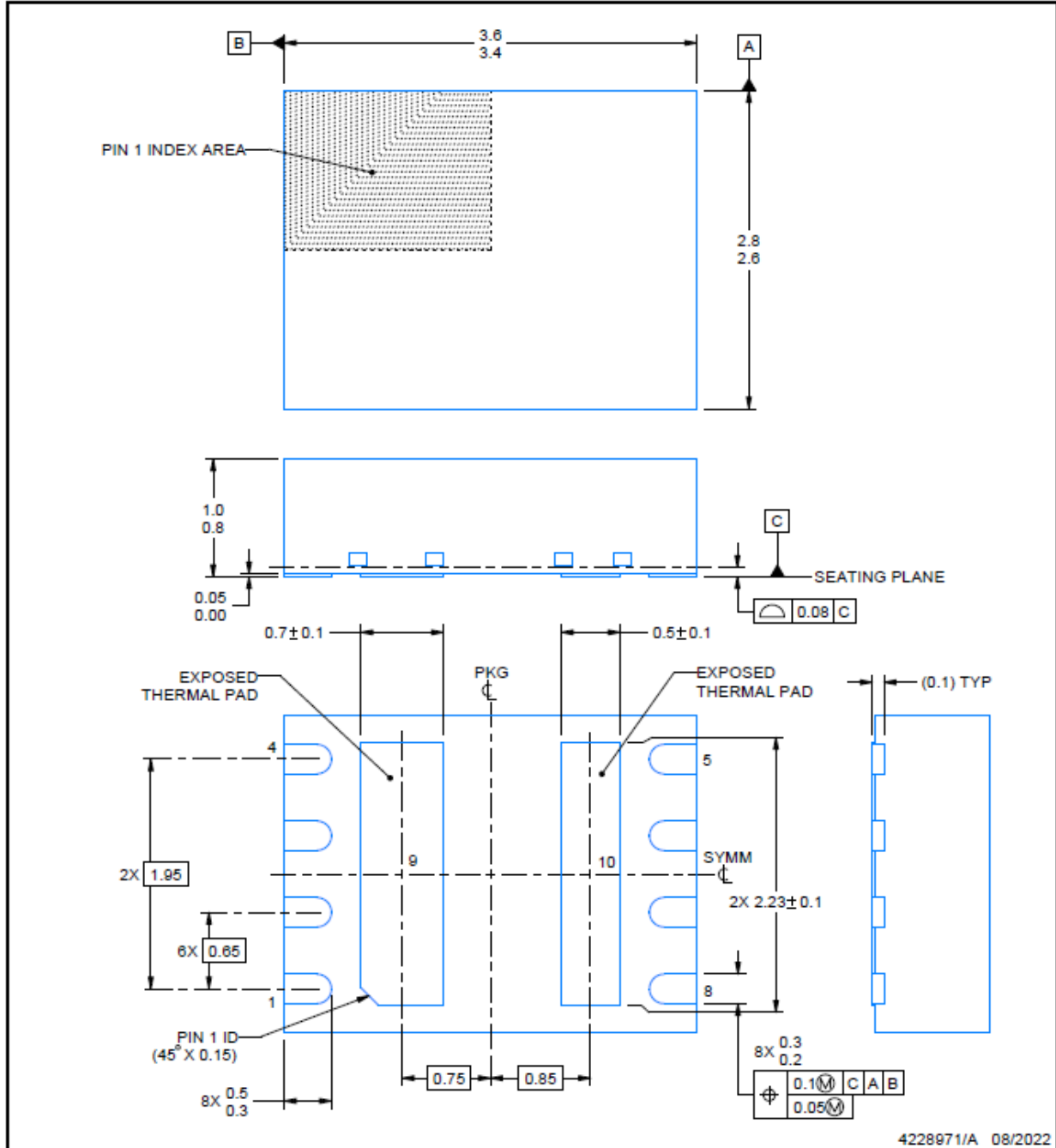


PACKAGE OUTLINE

DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

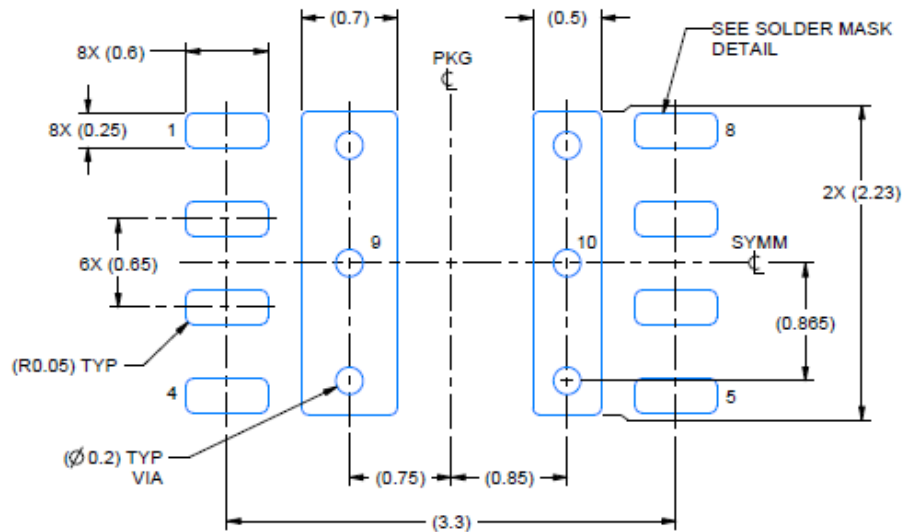
ADVANCE INFORMATION

## EXAMPLE BOARD LAYOUT

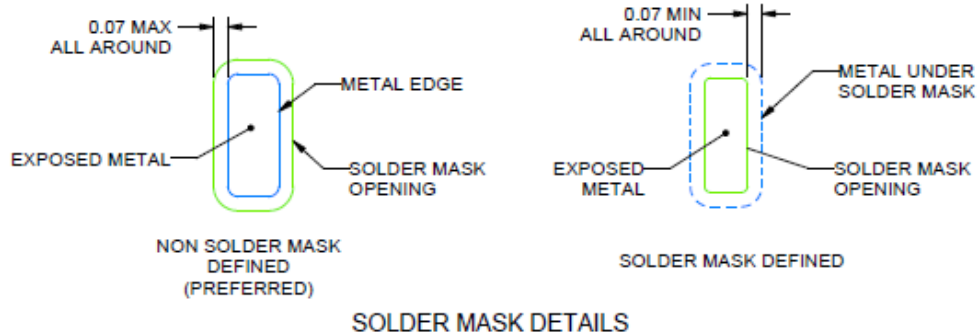
DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4228971/A 08/2022

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

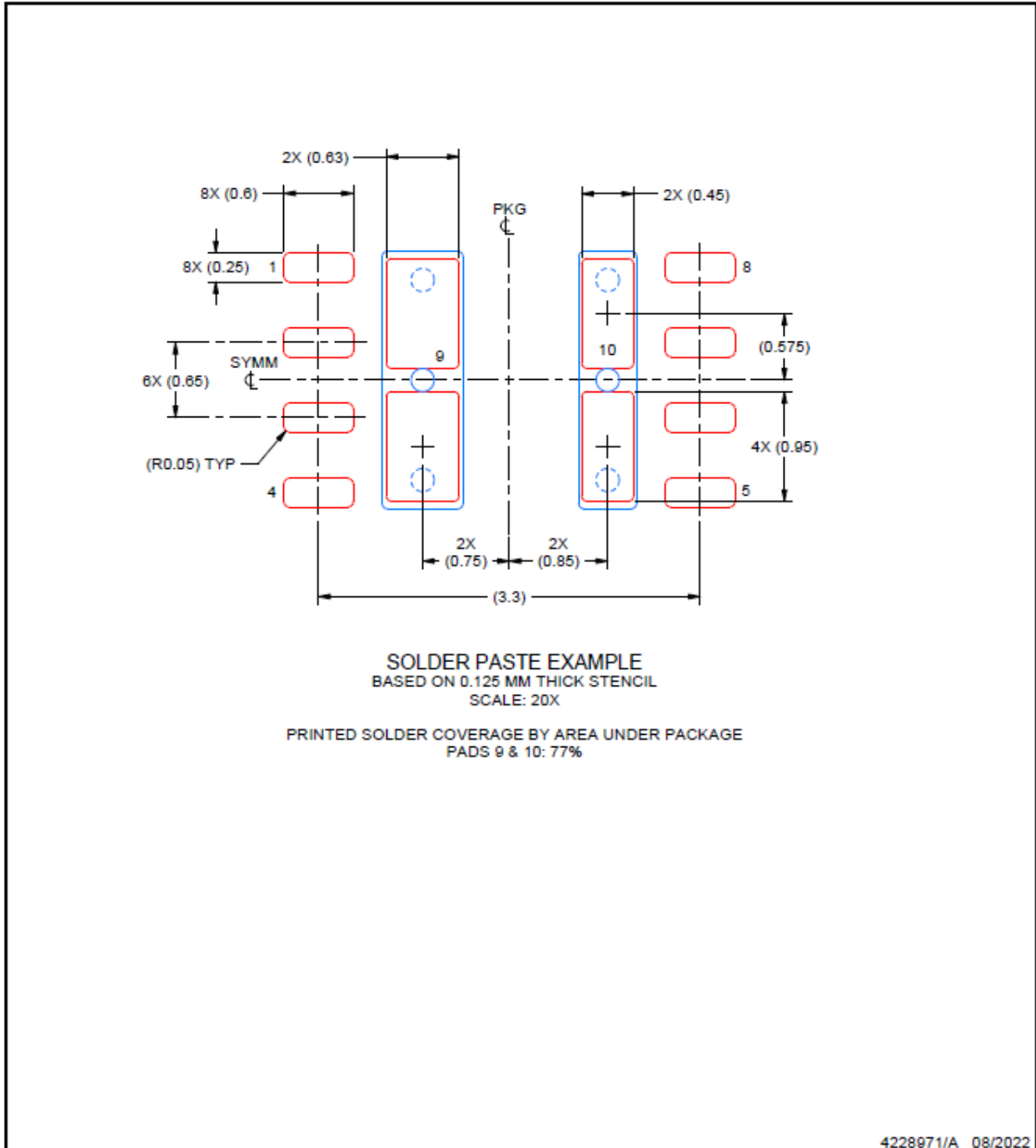
ADVANCE INFORMATION

## EXAMPLE STENCIL DESIGN

**DEN0008A**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PAMC0106M25DENR	ACTIVE	VSON	DEN	8	5000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

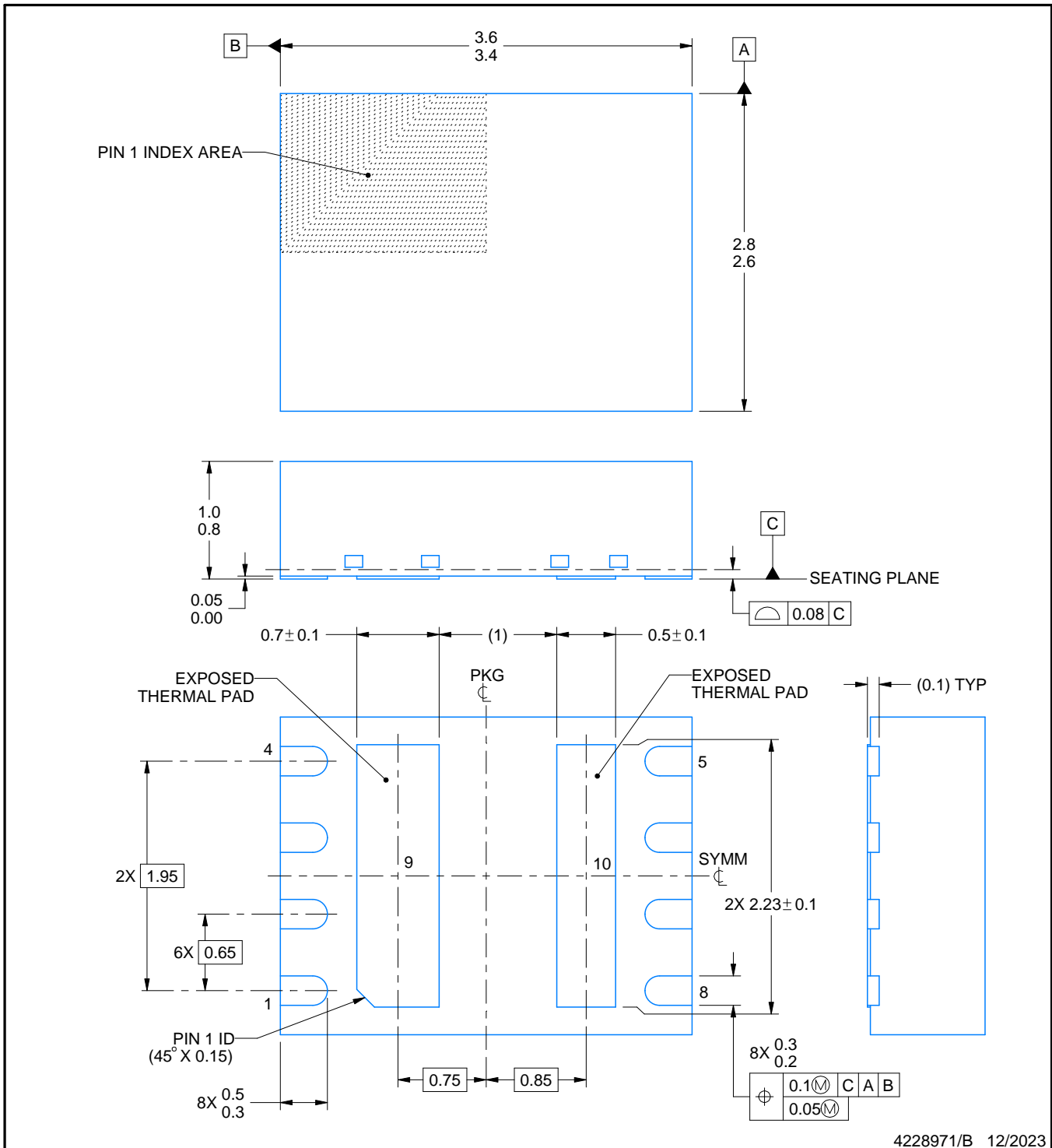
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.





4228971/B 12/2023

NOTES:

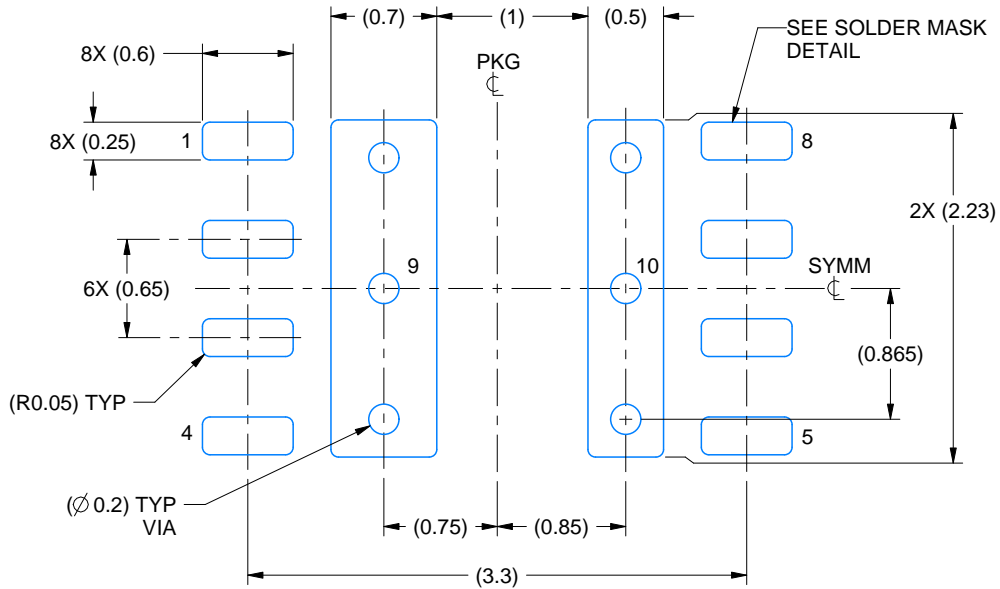
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

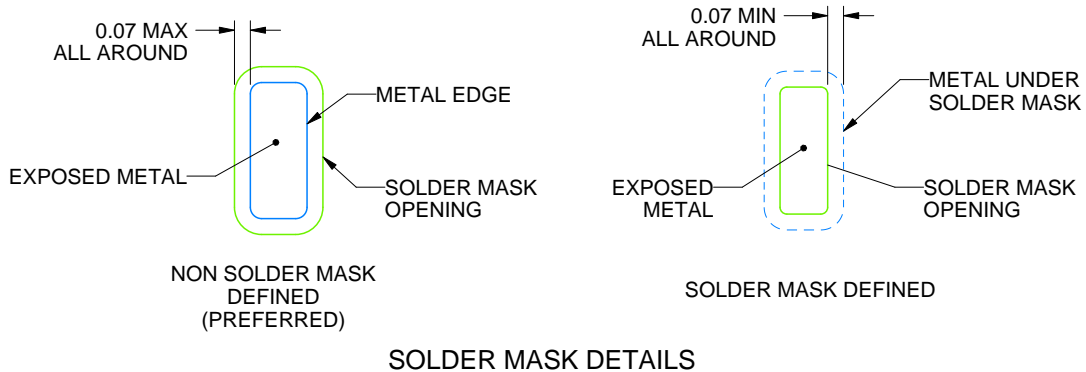
DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4228971/B 12/2023

NOTES: (continued)

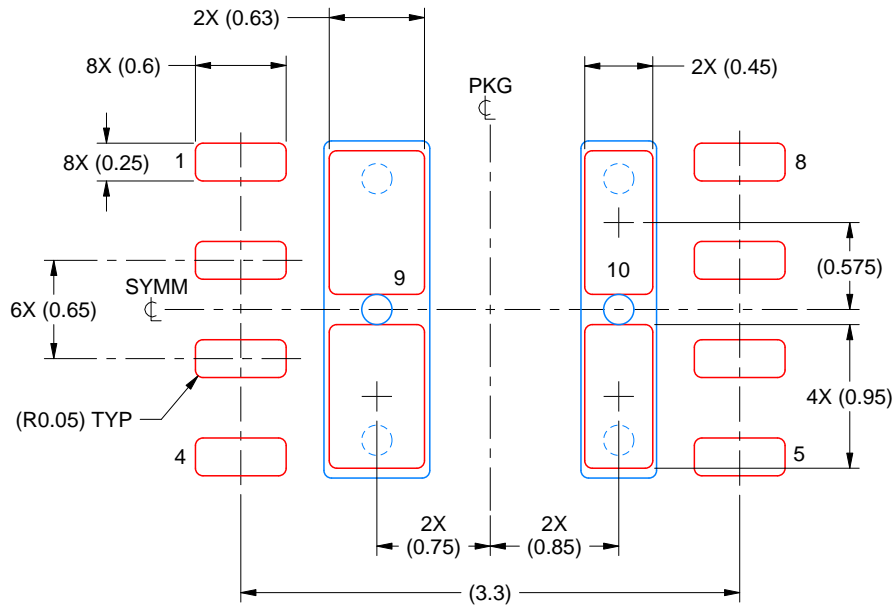
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
PADS 9 & 10: 77%

4228971/B 12/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024，德州仪器 (TI) 公司