

OPAx348-Q1 1-MHz 45- μ A CMOS 轨至轨运算放大器

1 特性

- 符合汽车类应用的标准
- 具有符合 AEC-Q100 标准的下列结果：
 - 器件温度 1 级：-40°C 至 +125°C 的环境运行温度范围
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 低静态电流 (I_Q): 45 μ A (Typ)
- 低成本
- 轨到轨输入和输出
- 单电源：2.1V 至 5.5V
- 输入偏置电流：0.5pA (典型值)
- 高速：宽带功率：1MHz

2 应用范围

- 便携式设备
- 电池供电类设备
- 烟雾报警器
- 一氧化碳 (CO) 检测器
- HEV/EV 和动力传动添加了项目符号
- 信息娱乐系统与仪表组
- 医疗仪器

3 说明

OPAx348 系列器件是单电源的低功耗 CMOS 运算放大器。OPAx348 系列器件具有 1MHz 的扩展带宽和 45 μ A 的电源电流，适用于采用 2.1V 至 5.5V 单电源供电的低功耗应用。

OPAx348 系列器件具有 45 μ A 的低电源电流和 0.5pA 的输入偏置电流，因此是烟雾检测器和其他传感器等低功耗高阻抗应用的理想选择。

OPA348-Q1 器件采用 SOT23-5 (DBV) 和 SOIC (D) 封装。OPA2348-Q1 器件采用 SOIC-8 (D) 封装。

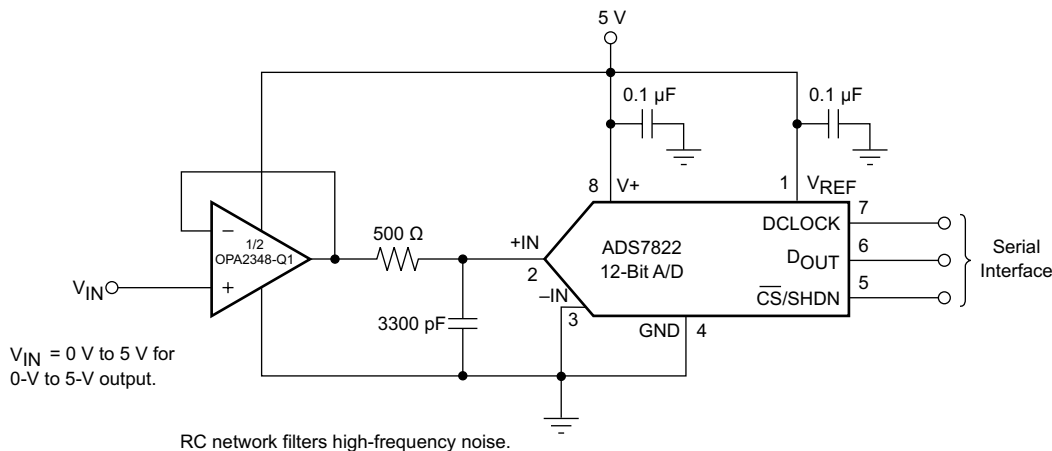
OPA4348-Q1 器件采用 TSSOP-14 (PW) 封装。在全部电源电压范围内，-40°C 至 +125°C 的汽车温度范围可提高设计灵活性。

器件信息⁽¹⁾

器件编号	封装	封装尺寸 (标称值)
OPA348-Q1	SOT-23 (5)	2.90mm × 1.60mm
	SOIC (8)	4.90mm × 3.91mm
OPA2348-Q1	SOIC (8)	4.90mm × 3.91mm
OPA4348-Q1	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

采用同相配置来驱动 ADS7822



目录

1	特性	1	7.4	器件功能模式	15
2	应用范围	1	8	应用和实施	16
3	说明	1	8.1	应用信息	16
4	修订历史记录	2	8.2	典型应用	17
5	引脚配置和功能	3	9	电源建议	19
6	规格	5	10	布局	20
6.1	绝对最大额定值	5	10.1	布局指南	20
6.2	ESD 额定值	5	10.2	布局示例	20
6.3	建议运行条件	5	11	器件和文档支持	20
6.4	热性能信息: OPA348-Q1	6	11.1	文档支持	20
6.5	热性能信息: OPA2348-Q1, OPA4348-Q1	6	11.2	相关链接	20
6.6	电气特征	7	11.3	社区资源	21
6.7	典型特性	8	11.4	商标	21
7	详细 说明	11	11.5	静电放电警告	21
7.1	概述	11	11.6	术语表	21
7.2	功能方框图	11	12	机械、封装和可订购信息	21
7.3	特性 说明	12			

4 修订历史记录

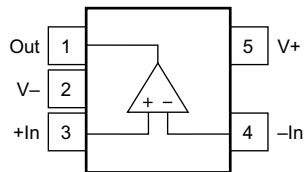
注：之前版本的页码可能与当前版本有所不同。

Changes from Revision B (December 2014) to Revision C	Page
• 已添加 文档中增加 OPA348-Q1 SOIC (D) 封装选项	1

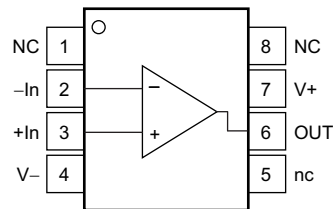
Changes from Revision A (January 2009) to Revision B	Page
• 已将两个新的 应用 添加至应用 部分	1
• 已添加 ESD 额定值表、特性 说明 部分, 器件功能模式 部分, 应用和实施 部分, 电源相关建议 部分, 布局 部分, 器件和文档支持 部分以及机械、封装和可订购信息 部分	1
• 已添加 数据表中增加 OPA348-Q1 器件	1
• Changed PW (TSSOP) 封装图中引脚 3 的名称	4

5 引脚配置和功能

DBV 封装 : OPA348-Q1
5 引脚 SOT-23
俯视图



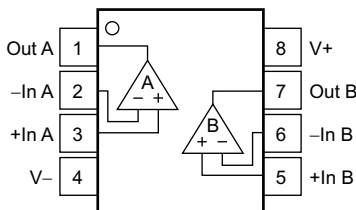
D 封装 : OPA348-Q1
8 引脚 SOIC
俯视图



引脚功能 : OPA348-Q1

名称	引脚 编号		I/O	说明
	SOT-23	SOIC		
+IN	3	3	I	同相输入
-IN	4	2	I	反相输入
OUT	1	6	O	输出
V+	5	7	—	正 (最高) 电源
V-	2	4	—	负 (最低) 电源
NC	—	1	—	不连接
		5		
		8		

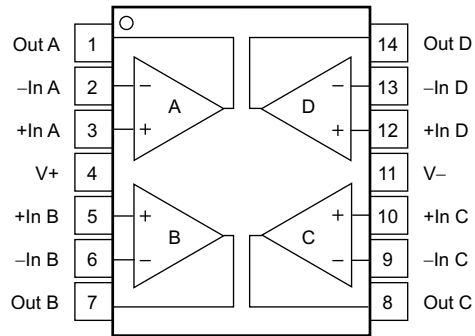
D 封装 : OPA2348-Q1
8 引脚 SOIC
俯视图



引脚功能 : OPA2348-Q1

名称	引脚 编号		I/O	说明
	SOT-23	SOIC		
+IN A	3	3	I	同相输入, 通道 A
-IN A	4	2	I	反相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
-IN B	6	6	I	反相输入, 通道 B
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
V+	8	8	—	正 (最高) 电源
V-	4	4	—	负 (最低) 电源

**PW 封装 : OPA4348-Q1
14 引脚 TSSOP
俯视图**



引脚功能 : OPA4348-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入, 通道 A
-IN A	2	I	反相输入, 通道 A
+IN B	5	I	同相输入, 通道 B
-IN B	6	I	反相输入, 通道 B
+IN C	10	I	同相输入, 通道 C
-IN C	9	I	反相输入, 通道 C
+IN D	12	I	同相输入, 通道 D
-IN D	13	I	反相输入, 通道 D
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
OUT C	8	O	输出, 通道 C
OUT D	14	O	输出, 通道 D
V+	4	—	正 (最高) 电源
V-	11	—	负 (最低) 电源

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压, V_S	V- 至 V+		7.5	V
输入电压, V_{IN}	信号输入端 ⁽²⁾	(V-) - 0.5V	(V+) + 0.5V	V
输入电流, I_{IN}	信号输入端 ⁽²⁾		10	mA
输出短路持续时间 ⁽³⁾		持续		
自然通风工作温度范围, T_A		-40	150	°C
运行虚拟结温, T_J			150	°C
贮存温度, T_{stg}		-65	150	°C

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的运行条件下标明的任何其它条件下的操作，在此并未说明。在绝对最大额定值条件下长时间运行可能会影响器件可靠性。
- (2) 输入端子被二极管钳制至电源轨。对于摆幅可能超过电源轨 0.5V 的输入信号，应将其电流限制为 10mA 或者更低。
- (3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位	
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±2000	V	
	充电器件模型 (CDM), 符合 AEC Q100-011	所有引脚		±500
		转角引脚 (1、7、8 和 14)		±750

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风温度范围内测得 (除非另有说明)

		最小值	最大值	单位
V_S	电源电压, V- to V+	2.1	5.5	V
T_A	自然通风工作温度范围	-40	125	°C

6.4 热性能信息：OPA348-Q1

热指标 ⁽¹⁾		OPA348-Q1		单位
		DBV (SOT-23)	D (SOIC)	
		5 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	228.5	142.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	99.1	90.2	°C/W
$R_{\theta JB}$	结至电路板热阻	54.6	82.5	°C/W
Ψ_{JT}	结至顶部特征参数	7.7	39.4	°C/W
Ψ_{JB}	结至电路板特征参数	53.8	82.0	°C/W
$R_{\theta JC(bottom)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

6.5 热性能信息：OPA2348-Q1，OPA4348-Q1

热指标 ⁽¹⁾		OPA2348-Q1	OPA4348-Q1	单位
		D (SOIC)	PW (TSSOP)	
		8 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	138.4	121	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	89.5	49.4	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	62.8	°C/W
Ψ_{JT}	结至顶部特征参数	29.9	5.9	°C/W
Ψ_{JB}	结至电路板特征参数	78.1	62.2	°C/W
$R_{\theta JC(bottom)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

6.6 电气特征

$V_S = 2.5V$ 至 $5.5V$ 时, $R_L = 100k\Omega$ 连接至 $V_S / 2$, $V_{OUT} = V_S / 2$ (除非另有说明)。

参数		测试条件	T_A (1)	最小值	典型值	最大值	单位
V_{OS}	输入偏移电压	$V_S = 5V, V_{CM} = (V-) + 0.8V$	25°C		1	5	mV
			完整范围			6	
$\Delta V_{OS}/\Delta T$	失调电压温度漂移		完整范围		4		$\mu V/^\circ C$
PSRR	失调电压漂移与电源间的关系	$V_S = 2.5V$ 至 $5.5V, V_{CM} < (V+) - 1.7V$	25°C		60	175	$\mu V/V$
			完整范围			300	
	通道分离	dc	25°C		0.2		$\mu V/V$
			25°C		134		dB
V_{CM}	输入共模电压范围		25°C	(V-)-0.2		(V+)+0.2	V
CMRR	输入共模抑制比	$(V-) - 0.2V < V_{CM} < (V+) - 1.7V$	25°C		70	82	dB
			完整范围		66		
			25°C		60	71	
			完整范围		56		
I_B	输入偏置电流		25°C		± 0.5	± 10	pA
I_{OS}	输入偏移电流		25°C		± 0.5	± 10	pA
Z_I	输入阻抗	差分	25°C	$10^{13} \parallel 3$		$\Omega \parallel pF$	
		共模		$10^{13} \parallel 3$			
	输入电压噪声	$V_{CM} < (V+) - 1.7V, f = 0.1Hz$ 至 $10Hz$	25°C		10		μV_{PP}
V_n	输入电压噪声密度	$V_{CM} < (V+) - 1.7V, f = 1kHz$	25°C		35		nV/\sqrt{Hz}
I_n	输入电流噪声密度	$V_{CM} < (V+) - 1.7V, f = 1kHz$	25°C		4		fA/\sqrt{Hz}
A_{OL}	开环电压增益	$V_S = 5V, R_L = 100k\Omega, 0.025V < V_O < 4.975V$	25°C		94	108	dB
			完整范围		90		
			25°C		90	98	
			完整范围		88		
	相对于电源轨的电压输出摆幅	$R_L = 100k\Omega, A_{OL} > 94dB$	25°C		18	25	mV
			完整范围			25	
			25°C		100	125	mV
			完整范围			125	
I_{SC}	输出短路电流		25°C		± 10		mA
C_{LOAD}	容性负载驱动	请参见典型特性部分	25°C				
GBW	增益带宽积	$C_L = 100pF$	25°C		1		MHz
SR	压摆率	$C_L = 100pF, G = +1$	25°C		0.5		V/ μs
t_s	趋稳时间	0.1%	$C_L = 100pF, V_S = 5.5V, 2V$ 阶跃, $G = +1$	25°C	5		μs
		0.01%			7		
	过载恢复时间	$V_{IN} \times \text{增益} > V_S$	25°C		1.6		μs
THD+N	总谐波失真与噪声	$C_L = 100pF, V_S = 5.5V, V_O = 3V_{PP}, G = +1, f = 1kHz$	25°C		0.0023%		
I_Q	静态电流	(每个放大器)	25°C		45	65	μA
			完整范围			75	

(1) 完整范围为 $T_A = -40^\circ C$ 至 $125^\circ C$ 。

6.7 典型特性

$T_A = 25^\circ\text{C}$ 时, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, $V_{OUT} = V_S/2$ (除非另有说明)。

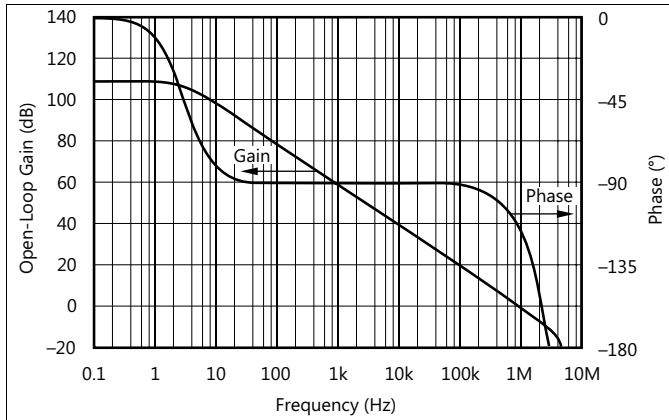


Figure 1. 开环增益和相位与频率间的关系

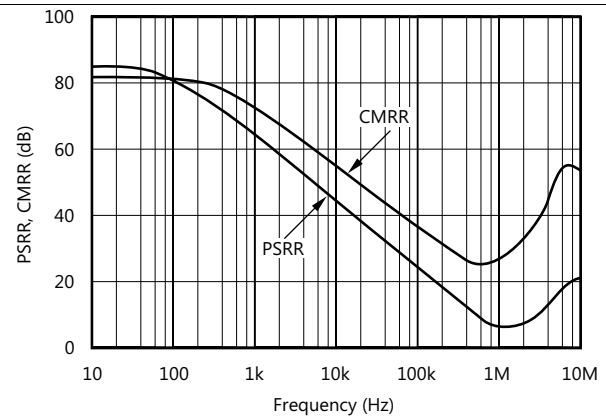


Figure 2. PSRR 和 CMRR 与频率间的关系

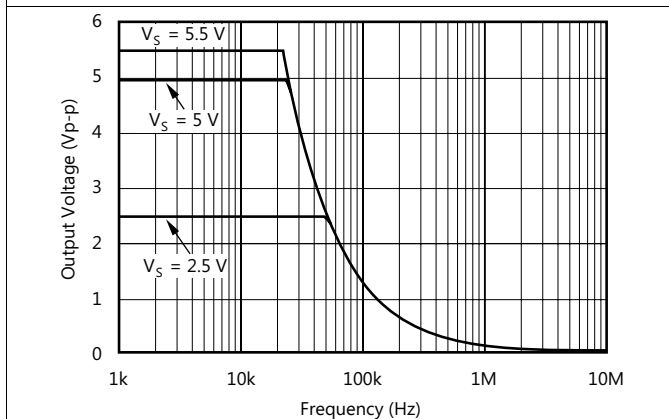


Figure 3. 最大输出电压与频率间的关系

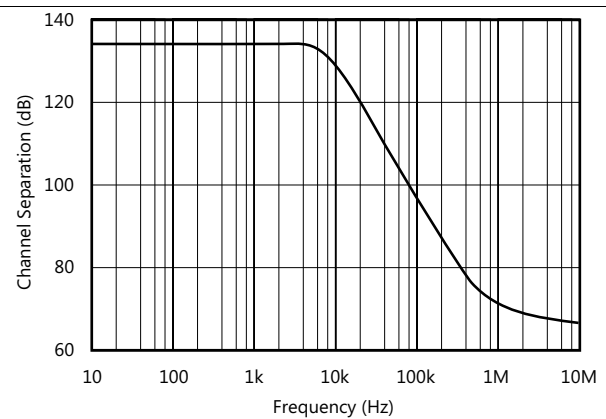


Figure 4. 通道分离与频率间的关系

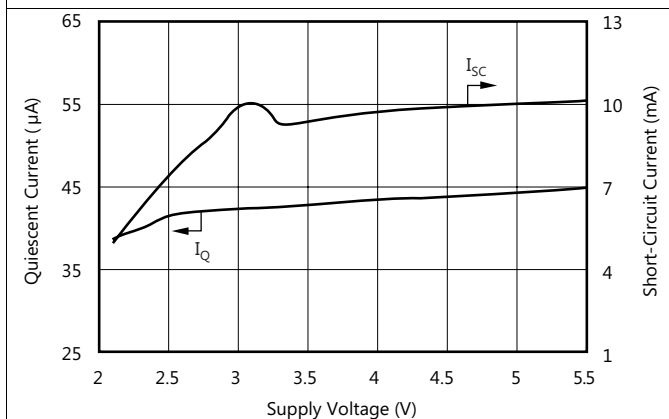


Figure 5. 静态电流和短路电流与电源电压间的关系

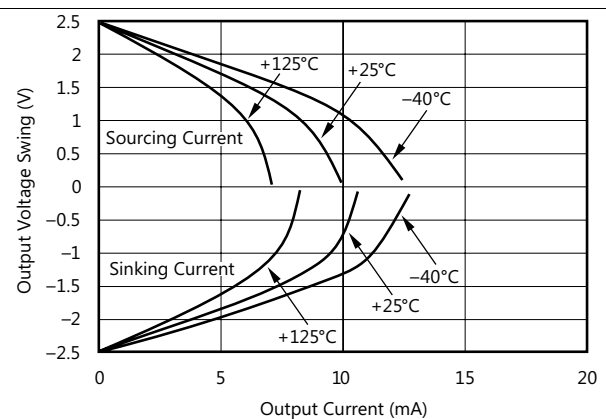


Figure 6. 输出电压摆幅与输出电流间的关系与 $\pm 2.5\text{V}$

典型特性 (continued)

$T_A = 25^\circ\text{C}$ 时, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, $V_{OUT} = V_S/2$ (除非另有说明)。

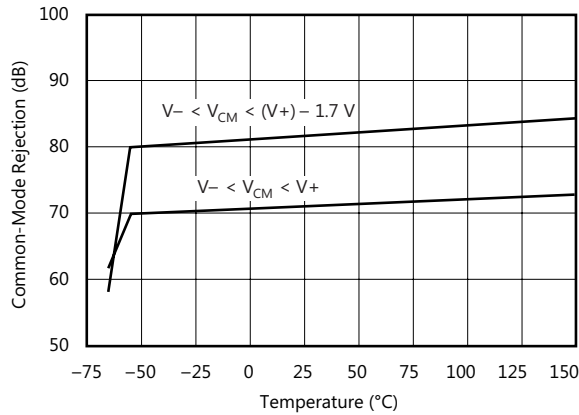


Figure 7. 共模抑制与温度间的关系

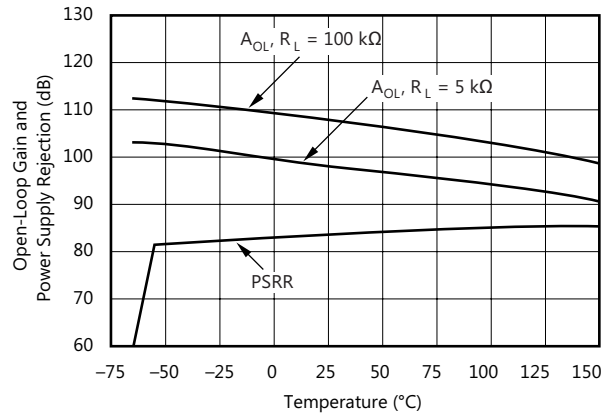


Figure 8. 开环增益和 PSRR 与温度间的关系

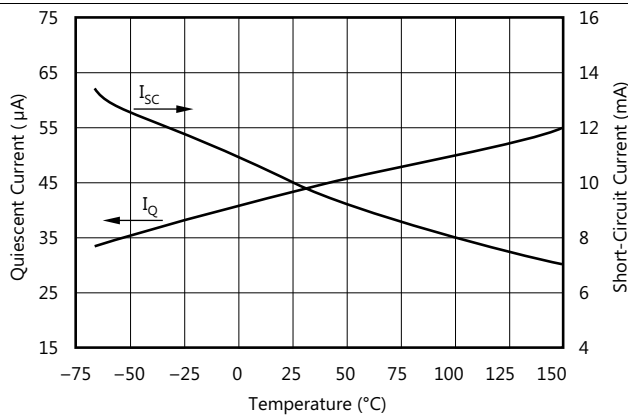


Figure 9. 静态电流和短路电流与温度间的关系

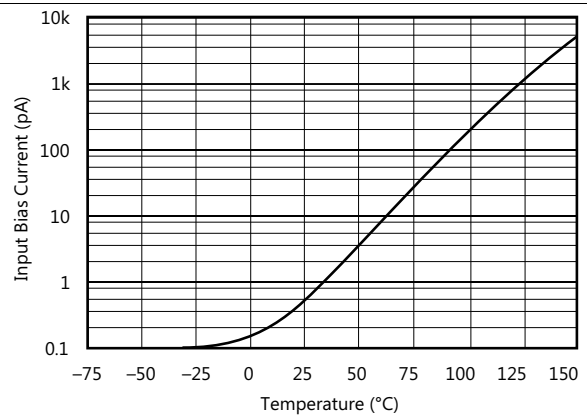
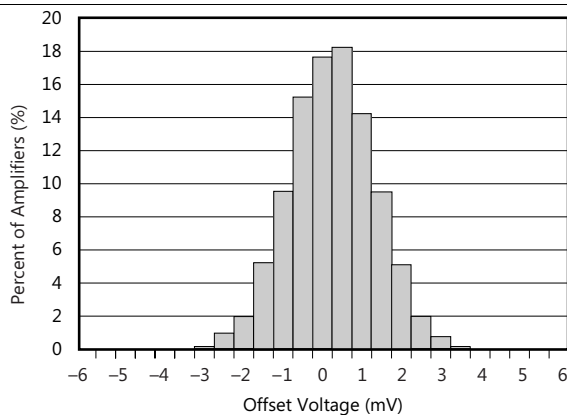
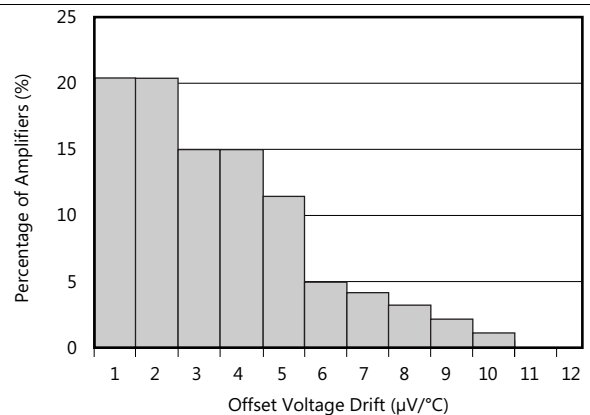


Figure 10. 输入偏置 (I_B) 电流与温度间的关系



封装单元的典型产生分布图。

Figure 11. 失调电压分布



封装单元的典型产生分布图。

Figure 12. 失调电压漂移幅度产生分布图

典型特性 (continued)

$T_A = 25^\circ\text{C}$ 时, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, $V_{OUT} = V_S/2$ (除非另有说明)。

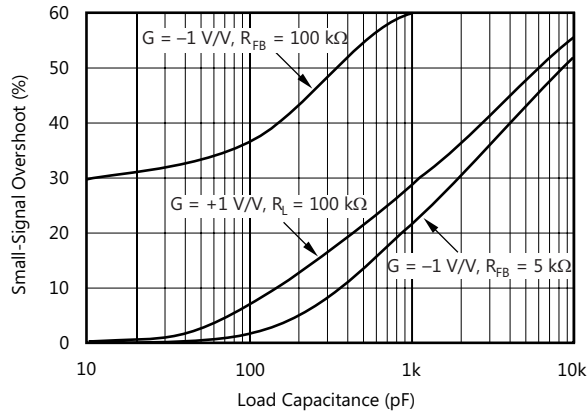


Figure 13. 小信号过冲与负载电容间的关系

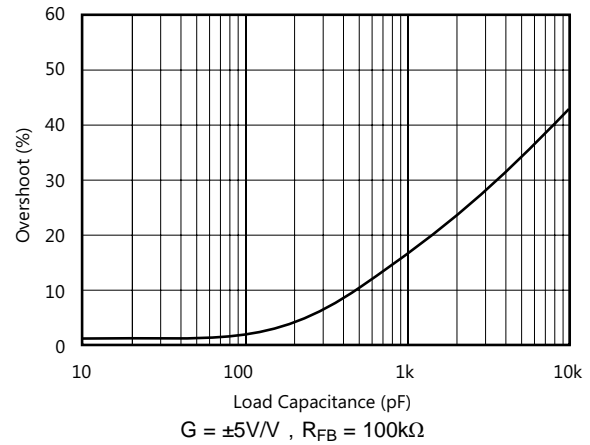


Figure 14. 过冲百分比与负载电容间的关系

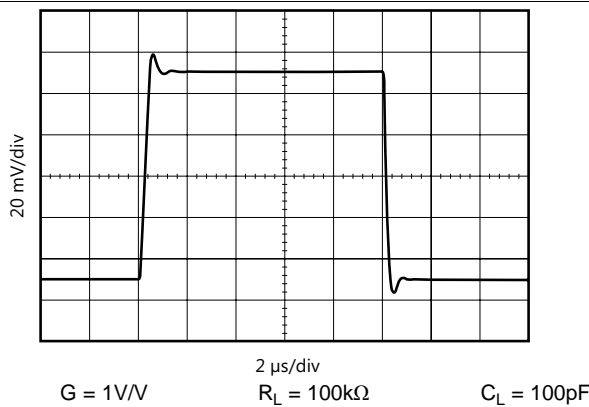


Figure 15. 小信号阶跃响应

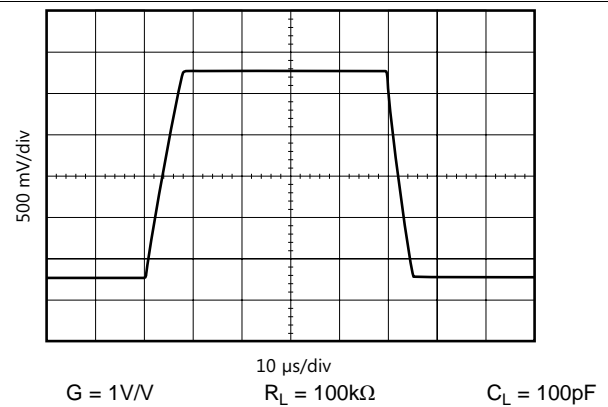


Figure 16. 大信号阶跃响应

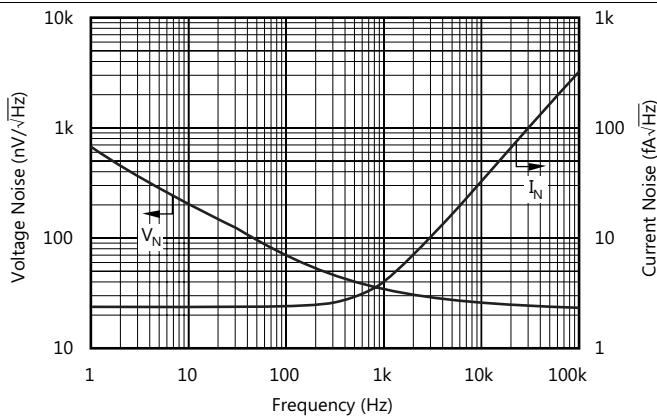


Figure 17. 输入电流和电压噪声频谱密度与频率间的关系

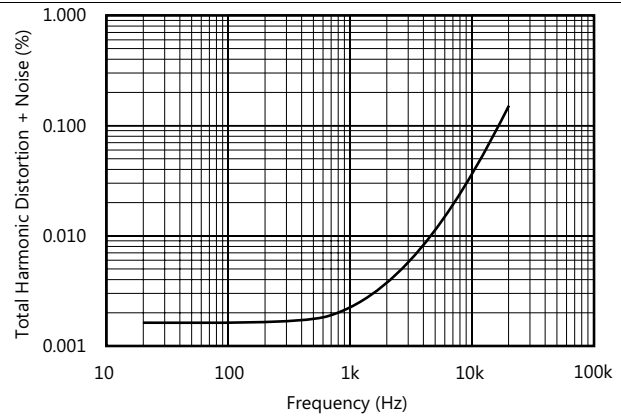


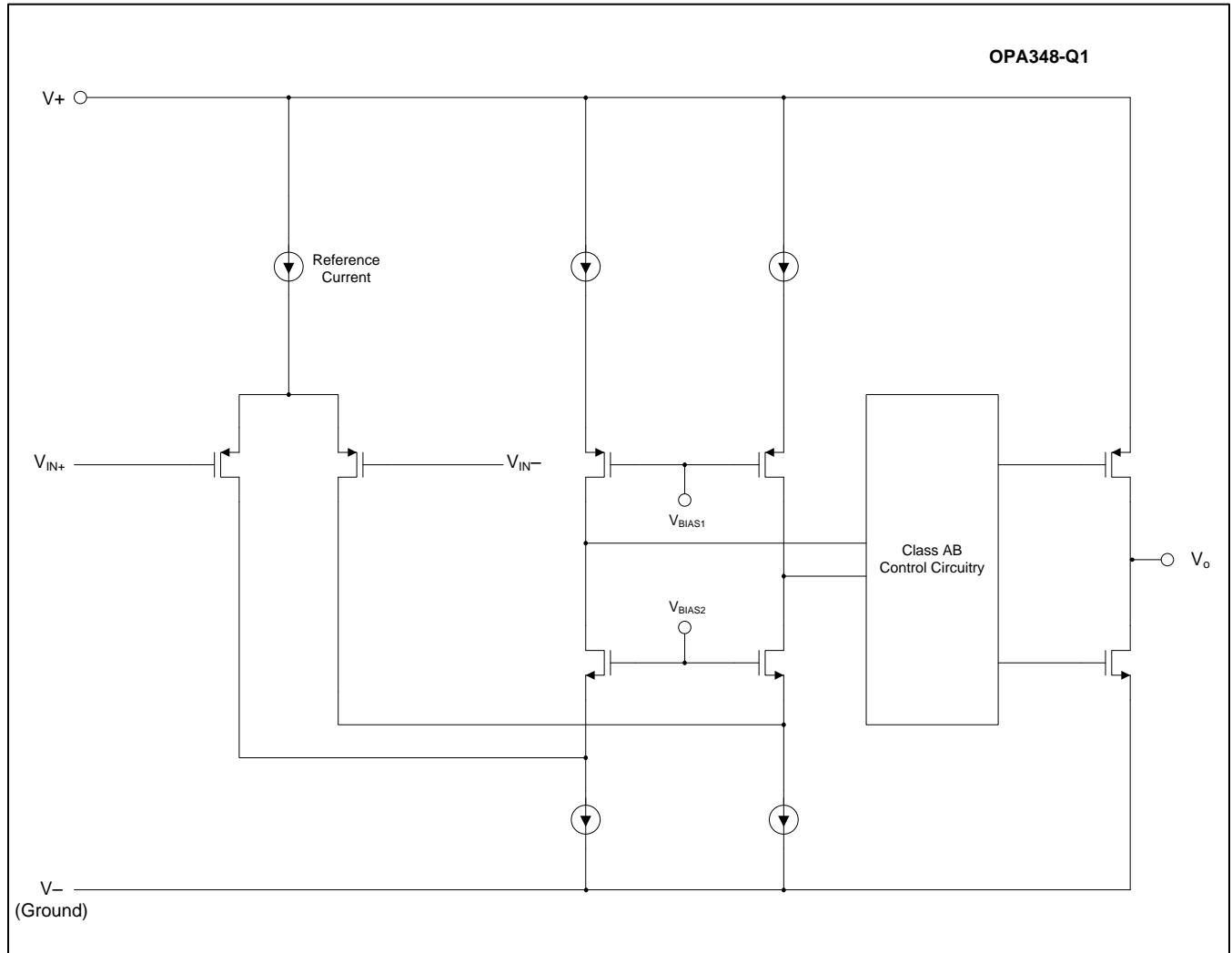
Figure 18. 总谐波失真 + 噪声与频率间的关系

7 详细 说明

7.1 概述

OPAx348-Q1 系列器件是低功耗、轨至轨输入和输出运算放大器。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用应用。AB 类输出级能够驱动连接至 $V+$ 和接地间任一点的小于或等于 $10\text{k}\Omega$ 的负载。输入共模电压范围包括两个电源轨，并允许将 OPAx348-Q1 系列器件用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源应用 中），因此这些器件成为了驱动采样模数转换器 (ADC) 的理想之选。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

OPAx348-Q1 运算放大器在 1.8V 至 5.5V 的电压范围内可保证运行。此外，许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 温度下适用。随工作电压或温度大幅变化的参数显示在 [典型特性](#) 图中。应使用 $0.01\mu\text{F}$ 陶瓷电容器将电源引脚旁路。

7.3.2 轨至轨输入

OPAx348-Q1 系列器件的输入共模电压范围在电源轨基础上向外扩展了 200mV。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联。当输入电压接近正电源轨，通常比正电源高 $(V+) - 1.3\text{V}$ 到 200mV 时，N 通道对有效。当输入电压为低于负电源轨 200mV 至大约 $(V+) - 1.3\text{V}$ 时，P 通道对处于打开状态。存在一个小转换区域，通常为 $(V+) - 1.4\text{V}$ 至 $(V+) - 1.2\text{V}$ ，在该区域中两个输入对都处于打开状态。借助于过程变化，这个 200mV 转换区域的变化可高达 300mV。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+) - 1.7\text{V}$ 至 $(V+) - 1.5\text{V}$ 之间，在高端上的范围高达 $(V+) - 1.1\text{V}$ 至 $(V+) - 0.9\text{V}$ 之间。在这个转换区域内，相对于这个区域外的器件运行，PSRR，CMRR，偏移电压，偏移漂移和 THD 有可能降级。

7.3.3 轨至轨输入

输入共模范围从 $(V-) - 0.2\text{V}$ 扩展到 $(V+) + 0.2\text{V}$ 。若要正常运行，输入应该限制在此范围内。绝对最大输入电压比电源电压高 500mV。大于输入共模范围但小于最大输入电压的输入虽然无效，但是不会对运算放大器造成任何损坏。与其他某些运算放大器不同，如果输入电流受到限制，输入可能会超过电源，而且不会产生相位反转，如 [Figure 19](#) 所示。

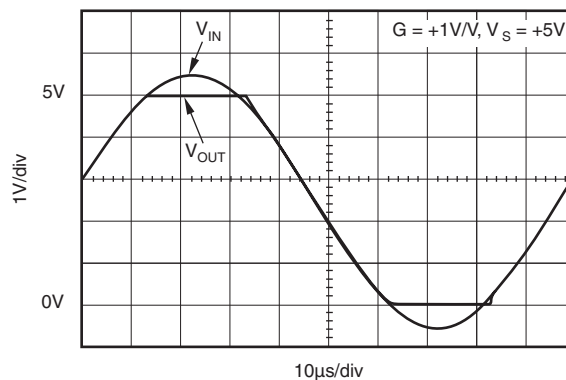


Figure 19. 输入电压大于电源电压时无相位反转

正常情况下，输入电流为 0.5pA 。然而，大输入（比电源轨高 500mV 以上）可能会导致过多电流流入或流出输入引脚。因此，除了将输入电压保持在低于最大额定值之外，将输入电流限制在小于 10mA 也很重要。可借助输入电压电阻器轻松实现此限制，如 [Figure 20](#) 所示。

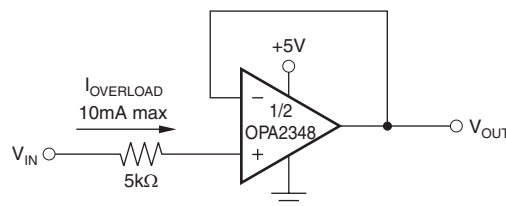


Figure 20. 在电压超过电源电压时提供输入电流保护

7.3.4 输入和 ESD 保护

OPAx348-Q1 系列器件在所有引脚上均整合了内部静电放电 (ESD) 保护电路。在输入和输出引脚的情况下，这种保护主要包括连接在输入和电源引脚间的导流二极管。只要电流如 [绝对最大额定值](#) 表中所述限制为 10mA，这些 ESD 保护二极管还能提供电路内的输入过驱保护。Figure 21 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值应保持在最低值。

特性说明 (continued)

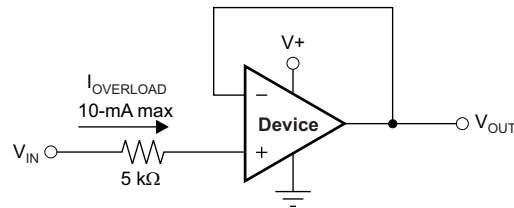


Figure 21. 输入电流保护

7.3.5 共模抑制比 (CMRR)

OPAx348-Q1 系列器件的 CMRR 是以多种方式指定的，因此对于给定应用可以使用最佳匹配项；请参阅 [电气特征表](#)。首先，给出了低于转换区域 [$V_{CM} < (V+) - 1.3V$] 的共模范围内器件的 CMRR。当应用需要使用差分输入对中的一个时，这个技术规格是器件功能的最好指示。其次，整个共模范围内的 CMRR 在 ($V_{CM} = -0.2V$ 至 $5.7V$) 上指定。这个最终值包括转换区域内可见的变化（请见 [Figure 22](#)）。

7.3.6 共模电压范围

OPAx348-Q1 器件的输入共模电压范围在电源轨基础上向外扩展了 200mV。此扩展范围是由一个互补输入级实现的 - 一个 N 通道输入差分对和一个 P 通道差分对并联。当输入电压靠近正轨（通常为 $(V+) - 1.2V$ 到高于正电源电压 300mV）时，N 通道对有效；而当输入为低于负电源电压 300mV 到大约 $(V+) - 1.4V$ 范围时，P 通道对打开。在一个通常介于 $(V+) - 1.4V$ 到 $(V+) - 1.2V$ 的小转换区域内，两个对都打开。此 200mV 转换区域（如 [Figure 22](#) 中所示）可能会随工艺不同而波动 $\pm 300mV$ 。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+) - 1.7V$ 至 $(V+) - 1.5V$ 之间，在高端上的范围高达 $(V+) - 1.1V$ 至 $(V+) - 0.9V$ 之间。器件在 200mV 转换区域内运行与在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 可能会降级。

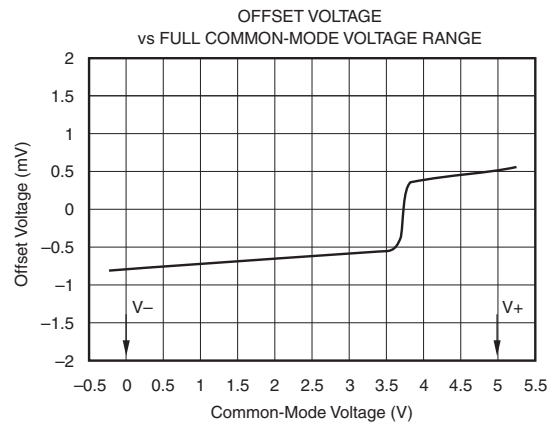


Figure 22. 室温下典型转换区域的行为

7.3.7 EMI 敏感性和输入滤波

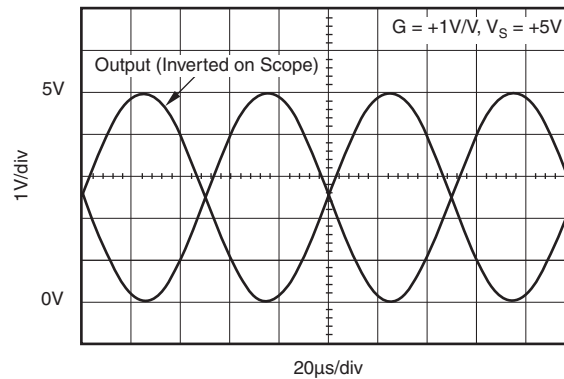
运算放大器随着器件对于电磁干扰 (EMI) 的敏感性而发生变化。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流偏移值在有 EMI 时可能偏离标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然 EMI 会影响所有运算放大器引脚功能，但是信号输入引脚最有可能受到影响。OPAx348-Q1 系列器件整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。这个滤波器提供共模和差分模式滤波。此滤波器针对大约 80MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 指标允许按 EMI 抗扰度直接比较运算放大器。也可在应用报告中找到详细信息，运算放大器的 EMI 抑制比 ([SBOA128](#))，可从 www.ti.com 内下载。

特性说明 (continued)
7.3.8 轨至轨输出

OPAx348-Q1 系列器件是一种低功耗、低噪声运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管 AB 类输出级被用于实现完全轨到轨输出摆幅功能。对于高达 $10\text{k}\Omega$ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常两个电源轨的 5mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力；请参阅图表 [输出电压摆幅与输出电流间的关系](#)。

采用具有共源晶体管的 AB 类输出级来实现轨至轨输出。该输出级能够驱动连接至 $V+$ 和接地之间任一电压的 $5\text{-k}\Omega$ 负载。对于轻电阻负载 ($>100\text{k}\Omega$)，输出电压通常可以在电源轨 18mV 范围内摆动。对于中等电阻负载 ($10\text{k}\Omega$ 至 $50\text{k}\Omega$)，输出电压通常可以在电源轨 100mV 范围内摆动，同时保持高开环增益（请参阅 [Figure 6 典型特性](#) 部分中的）。


Figure 23. 轨至轨 I/O

特性说明 (continued)

7.3.9 电容负载和稳定性

采用单位增益配置的 OPAx348-Q1 系列器件可直接驱动高达 250-pF 的纯电容负载。增加增益可增强放大器驱动更大电容负载的能力 (请参阅 Figure 13 典型特性部分中的)。在单位增益配置条件下, 插入一个与输出串联的低电阻值电阻器 (10-Ω 至 20-Ω) R_S 即可增强电容负载驱动能力, 如 Figure 24 所示。此电阻器可显著减少振铃, 同时保持纯电容负载的直流性能。不过, 如果有一个与电容负载并联的电阻负载, 则会生成一个分压器, 从而在输出端引入直流 (dc) 误差并略微减小输出摆幅。引入的误差与比率 R_S/R_L 成正比, 通常可以忽略不计。

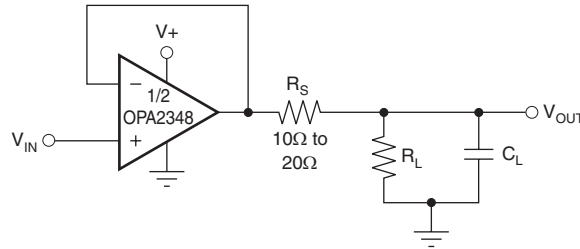


Figure 24. 单位增益缓冲器配置中的串联电阻器可改进电容负载驱动能力

在单位增益逆变器配置中, 运算放大器输入处的电容和增益设置电阻器之间相互作用会减小互补角, 从而降低电容负载驱动能力。使用低阻值电阻器可实现最佳性能。例如, 在驱动 500pF 负载时, 将电阻器值从 100kΩ 降低到 5kΩ 可以将过冲从 55% 降低至 13% (请参阅 Figure 13 典型特性部分中的)。不过, 当必须使用高阻值电阻器时, 可以在反馈环路中插入一个低电容值 (4pF 至 6pF) 电容器 C_{FB} , 如 Figure 25 所示。该小型电容器通过补偿电容 C_{IN} (其中包括放大器的输入电容和印刷电路板 (PCB) 的寄生电容) 的效应, 可显著减少过冲。

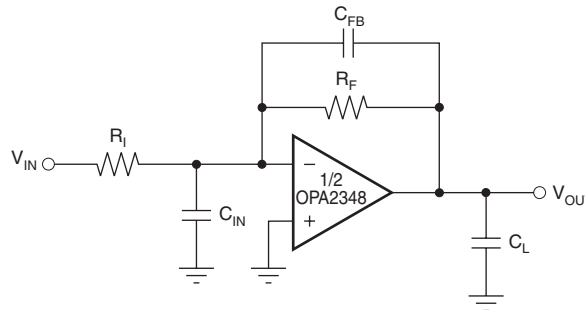


Figure 25. 增强容性负载驱动能力

7.4 器件功能模式

OPAx348-Q1 系列器件会在连接电源时通电。该器件可根据应用情况作为单电源运算放大器或双电源放大器使用。

8 应用和实例

NOTE

以下应用部分中的信息不属于 TI 组件规格的范围，TI 不承担其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

OPAx348-Q1 运算放大器 (op amps) 的单位增益稳定，适用于各种通用应用。

OPAx348-Q1 器件具有宽带宽和单位增益稳定性以及轨至轨输入和输出，可实现更大的动态范围。Figure 23 显示了采用单位增益配置的 OPAx348-Q1 器件的输入和输出波形。运行由一个将 $100\text{k}\Omega$ 负载连接到 $V_S / 2$ 的 5V 单电源供电。输入是一个 $5V_{PP}$ 正弦波。输出电压大约为 $4.98V_{PP}$ 。

应使用 $0.01\text{-}\mu\text{F}$ 陶瓷电容器将电源引脚旁路。

8.1.1 驱动模数转换器 (ADC)

OPAx348-Q1 运算放大器针对驱动中速采样 ADC 进行了优化。OPAx348-Q1 运算放大器可以缓冲 ADC 输入电容和产生的电荷注入，同时提供信号增益。

Figure 26 显示了采用基本同相配置来驱动 ADS7822 器件的 OPA2348。ADS7822 器件是一款采用 MSOP-8 封装的 12 位低功耗采样转换器。与 OPAx348-Q1 系列器件低功耗微型封装一起使用时，该组合是空间有限的低功耗应用的理想之选。在此配置中，ADC 输入上的 RC 网络可用于提供抗混叠滤波功能和电荷注入电流。

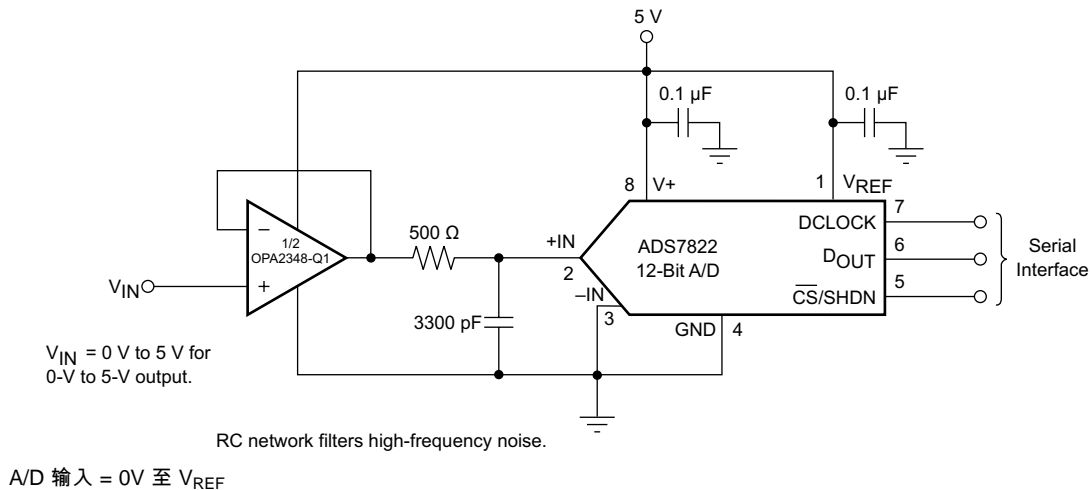
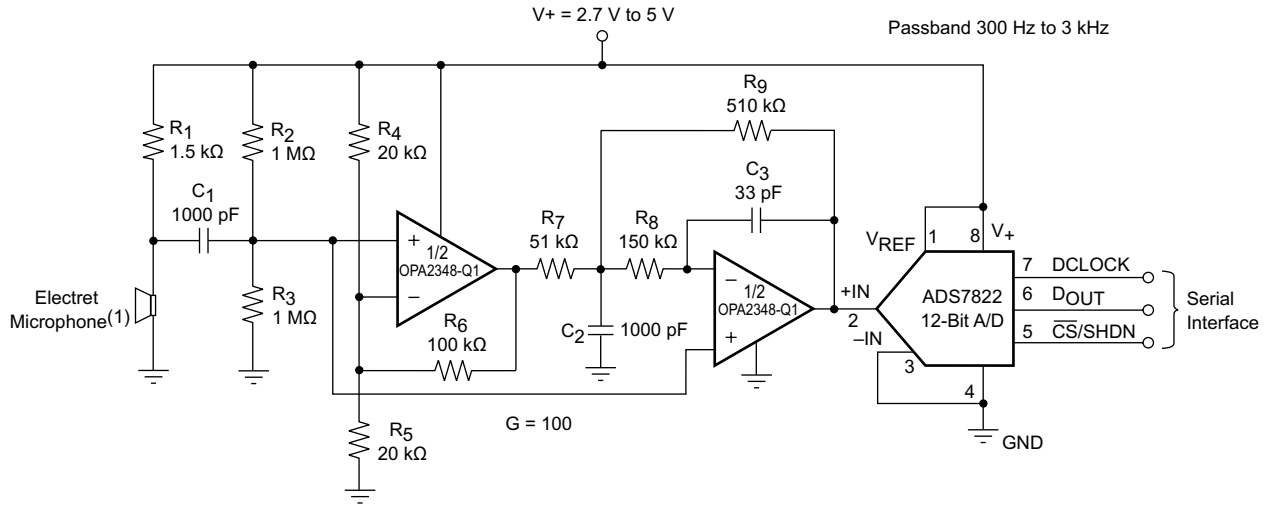


Figure 26. 采用同相配置来驱动 ADS7822

OPAx348-Q1 系列器件也可用于同相配置，以驱动有限低功耗应用中的 ADS7822 器件。在此配置中，ADC 输入上的 RC 网络可用于提供抗混叠滤波功能和电荷注入电流。请参阅 Figure 26，了解在语音带通滤波数据采集系统中驱动 ADS7822 器件的 OPAx348-Q1。该小尺寸、低成本解决方案为与驻极体麦克风直接相连的接口提供必需的放大和信号调节。该电路的 $V_S = 2.7\text{V}$ 至 5V ，静态电流典型值小于 $250\mu\text{A}$ 。

应用信息 (continued)



(1) R₁ 供电的驻极体麦克风。

Figure 27. 语音带通滤波数据采集系统

8.2 典型应用

有些应用需要差分信号。Figure 28 显示，简单电路可利用一个 2.7V 的电源将 0.1V 至 2.4V 的单端输入转换为 ±2.3V 的差分输出。本示例有意限制输出范围以实现线性最大化。电路由两个放大器构成。一个放大器充当缓冲器并产生 V_{OUT+} 电压。另一个放大器使输入反相并添加参考电压以生成 V_{OUT-}。V_{OUT+} 和 V_{OUT-} 范围在 0.1V 至 2.4V 之间。差异 V_{DIFF} 是指 V_{OUT+} 和 V_{OUT-} 之间的差异。此配置将差分输出电压范围设为 2.3V。

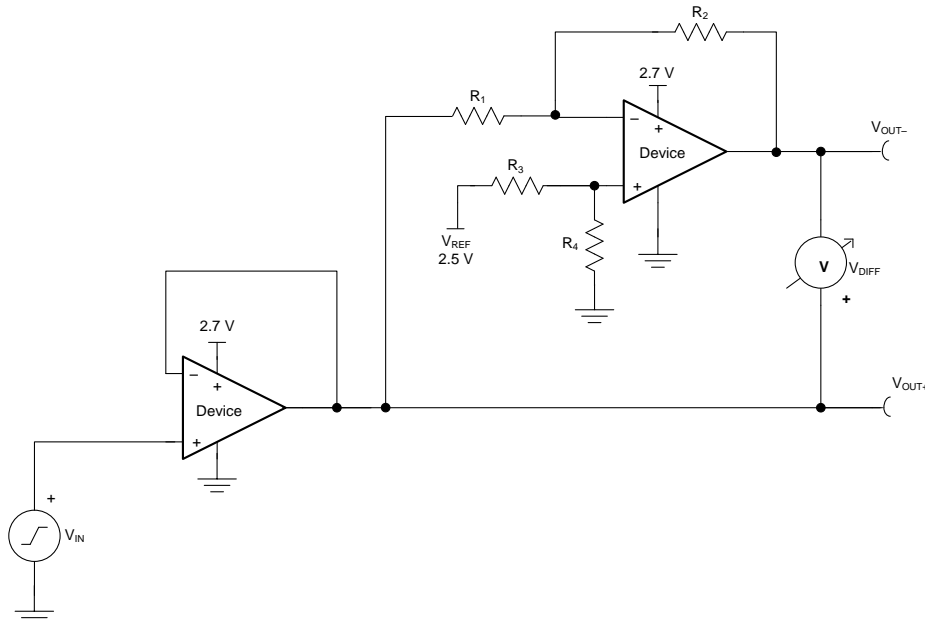


Figure 28. 单端输入到差分输出的转换原理图

典型应用 (continued)

8.2.1 设计要求

设计要求如下：

- 电源电压：2.7V
- 基准电压：2.5V
- 输入：0.1V 至 2.4V
- 输出差分：±2.3V
- 输出共模电压：1.25V
- 小信号带宽：1MHz

8.2.2 详细设计流程

在 [Figure 28](#) 中，电路采用单端输入信号 V_{IN} ，并生成两个输出信号 (V_{OUT+} 和 V_{OUT-})，生成输出信号时使用两个放大器和基准电压 V_{REF} 。 V_{OUT+} 是第一个放大器的输出，并且是输入信号 V_{IN} 的缓冲版本（如 [Equation 1](#) 所示）。 V_{OUT-} 是第二个放大器的输出，该放大器使用 V_{REF} 将失调电压添加至 V_{IN} 和反馈以添加反相增益。 V_{OUT-} 的传递函数如 [Equation 2](#) 所示。

$$V_{OUT+} = V_{IN} \quad (1)$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) - V_{IN} \times \frac{R_2}{R_1} \quad (2)$$

差分输出信号 V_{DIFF} 是两个单端输出信号 V_{OUT+} 和 V_{OUT-} 之间的差异。[Equation 3](#) 显示了 V_{DIFF} 的传递函数。通过应用 $R_1 = R_2$ 和 $R_3 = R_4$ 两个条件，传递函数简化为 [Equation 6](#)。使用此配置，最大的输入信号等于基准电压，每个放大器的最大输出等于 V_{REF} 。差分输出范围为 $2 \times V_{REF}$ 。此外，共模电压 (V_{CM}) 是 V_{REF} 的一半（请参阅 [Equation 7](#)）。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = V_{IN} \times \left(1 + \frac{R_2}{R_1} \right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) \quad (3)$$

$$V_{OUT+} = V_{IN} \quad (4)$$

$$V_{OUT-} = V_{REF} - V_{IN} \quad (5)$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \quad (6)$$

$$V_{CM} = \left(\frac{V_{OUT+} + V_{OUT-}}{2} \right) = \frac{1}{2} V_{REF} \quad (7)$$

8.2.2.1 放大器选择

输入范围的线性是实现良好直流精度的关键。共模输入范围和输出摆幅限制决定线性。通常，需要具有轨至轨输入和输出摆幅的放大器。宽带是此设计的主要考虑因素，因此，选择 OPAx348-Q1 系列器件是因为其宽带高于 1 MHz 的目标值。宽带和功耗比可使该器件实现低功耗，且低失调和低漂移可确保精度适中的应用实现良好精度。

8.2.2.2 无源组件选择

由于 V_{OUT-} 的传递函数高度依赖于电阻器 (R_1 、 R_2 、 R_3 和 R_4)，应使用低容差的电阻器以最大限度提高性能并最大限度减小误差。此设计使用电阻值为 49.9kΩ 且容差为 0.1% 的电阻器。但是，如果系统噪声是关键参数，可以选择较低电阻值 (6kΩ 或更低) 以使整个系统保持低噪音。这项技术可确保电阻器噪声低于放大器噪声。

典型应用 (continued)

8.2.3 应用曲线

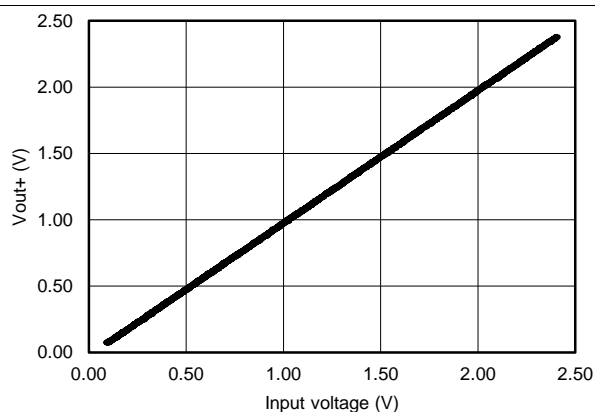


Figure 29. V_{OUT+} 与输入电压间的关系

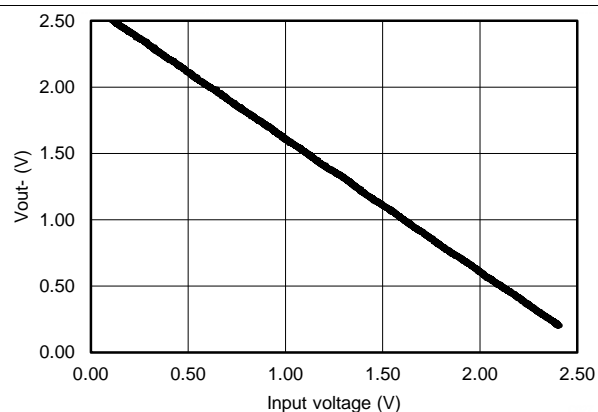


Figure 30. V_{OUT-} 与输入电压间的关系

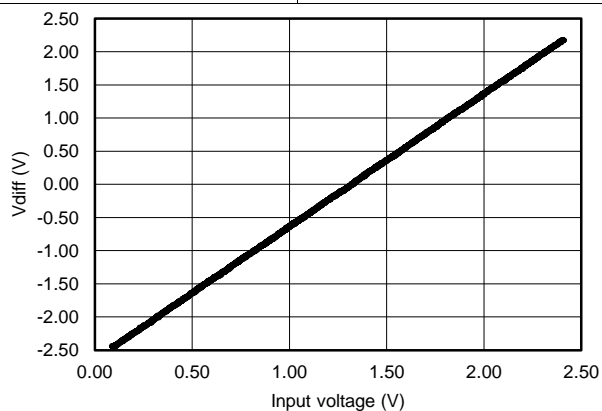


Figure 31. V_{DIFF} 与输入电压间的关系

9 电源建议

OPAx348-Q1 系列器件的额定工作电压范围是 1.8V 至 5.5V ($\pm 0.9V$ 至 $\pm 2.75V$)；多种技术规格适用于 -40°C 至 125°C 的温度范围。[典型特性](#)中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压超过 7V 可能会对器件造成永久损坏 (请参阅 [绝对最大额定值](#))。

将 $0.1\mu\text{F}$ 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容放置位置的详细信息，请参见 [布局指南](#)部分。

10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地平面有助于散热和降低 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参见 [电路板布局技巧](#)，[SLOA089](#)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。请保持 RF 和 RG 接近反相输入，以便最大限度减小寄生电容，如 [Figure 32](#) 所示。
- 尽可能缩短输入迹线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例

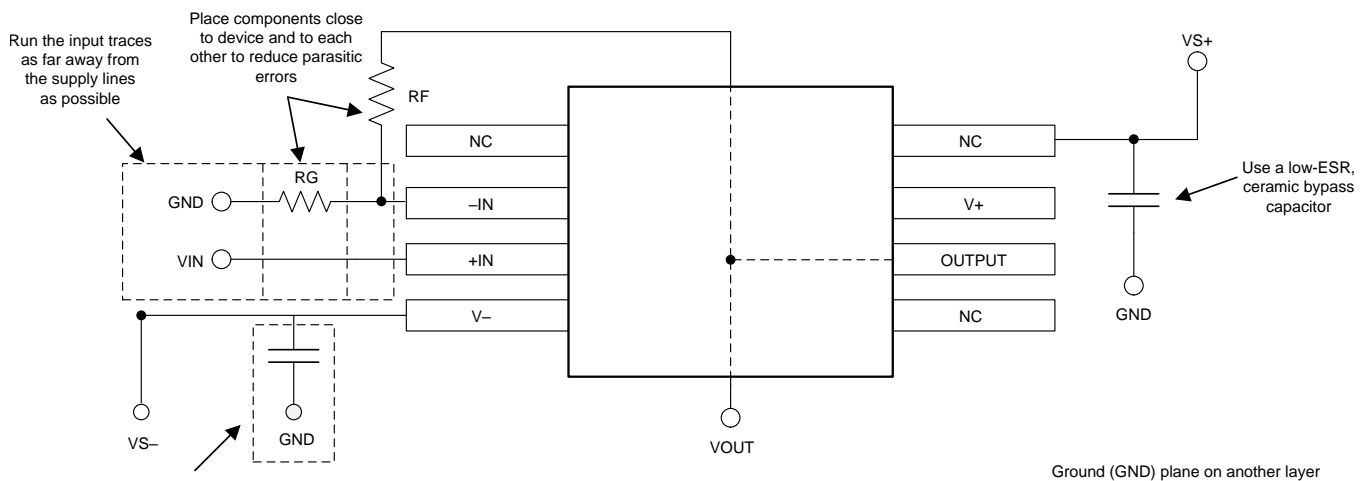


Figure 32. 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- [ADS7822: 12 位、200kHz 低功耗采样模数转换器](#)，[SBAS062](#)
- 应用报告：《[电路板布局技巧](#)》，[SLOA089](#)
- 应用报告：《[运算放大器的 EMI 抑制比](#)》，[SBOA128](#)

11.2 相关链接

[表 1](#) 列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

相关链接 (接下页)

表 1. 相关链接

部件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA348-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2348-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4348-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.4 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.5 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.6 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2348AQDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2348Q	Samples
OPA348AQDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A48	Samples
OPA348AQDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	348Q1	Samples
OPA4348AQPWRQ1	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	OP4348Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2348AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA348AQDBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA348AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4348AQPWRQ1	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2348AQDRQ1	SOIC	D	8	2500	356.0	356.0	35.0
OPA348AQDBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA348AQDRQ1	SOIC	D	8	2500	356.0	356.0	35.0
OPA4348AQPWRQ1	TSSOP	PW	14	2500	356.0	356.0	35.0



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

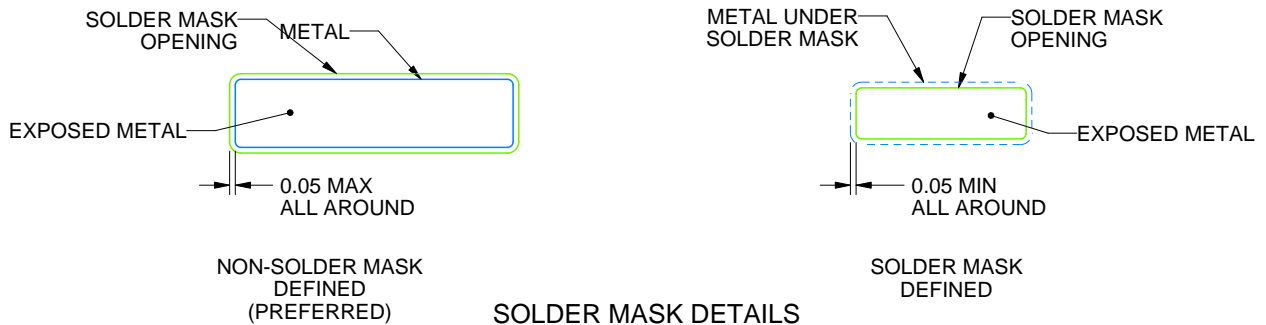
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

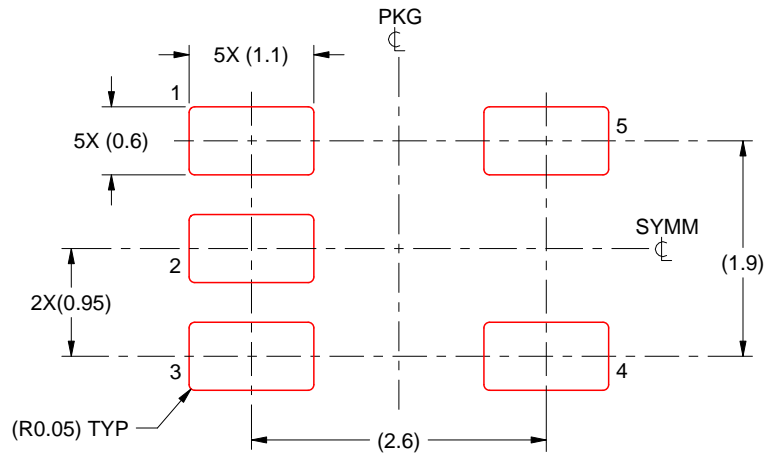
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司