

## PCM1841-Q1 四通道、32 位、192kHz Burr-Brown™ 音频 ADC

### 1 特性

- 多通道高性能 ADC：
  - 4 通道模拟麦克风输入或线路输入
- ADC 线路和麦克风差分输入性能：
  - 动态范围：
    - 123dB，启用动态范围增强器
    - 113dB，禁用动态范围增强器
  - THD+N：-98dB
- ADC 差分  $2V_{RMS}$  满量程输入
- ADC 采样速率 ( $f_S$ ) = 8kHz 至 192kHz
- 硬件引脚控制配置
- 线性相位或低延迟滤波器可选
- 灵活的音频串行数据接口：
  - 控制器或目标接口选择
  - 32 位、4 通道 TDM
  - 32 位、2 通道 TDM
  - 32 位、2 通道 I<sup>2</sup>S
  - 32 位、2 通道左平衡 (LJ)
- 音频时钟丢失时自动断电
- 集成高性能音频 PLL
- 低噪声麦克风偏置 2.75V 输出
- 单电源运行：3.3V
- I/O 电源运行：3.3V 或 1.8V
- 3.3V AVDD 电源电压下的功耗：
  - 16kHz 采样率下为 17.0 mW/通道
  - 48kHz 采样率下为 18.4 mW/通道

### 2 应用

- 远程信息处理控制单元
- 汽车音响主机
- 数字驾驶舱处理单元
- 汽车显示模块

### 3 说明

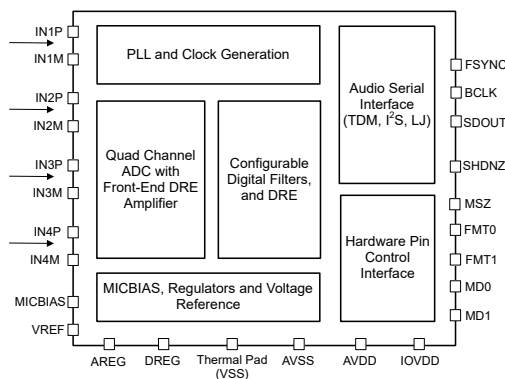
PCM1841-Q1 是一款高性能、Burr-Brown™ 音频模数转换器 (ADC)，可支持最多四个模拟通道的同步采样。该器件支持差分线路和麦克风输入，具有  $2V_{RMS}$  满量程信号，集成了麦克风偏置电压、锁相环 (PLL)、直流去除高通滤波器 (HPF) 等特性，并支持高达 192kHz 的采样率。该器件支持时分多路复用 (TDM)、I<sup>2</sup>S 或左平衡 (LJ) 音频格式，且硬件引脚电平可选。此外，PCM1841-Q1 支持为音频总线接口运行选择控制器和目标模式。这些集成的高性能特性，以及采用 3.3V 单电源供电的功能，使该器件非常适用于远场麦克风录音应用中对成本敏感的空间受限型音频系统。

PCM1841-Q1 的额定工作温度范围为  $-40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，采用 24 引脚 VQFN 封装。

#### 封装信息

器件型号	封装 (1)	封装尺寸 (2)	本体尺寸 (标称值)
PCM1841-Q1	RGE (VQFN, 24)	4.00mm x 4.00mm	4.00mm x 4.00mm <sup>(3)</sup>

- 如需更多信息，请参阅机械、封装和可订购信息。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- 包括 0.5mm 间距。



简化版方框图



## 内容

<b>1 特性</b> .....	1	<b>6.2 功能方框图</b> .....	11
<b>2 应用</b> .....	1	<b>6.3 特性说明</b> .....	11
<b>3 说明</b> .....	1	<b>6.4 器件功能模式</b> .....	23
<b>4 引脚配置和功能</b> .....	3	<b>7 应用和实施</b> .....	24
<b>5 规格</b> .....	4	<b>7.1 应用信息</b> .....	24
5.1 绝对最大额定值.....	4	<b>7.2 典型应用</b> .....	25
5.2 ESD 等级.....	4	<b>7.3 电源相关建议</b> .....	27
5.3 建议运行条件.....	4	<b>7.4 布局</b> .....	28
5.4 热性能信息.....	5	<b>8 器件和文档支持</b> .....	29
5.5 电气特性.....	5	8.1 接收文档更新通知.....	29
5.6 时序要求：TDM、I <sup>2</sup> S 或 LJ 接口.....	7	8.2 支持资源.....	29
5.7 开关特性：TDM、I <sup>2</sup> S 或 LJ 接口.....	7	8.3 商标.....	29
5.8 时序图.....	7	8.4 静电放电警告.....	30
5.9 典型特性.....	8	8.5 术语表.....	30
<b>6 详细说明</b> .....	10	<b>9 修订历史记录</b> .....	30
6.1 概述.....	10		

## 4 引脚配置和功能

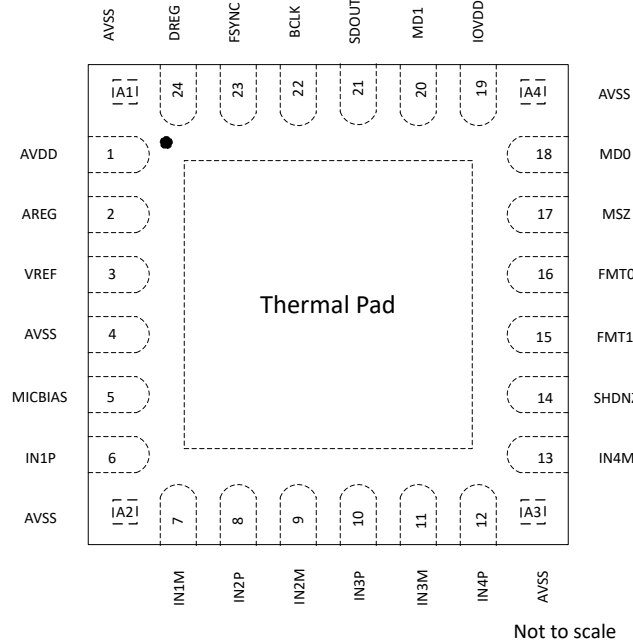


图 4-1. RGE 封装，24 引脚 VQFN (带外露散热焊盘) 顶视图

表 4-1. 引脚功能

引脚		类型 (1)	说明
编号	名称		
1	AVDD	P	模拟电源 (标称值为 3.3V)
2	AREG	P	模拟电源的模拟片上稳压器输出电压 (标称值为 1.8V)
3	VREF	O	模拟基准电压滤波器输出
4	AVSS	GND	模拟地。将该引脚直接短接至模拟接地层。
5	MICBIAS	O	MICBIAS 输出
6	IN1P	I	模拟输入 1P 引脚
7	IN1M	I	模拟输入 1M 引脚
8	IN2P	I	模拟输入 2P 引脚
9	IN2M	I	模拟输入 2M 引脚
10	IN3P	I	模拟输入 3P 引脚
11	IN3M	I	模拟输入 3M 引脚
12	IN4P	I	模拟输入 4P 引脚
13	IN4M	I	模拟输入 4M 引脚
14	SHDNZ	I	数字输入。器件硬件关断和复位 (低电平有效)
15	FMT1	I	数字输入。音频接口格式选择 1 引脚
16	FMT0	I	数字输入。音频接口格式选择 0 引脚
17	MSZ	I	数字输入。音频接口总线控制器或目标选择引脚
18	MD0	I	数字输入。器件配置模式选择 0 引脚
19	IOVDD	P	数字 I/O 电源 (标称值为 1.8V 或 3.3V)
20	MD1	I	数字输入。器件配置模式选择 1 引脚
21	SDOUT	O	数字输出。音频串行数据接口总线输出

表 4-1. 引脚功能 (续)

引脚		类型 (1)	说明
编号	名称		
22	BCLK	I/O	音频串行数据接口总线位时钟
23	FSYNC	I/O	音频串行数据接口总线帧同步信号
24	DREG	P	数字内核电源的数字稳压器输出电压 (标称值为 1.5V)
A1、 A2、 A3、 A4	AVSS	GND	模拟地。将该引脚直接短接至模拟接地层。
散热焊盘 (VSS)		GND	散热焊盘短接至内部器件接地。将散热焊盘直接短接至电路板接地平面。

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 地、N/A = 不适用

## 5 规格

### 5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) (1)

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	3.9	V
	AREG 至 AVSS	-0.3	2.0	
	IOVDD 至 VSS (散热焊盘)	-0.3	3.9	
接地电压差	AVSS 至 VSS (散热焊盘)	-0.3	0.3	V
模拟输入电压	模拟输入引脚电压至 AVSS	-0.3	AVDD + 0.3	V
数字输入电压	数字输入引脚电压至 VSS (散热焊盘)	-0.3	IOVDD + 0.3	V
温度	工作环境温度, $T_A$	-40	125	°C
	结温, $T_J$	-40	150	
	贮存温度, $T_{stg}$	-65	150	

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

### 5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±500

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

### 5.3 建议运行条件

		最小值	标称值	最大值	单位
<b>电源</b>					
AVDD、 AREG(1)	模拟电源电压 AVDD 至 AVSS (AREG 使用片上稳压器生成) - AVDD 3.3V 运行电压	3.0	3.3	3.6	V
IOVDD	IO 电源电压至 VSS (散热焊盘) - IOVDD 3.3V 运行电压	3.0	3.3	3.6	V
	IO 电源电压至 VSS (散热焊盘) - IOVDD 1.8V 运行电压	1.65	1.8	1.95	
<b>输入</b>					
	模拟输入引脚电压至 AVSS	0		AVDD	V
	数字输入引脚电压至 VSS (散热焊盘)	0		IOVDD	V
<b>温度</b>					
$T_A$	工作环境温度	-40		125	°C

### 5.3 建议运行条件 (续)

		最小值	标称值	最大值	单位
其他					
	数字输入引脚用作 MCLK 输入时钟频率			36.864	MHz
C <sub>L</sub>	数字输出负载电容		20	50	pF

(1) AVSS 和 VSS (散热焊盘) : 所有接地引脚必须连接在一起, 并且电压差异不得超过 0.2V。

### 5.4 热性能信息

热性能指标 <sup>(1)</sup>		PCM1841-Q1		单位
		RGE (VQFN)		
		24 引脚		
R <sub>θJA</sub>	结至环境热阻	45.6		°C/W
R <sub>θJC(top)</sub>	结至外壳 (顶部) 热阻	30		°C/W
R <sub>θJB</sub>	结至电路板热阻	22.5		°C/W
ψ <sub>JT</sub>	结至顶部特征参数	0.8		°C/W
ψ <sub>JB</sub>	结至电路板特征参数	22.4		°C/W
R <sub>θJC(bot)</sub>	结至外壳 (底部) 热阻	15		°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告 [SPRA953](#)。

### 5.5 电气特性

T<sub>A</sub> = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f<sub>IN</sub> = 1kHz 正弦信号、f<sub>S</sub> = 48kHz、32 位音频数据、BCLK = 256 × f<sub>S</sub>、TDM 目标模式 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>ADC 配置</b>						
	交流输入阻抗	输入引脚 INxP 或 INxM	2.5			kΩ
<b>线路/麦克风输入录音的 ADC 性能: AVDD 3.3V 运行电压</b>						
	差分输入满量程交流信号电压	交流耦合输入	2			V <sub>RMS</sub>
SNR	信噪比, A 加权 <sup>(1) (2)</sup>	选择 IN1 差分输入, 交流信号对地短路, 启用 DRE (DRE_LVL = -36dB, DRE_MAXGAIN = 24dB)	115	122		dB
		选择 IN1 差分输入, 交流信号对地短路, 禁用 DRE	106	112		
DR	动态范围, A 加权 <sup>(2)</sup>	选择 IN1 差分输入, -60dB 满量程交流信号输入, 启用 DRE (DRE_LVL = -36dB, DRE_MAXGAIN = 24dB)	123			dB
		选择 IN1 差分输入, -60dB 满量程交流信号输入, 禁用 DRE	113			
THD+N	总谐波失真 <sup>(2) (3)</sup>	选择 IN1 差分输入, -1dB 满量程交流信号输入, 启用 DRE (DRE_LVL = -36dB, DRE_MAXGAIN = 24dB)	-98		-80	dB
		选择 IN1 差分输入, -1dB 满量程交流信号输入, 禁用 DRE	-98			
<b>ADC 其他参数</b>						
	输出数据采样速率		7.35		192	kHz
	输出数据样本字长				32	位
	通道间隔离	-1dB 满量程交流信号输入至非测量通道			-124	dB
	通道间增益不匹配	-6dB 满量程交流信号输入			0.1	dB
	增益漂移	在 15°C 至 35°C 的温度范围内			-4.4	ppm/°C
	通道间相位不匹配	1kHz 正弦信号			0.02	度
	相位漂移	1kHz 正弦信号, 在 15°C 至 35°C 的温度范围内			0.0005	度/°C

## 5.5 电气特性 (续)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比	100mV <sub>PP</sub> , AVDD 上 1kHz 正弦信号, 选择差分输入, 0dB 通道增益		102		dB
CMRR	共模抑制比	选择差分麦克风输入, 100mV <sub>PP</sub> , 两个引脚上都为 1kHz 信号并在输出端测量电平		60		dB
<b>麦克风偏置</b>						
	MICBIAS 噪声	BW = 20Hz 至 20kHz, A 加权, MICBIAS 和 AVSS 之间具有 1 $\mu\text{F}$ 电容器		1.6		$\mu\text{V}_{\text{RMS}}$
	MICBIAS 电压			VREF		V
	MICBIAS 电流驱动				20	mA
	MICBIAS 负载调节	在高达最大负载下测得	0	0.6	1.8	%
	MICBIAS 过流保护阈值		22			mA
<b>数字 I/O</b>						
$V_{IL(\text{SHDNZ})}$	低电平数字输入逻辑电压阈值	SHDNZ 引脚	-0.3		$0.25 \times IOVDD$	V
$V_{IH(\text{SHDNZ})}$	高电平数字输入逻辑电压阈值	SHDNZ 引脚	$0.75 \times IOVDD$		$IOVDD + 0.3$	V
$V_{IL}$	低电平数字输入逻辑电压阈值	所有数字引脚, IOVDD 1.8V 运行电压	-0.3		$0.3 \times IOVDD$	V
		所有数字引脚, IOVDD 3.3V 运行电压	-0.3		0.8	
$V_{IH}$	高电平数字输入逻辑电压阈值	所有数字引脚, IOVDD 1.8V 或 3.3V 运行电压	$0.7 \times IOVDD$		$IOVDD + 0.3$	V
$V_{OL}$	低电平数字输出电压	所有数字引脚, $I_{OL} = -2\text{mA}$ , IOVDD 1.8V 运行电压			0.45	V
		所有数字引脚, $I_{OL} = -2\text{mA}$ , IOVDD 3.3V 运行电压			0.4	
$V_{OH}$	高电平数字输出电压	所有数字引脚, $I_{OH} = 2\text{mA}$ , IOVDD 1.8V 运行电压	$IOVDD - 0.45$			V
		所有数字引脚, $I_{OH} = 2\text{mA}$ , IOVDD 3.3V 运行电压	2.4			
$I_{IH}$	数字输入的输入逻辑高电平泄漏电流	所有数字引脚, 输入 = IOVDD	-5	0.1	5	$\mu\text{A}$
$I_{IL}$	数字输入的输入逻辑低电平泄漏电流	所有数字引脚, 输入 = 0V	-5	0.1	5	$\mu\text{A}$
$C_{IN}$	数字输入的输入电容	所有数字引脚		5		pF
<b>典型电源电流消耗</b>						
$I_{AVDD}$		SHDNZ = 0, AVDD = 3.3V, 内部 AREG		1		$\mu\text{A}$
$I_{IOVDD}$	硬件关断模式下的电流消耗	SHDNZ = 0, 所有外部时钟均停止, IOVDD = 3.3V		0.2		
$I_{IOVDD}$		SHDNZ = 0, 所有外部时钟均停止, IOVDD = 1.8V		0.15		
$I_{AVDD}$	ADC 4 通道在 $f_S$ 16kHz、BCLK = $256 \times f_S$ 且禁用 DRE 时的电流消耗	AVDD = 3.3V, 内部 AREG		21.3		mA
$I_{IOVDD}$		IOVDD = 3.3V		0.15		
$I_{IOVDD}$		IOVDD = 1.8V		0.04		
$I_{AVDD}$	ADC 4 通道在 $f_S$ 48kHz、BCLK = $256 \times f_S$ 且禁用 DRE 时的电流消耗	AVDD = 3.3V, 内部 AREG		22.9		mA
$I_{IOVDD}$		IOVDD = 3.3V		0.25		
$I_{IOVDD}$		IOVDD = 1.8V		0.1		
$I_{AVDD}$	ADC 4 通道在 $f_S$ 48kHz、BCLK = $256 \times f_S$ 且启用 DRE 时的电流消耗	AVDD = 3.3V, 内部 AREG		25.0		mA
$I_{IOVDD}$		IOVDD = 3.3V		0.25		
$I_{IOVDD}$		IOVDD = 1.8V		0.1		

- 在 1kHz 满量程正弦波输入时的输出电平与交流信号输入对地短路时的输出电平之比, 使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。
- 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器 (如注明) 完成。如果不使用此类滤波器, 可能会导致比“电气特性”中所示更高的 THD 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声, 尽管这种噪声不可闻, 但可能会影响动态规格值。
- 为了获得出色的失真性能, 请使用具有低电压系数的输入交流耦合电容器。

## 5.6 时序要求：TDM、I<sup>2</sup>S 或 LJ 接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-1

		最小值	标称值	最大值	单位
$t_{\text{BCLK}}$	BCLK 周期	40			ns
$t_{\text{H(BCLK)}}$	BCLK 高电平脉冲持续时间 <sup>(1)</sup>	18			ns
$t_{\text{L(BCLK)}}$	BCLK 低电平脉冲持续时间 <sup>(1)</sup>	18			ns
$t_{\text{SU(FSYNC)}}$	FSYNC 设置时间	8			ns
$t_{\text{HLD(FSYNC)}}$	FSYNC 保持时间	8			ns
$t_{\text{r(BCLK)}}$	BCLK 上升时间	10% 至 90% 上升时间		10	ns
$t_{\text{f(BCLK)}}$	BCLK 下降时间	90% 至 10% 下降时间		10	ns

(1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns（以满足时序规格）。

## 5.7 开关特性：TDM、I<sup>2</sup>S 或 LJ 接口

$T_A = 25^\circ\text{C}$ 、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-1

参数	测试条件	最小值	典型值	最大值	单位
$t_{\text{d(SDOUT-BCLK)}}$	BCLK 到 SDOUT 延迟	BCLK 的 50% 至 SDOUT 的 50%		18	ns
$t_{\text{d(SDOUT-FSYNC)}}$	TDM 或 LJ 模式下的 FSYNC 到 SDOUT 延迟（对于 TX_OFFSET = 0 的 MSB 数据）	FSYNC 的 50% 至 SDOUT 的 50%		18	ns
$f_{\text{(BCLK)}}$	BCLK 输出时钟频率：控制器模式 <sup>(1)</sup>			24.576	MHz
$t_{\text{H(BCLK)}}$	BCLK 高电平脉冲持续时间：控制器模式	14			ns
$t_{\text{L(BCLK)}}$	BCLK 低电平脉冲持续时间：控制器模式	14			ns
$t_{\text{d(FSYNC)}}$	BCLK 至 FSYNC 延迟：控制器模式	BCLK 的 50% 至 FSYNC 的 50%		18	ns
$t_{\text{r(BCLK)}}$	BCLK 上升时间：控制器模式	10% 至 90% 上升时间		8	ns
$t_{\text{f(BCLK)}}$	BCLK 下降时间：控制器模式	90% 至 10% 下降时间		8	ns

(1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz（以满足时序规格）。

## 5.8 时序图

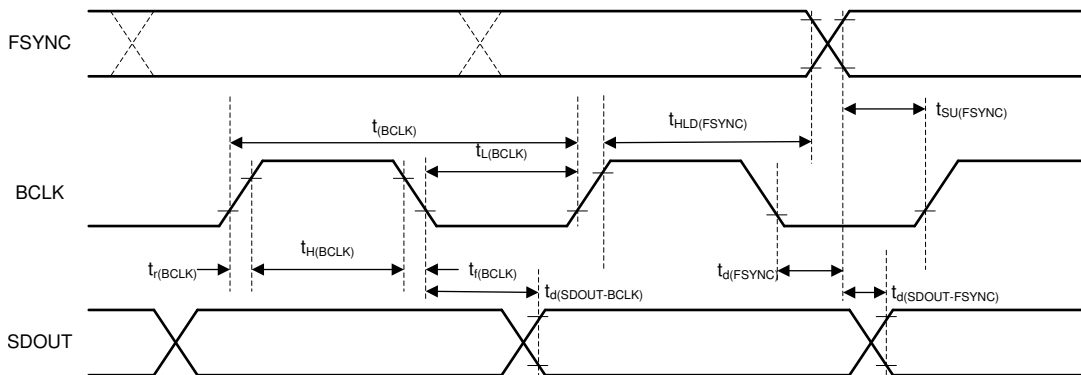


图 5-1. TDM、I<sup>2</sup>S 和 LJ 接口时序图

### 5.9 典型特性

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、 $DRE\_LVL = -36\text{dB}$ 、通道增益 =  $0\text{dB}$  且线性相位抽取滤波器（除非另有说明）；所有性能测量均通过  $20\text{kHz}$ 、低通滤波器和 A 加权滤波器完成

ADVANCE INFORMATION

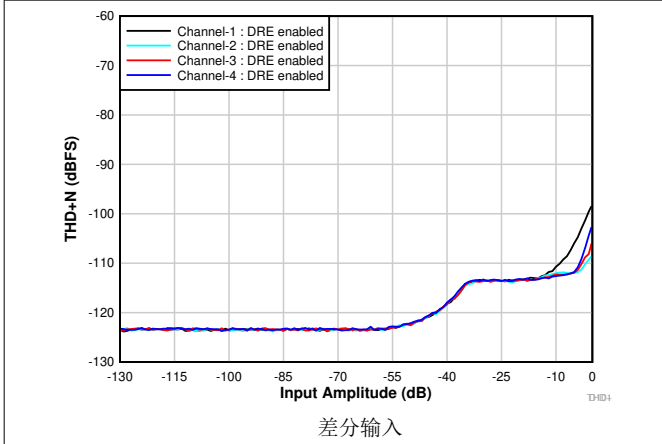


图 5-2. THD+N 与输入幅度间的关系 (DRE 已启用)

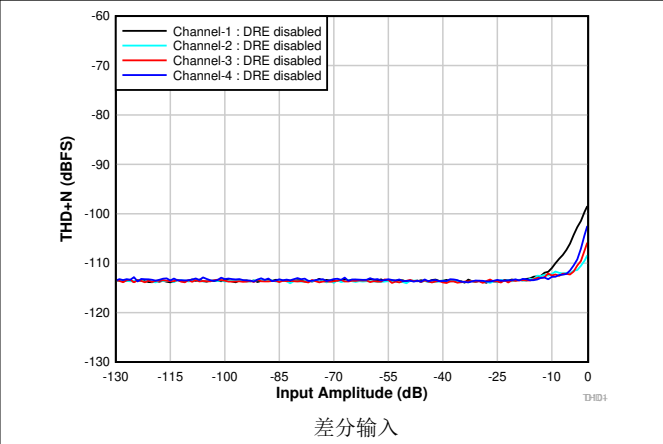


图 5-3. THD+N 与输入幅度间的关系 (DRE 已禁用)

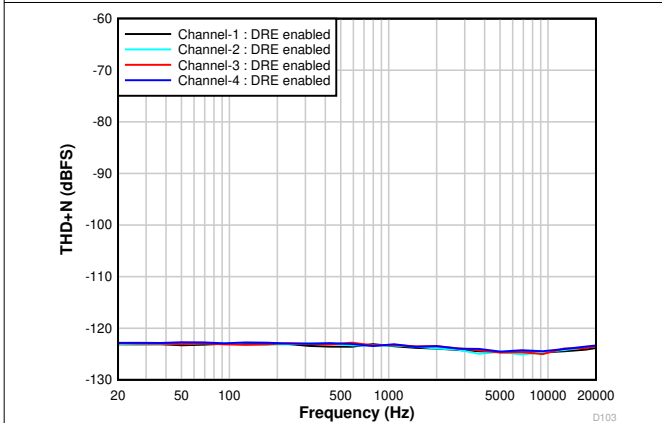


图 5-4. THD+N 与输入频率间的关系 输入为  $-60\text{dB}$

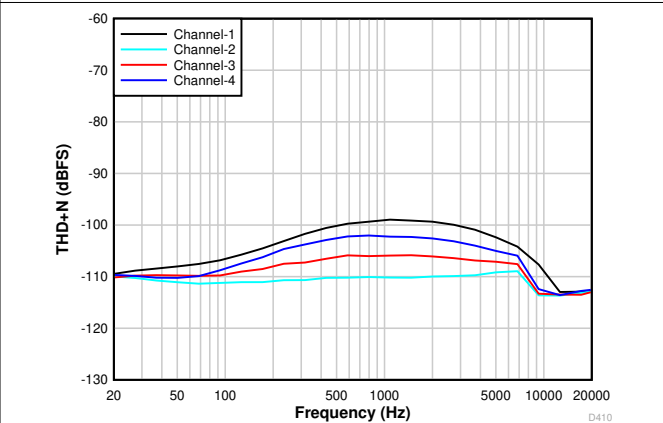


图 5-5. THD+N 与输入频率间的关系 输入为  $-1\text{dB}$

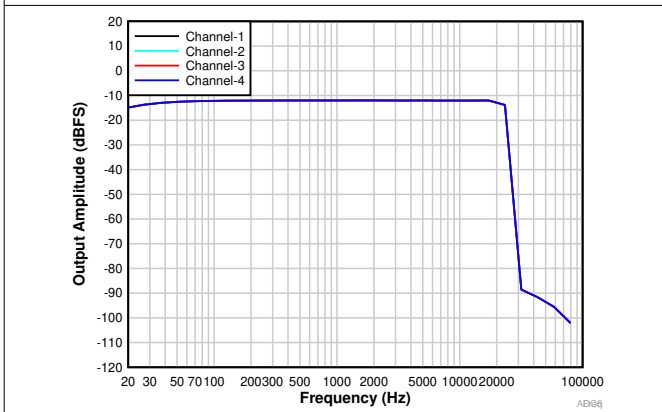


图 5-6. 频率响应 输入为  $-12\text{dB}$

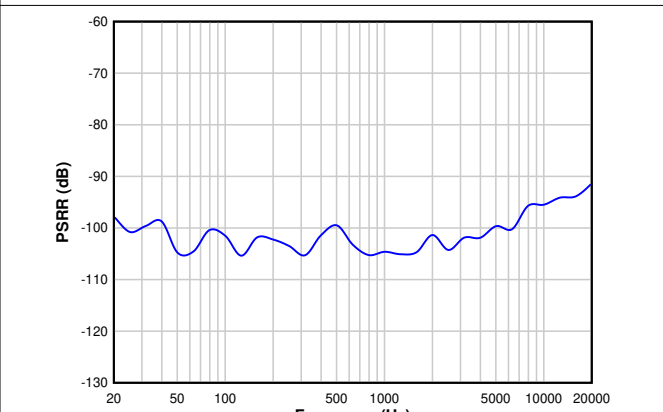


图 5-7.  $100\text{mV}_{PP}$  振幅下电源抑制比与纹波频率间的关系



### 5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、 $DRE\_LVL = -36\text{dB}$ 、通道增益 =  $0\text{dB}$  且线性相位抽取滤波器 (除非另有说明)；所有性能测量均通过  $20\text{kHz}$ 、低通滤波器和 A 加权滤波器完成

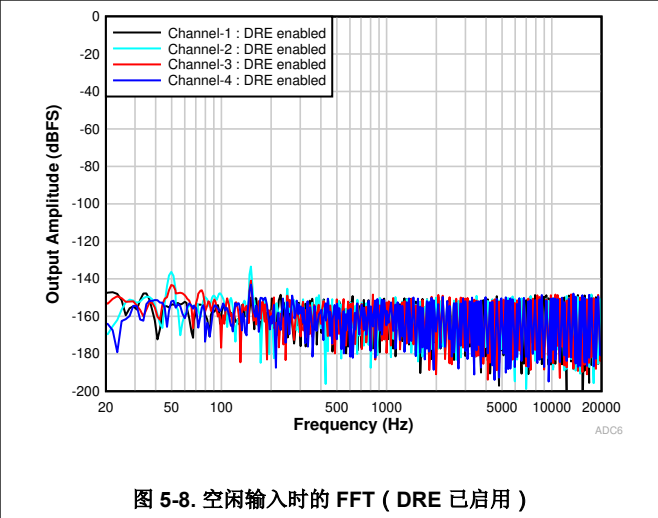


图 5-8. 空闲输入时的 FFT (DRE 已启用)

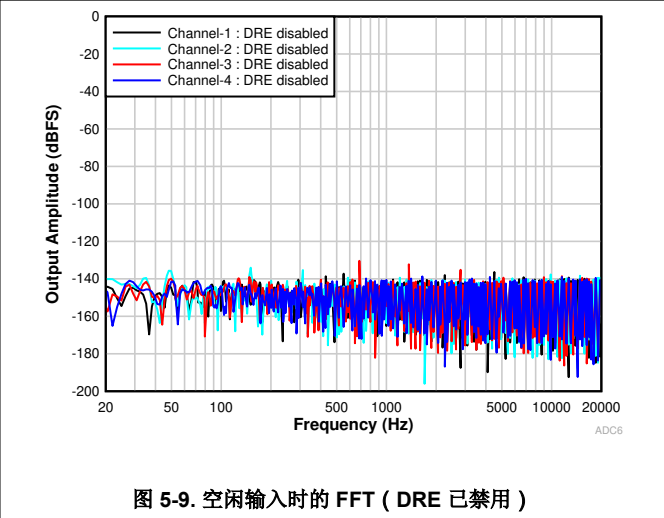


图 5-9. 空闲输入时的 FFT (DRE 已禁用)

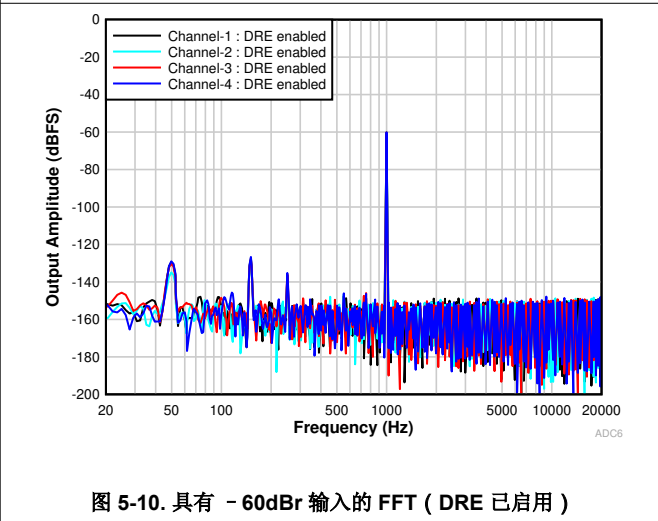


图 5-10. 具有  $-60\text{dB}$  输入的 FFT (DRE 已启用)

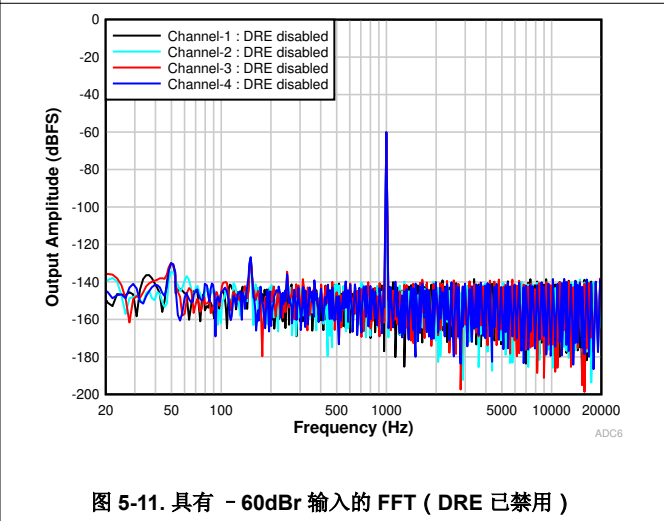
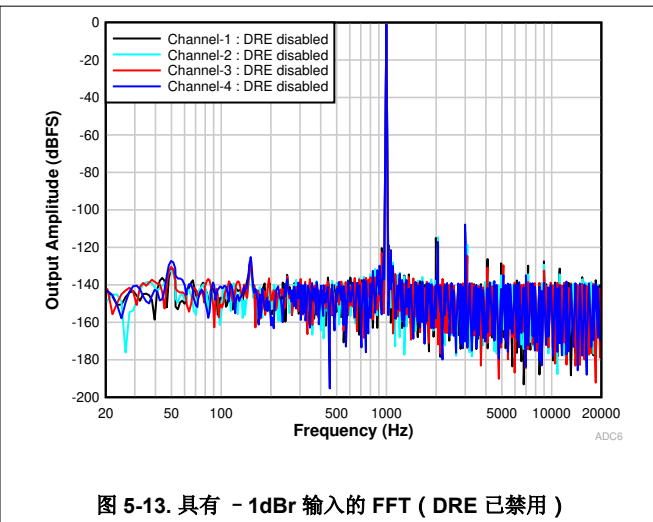
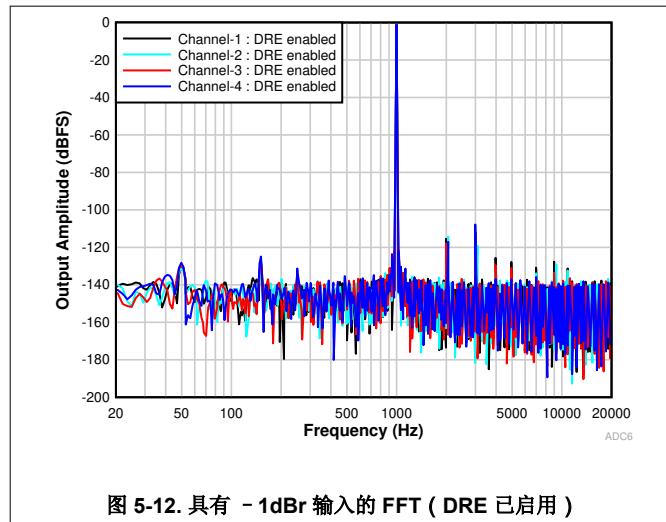


图 5-11. 具有  $-60\text{dB}$  输入的 FFT (DRE 已禁用)

## 5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 3.3\text{V}$ 、 $IOVDD = 3.3\text{V}$ 、 $f_{IN} = 1\text{kHz}$  正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $BCLK = 256 \times f_S$ 、TDM 目标模式、PLL 开启、 $DRE\_LVL = -36\text{dB}$ 、通道增益 =  $0\text{dB}$  且线性相位抽取滤波器 (除非另有说明)；所有性能测量均通过  $20\text{kHz}$ 、低通滤波器和 A 加权滤波器完成



## 6 详细说明

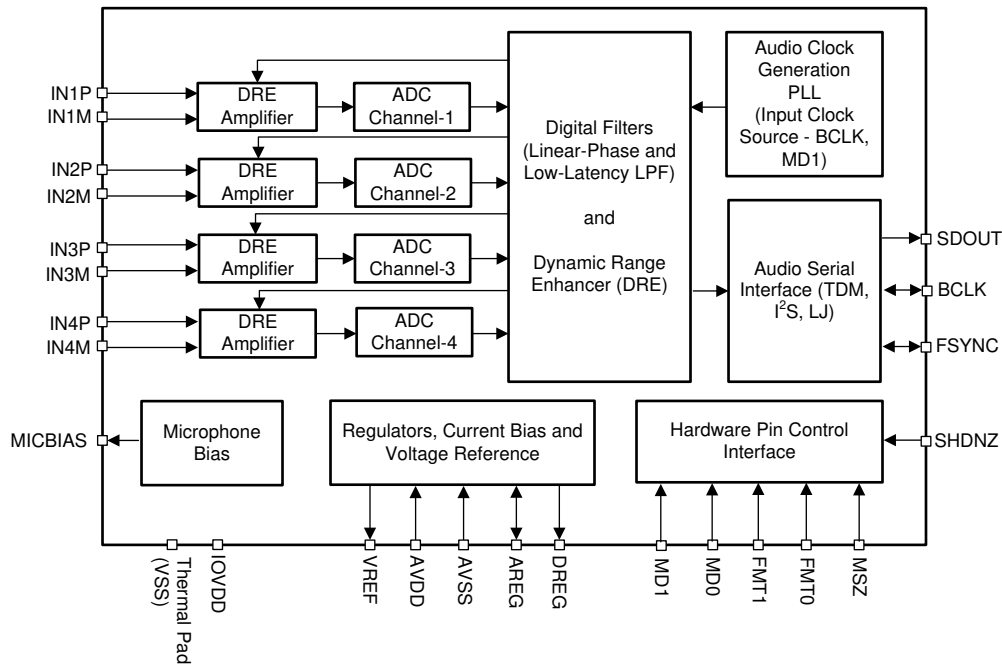
### 6.1 概述

PCM1841-Q1 是一款高性能、低功耗、四通道音频模数转换器 (ADC)，具有灵活的音频接口控制选项。该器件适用于声控系统、AV 接收器、TV 和蓝光播放器、专业麦克风、音频会议、便携式计算、通信和娱乐应用。该器件具有高动态范围，可实现高保真的远场音频录制。该器件集成了多种功能，可在空间受限、电池供电的消费类、家庭和工业应用中降低成本、布板空间和功耗。器件特性可以通过硬件来控制，方法是使用电阻器或控制器 GPIO 将引脚拉高或拉低。PCM1841-Q1 还通过停止系统时钟来支持断电和复位功能。

PCM1841-Q1 包含以下模块和特性：

- 四通道、多位、高性能  $\Delta$ - $\Sigma$  ADC
- 具有  $2V_{RMS}$  满量程信号的差分音频输入
- 低噪声  $1.6\mu V_{RMS}$  麦克风偏置输出
- 通过硬件引脚控制操作来选择器件特性
- 音频总线串行接口控制器或目标选择选项
- 音频总线串行接口格式选择选项
- 支持高达  $192\text{kHz}$  采样的音频总线串行接口
- 目标模式支持动态范围为  $123\text{dB}$  的动态范围增强器 (DRE)
- 目标模式支持具有线性相位或低延迟滤波器选择的抽取滤波器
- 使用  $256 \times f_S$  或  $512 \times f_S$  的系统时钟来支持控制器模式运行
- 通过停止音频时钟实现断电功能
- 集成高通滤波器 (HPF) 可消除输入信号的直流分量
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源  $3.3\text{V}$  运行

## 6.2 功能方框图



## 6.3 特性说明

### 6.3.1 硬件控制

此器件使得简单的引脚控制硬件能够为给定系统选择特定的运行模式和音频接口。MSZ、MD0、MD1、FMT0 和 FMT1 引脚允许通过上拉或下拉电阻器以及数字器件的 GPIO 来控制器件。

### 6.3.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 PCM1841-Q1 之间流动。这个高度灵活的 ASI 总线包括用于多通道运行的 TDM 模式、I<sup>2</sup>S 或左平衡协议格式支持，以及总线时钟线路的引脚可选控制器-目标配置。

该器件使用硬件引脚 MSZ 来支持音频总线控制器或目标运行模式。FSYNC 和 BCLK 在目标模式下用作输入引脚，而 FSYNC 和 BCLK 在控制器模式下用作器件生成的输出引脚。表 6-1 展示了使用 MSZ 引脚的控制器和目标模式选择。

表 6-1. 控制器和目标模式选择

MSZ	控制器和目标选择
低电平	目标运行模式
高电平	控制器运行模式

FMT0 和 FMT1 引脚可用于选择总线协议 TDM、I<sup>2</sup>S 或左平衡 (LJ) 格式。如表 6-2 所示，这些模式是最高有效字节 (MSB) 优先的脉冲编码调制 (PCM) 数据格式，输出通道数据字长为 32 位。

表 6-2. 音频串行接口格式

FMT1	FMT0	音频串行接口格式
低电平	低电平	具有时分多路复用 (TDM) 模式的 4 通道输出
低电平	高电平	具有时分多路复用 (TDM) 模式的 2 通道输出
高电平	低电平	具有左平衡 (LJ) 模式的 2 通道输出

表 6-2. 音频串行接口格式 (续)

FMT1	FMT0	音频串行接口格式
高电平	高电平	具有 IC 间音频 (I <sup>2</sup> S) 模式的 2 通道输出

6.3.2.1 时分多路复用 (TDM) 音频接口

FSYNC 的上升沿在 TDM 模式 (也称为 DSP 模式) 下开始数据传输, 首先传输时隙 0 数据。紧接着时隙 0 数据传输, 会按顺序传输剩余的时隙数据。FSYNC 和每个数据位在 BCLK 的上升沿传输 (TX\_OFFSET 等于 0 时, 时隙 0 的 MSB 除外)。图 6-1 至图 6-4 展示了各种配置下 TDM 运行的协议时序。

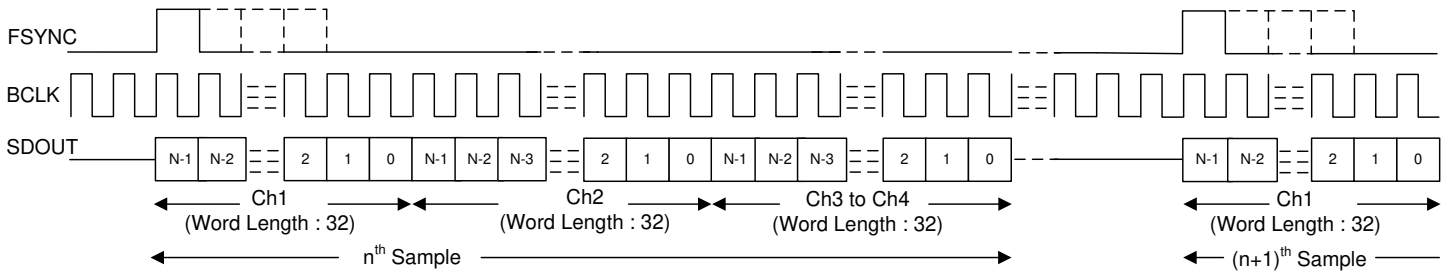


图 6-1. 目标模式下的 TDM 模式协议时序 (FMT0 = 低电平)

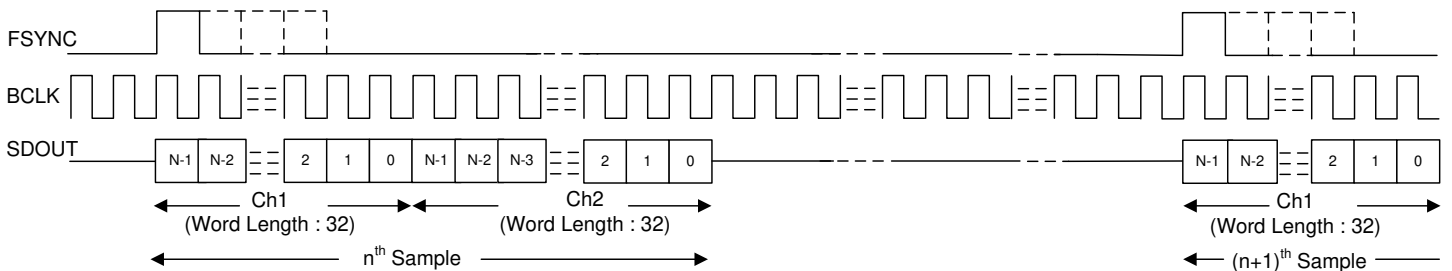


图 6-2. 目标模式下的 TDM 模式协议时序 (FMT0 = 高电平)

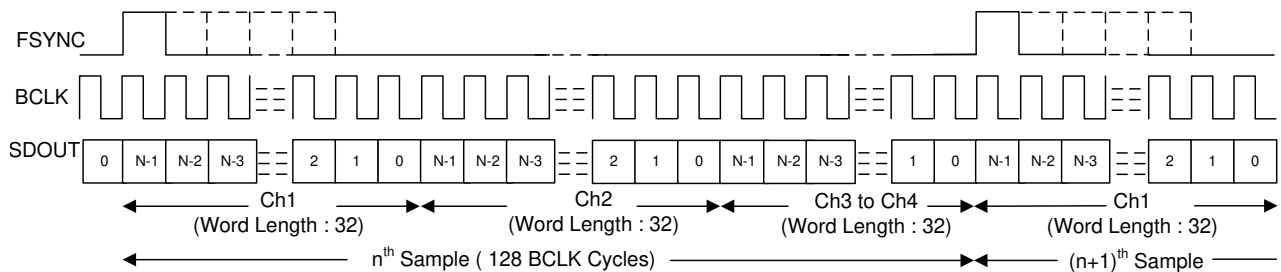


图 6-3. 控制器模式下的 TDM 模式协议时序 (FMT0 = 低电平)

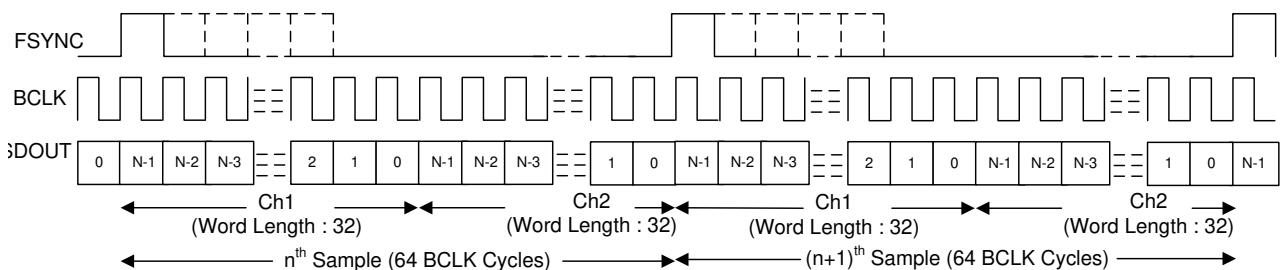


图 6-4. 控制器模式下的 TDM 模式协议时序 (FMT0 = 高电平)

ADVANCE INFORMATION

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于,或等于,活动输出通道数乘以输出通道数据的 32 位字长。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。

### 6.3.2.2 IC 间音频 (I<sup>2</sup>S) 接口

标准 I<sup>2</sup>S 协议仅针对两个通道进行定义：左通道和右通道。在 I<sup>2</sup>S 模式下，左时隙 0 的 MSB 会在 FSYNC 下降沿之后第二个周期中的 BCLK 下降沿上传输。右时隙 0 的 MSB 会在 FSYNC 上升沿之后第二个周期中的 BCLK 下降沿上传输。后续的数据位都在 BCLK 的下降沿传输。在控制器模式下，FSYNC 在 BCLK 的上升沿传输。图 6-5 和图 6-6 说明了在目标和控制器运行模式下 I<sup>2</sup>S 运行的协议时序。

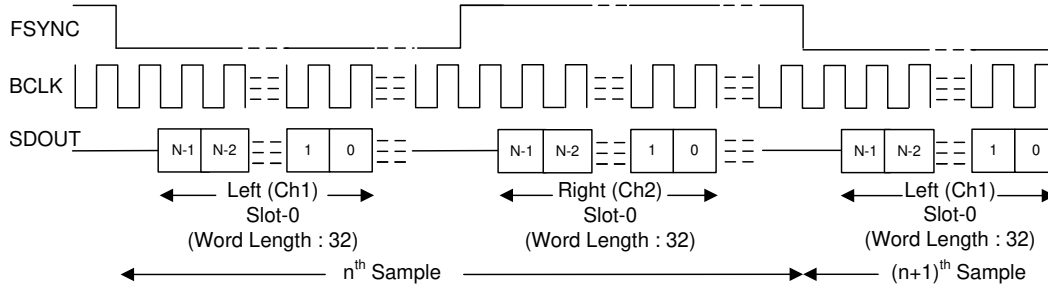


图 6-5. 目标模式下的 I<sup>2</sup>S 模式协议时序

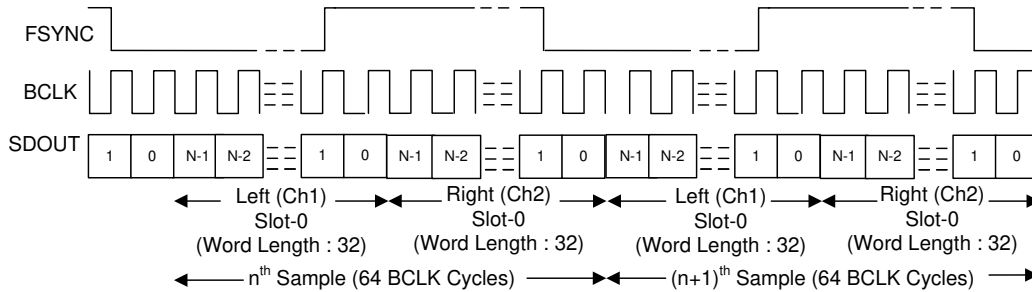


图 6-6. 控制器模式下的 I<sup>2</sup>S 协议时序

为了使音频总线在 I<sup>2</sup>S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的 32 位字长。器件 FSYNC 低电平脉冲必须至少是字长（32 位）乘以活动左侧通道的数量、BCLK 周期宽。同样，FSYNC 高电平脉冲必须至少是字长（32 位）乘以活动右侧通道的数量、BCLK 周期宽。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。

### 6.3.2.3 左对齐 (LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。在 LJ 模式下，左侧时隙 0 的 MSB 在 FSYNC 上升沿之后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。右侧时隙 0 的 MSB 在 FSYNC 下降沿后的同一 BCLK 周期内传输。后续的数据位都在 BCLK 的下降沿传输。在控制器模式下，FSYNC 在 BCLK 的上升沿传输。图 6-7 和图 6-8 说明了在目标和控制器运行模式下 LJ 运行的协议时序。

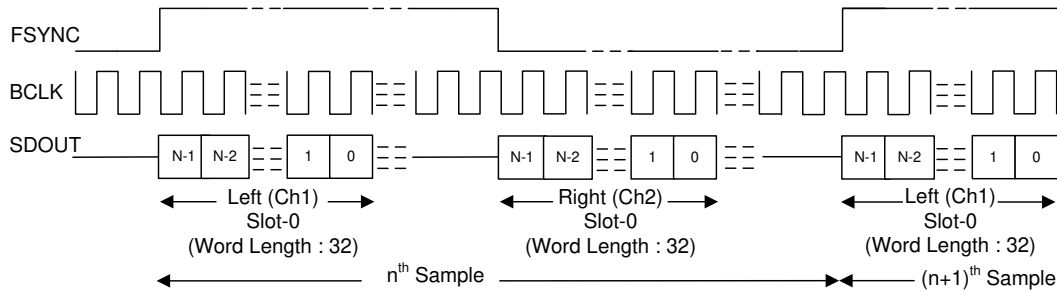


图 6-7. 目标模式下的 LJ 模式协议时序

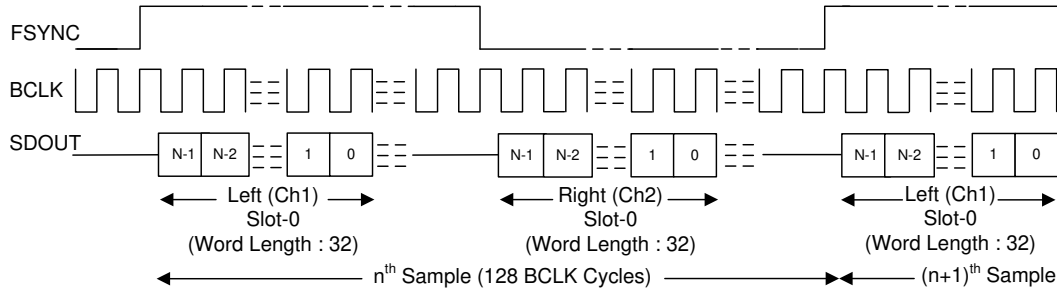


图 6-8. 控制器模式下的 LJ 模式协议时序

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的 32 位字长。器件 FSYNC 高电平脉冲必须至少是字长（32 位）乘以活动左侧通道的数量、BCLK 周期宽。同样，FSYNC 低电平脉冲必须至少是字长（32 位）乘以活动右侧通道的数量、BCLK 周期宽。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。

### 6.3.3 锁相环 (PLL) 和时钟生成

该器件使用集成的低抖动锁相环 (PLL) 来生成 ADC 调制器和数字滤波器引擎以及其他控制块所需的内部时钟。

在目标运行模式下，该器件支持（FSYNC 信号频率的）各种输出数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器（包括 PLL 配置），而无需主机编程。表 6-3 和表 6-4 列出了支持的 FSYNC 和 BCLK 频率。

表 6-3. 支持的 FSYNC (48kHz 的倍数或约数) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576
192	1.536	3.072	4.608	6.144	9.216	18.432	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留



表 6-4. 支持的 FSYNC ( 44.1kHz 的倍数或约数 ) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留

在控制器运行模式下，器件使用 MD1 引脚（作为系统时钟，MCLK）作为参考输入时钟源，并且支持使用 MD0 引脚配置的  $256 \times f_S$  或  $512 \times f_S$  的系统时钟频率选项。表 6-5 展示了使用 MD0 引脚的控制器模式的系统时钟选择。

表 6-5. 控制器模式的系统时钟选择

MD0	系统时钟选择 (仅对控制器模式有效)
低电平	频率为 $256 \times f_S$ 的系统时钟连接至 MD1 引脚，作为 MCLK
高电平	频率为 $512 \times f_S$ 的系统时钟连接至 MD1 引脚，作为 MCLK

有关目标运行模式下的 MD0 和 MD1 引脚功能，请参阅表 6-7 和表 6-20。

### 6.3.4 输入通道配置

该器件包含四对模拟输入引脚（INxP 和 INxM），作为用于录音通道的差分输入。该器件支持使用高性能多通道 ADC 同时对多达四个通道进行录音。模拟引脚的输入源可以来自驻极体电容式模拟麦克风、微机电系统 (MEMS) 模拟麦克风，或来自系统板的线路输入（辅助输入）。

语音或音频信号输入必须容性耦合（交流耦合）到器件。为了获得良好的失真性能，请使用低电压系数电容器进行交流耦合。该器件在每个引脚上的 INxP 或 INxM 典型输入阻抗为  $2.5k\Omega$ 。在交流耦合模式下，选择的耦合电容值必须确保由耦合电容器和输入阻抗形成的高通滤波器不影响信号内容。该耦合电容器必须在上电时充电至共模电压，然后才能开始进行正确录音。该器件采用快速充电方案，可在上电时提高耦合电容器的充电速度。快速充电时序的默认值是针对耦合电容器高达  $1\mu F$  进行设置的。

### 6.3.5 基准电压

所有音频数据转换器都需要直流基准电压。PCM1841-Q1 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须使用连接在 VREF 引脚与模拟地 (AVSS) 之间的最低  $1\mu F$  电容器从外部进行滤波。此基准电压 VREF 的值设置为  $2.75V$ ，能使器件支持  $2V_{RMS}$  差分满量程输入。该 VREF 电压所需的最小 AVDD 电压为  $3V$ 。不要将任何外部负载连接到 VREF 引脚。

### 6.3.6 麦克风偏置

该器件集成一个内置低噪声  $1.6\mu V_{RMS}$  麦克风偏置引脚，该引脚具有  $2.75V$  的输出电压，可在系统中用于偏置驻极体电容式麦克风或为 MEMS 模拟或数字麦克风提供电源。集成的偏置放大器支持高达  $20mA$  的负载电流，可用于多个麦克风，旨在提供高 PSRR 和低噪声偏置电压的组合，以便针对高端音频应用偏置麦克风。当使用该 MICBIAS 引脚对多个麦克风进行偏置或供电时，请避免在用于 MICBIAS 连接的电路板布局布线上出现任何公共阻抗，以尽可能地减小麦克风之间的耦合。

### 6.3.7 信号链处理

PCM1841-Q1 信号链由超低噪声、高性能、低功耗模拟块以及高度灵活的可编程数字处理块组成。高性能和灵活性与紧凑的封装相结合，使得 PCM1841-Q1 非常适合需要多通道音频采集的各种终端设备 and 应用。图 6-9 展示了一个概念方框图，其中突出显示了信号链中使用的各种构建块以及这些块在信号链中的交互方式。

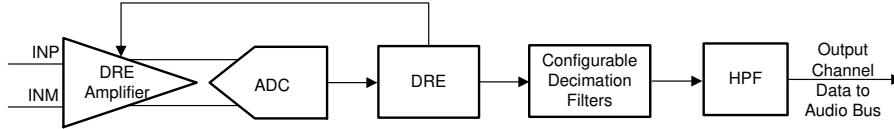


图 6-9. 信号链处理流程图

前端动态范围增强器 (DRE) 增益放大器的噪声非常低，并具有 123dB 的动态范围性能。借助前端 DRE 增益放大器，以及低噪声、低失真、多位  $\Delta$ - $\Sigma$  ADC，PCM1841-Q1 能够在安静和嘈杂的环境中录制具有极高保真度的远场音频信号。此外，ADC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可在 ADC 采样期间防止噪声混叠到音频频带中。进一步利用信号链，集成的高性能多级数字抽取滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

该器件支持高达 80kHz 的输入信号带宽，这允许使用 176.4kHz (或更高) 采样速率来录制高频非音频信号。

#### 6.3.7.1 数字高通滤波器

该器件支持具有  $0.00002083 \times f_s$  的 -3dB 截止频率的固定高通滤波器 (HPF)，以消除直流偏移分量并衰减录音数据中不需要的低频噪声成分。HPF 不是独立于通道的滤波器，但全局适用于所有 ADC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。表 6-6 展示了固定的 -3dB 截止频率值。

表 6-6. HPF 截止频率值

-3dB 截止频率值	16kHz 采样速率下截止频率为 -3dB	48kHz 采样速率下截止频率为 -3dB
$0.00002083 \times f_s$	0.33Hz	1Hz

#### 6.3.7.2 可配置数字抽取滤波器

器件录音通道包括一个内置的高动态范围数字抽取滤波器，用于处理来自多位  $\Delta$ - $\Sigma$  ( $\Delta \Sigma$ ) 调制器的过采样数据，从而以与 FSYNC 速率相同的奈奎斯特采样速率生成数字数据。根据目标应用所需的频率响应、群延迟和相位线性度要求，在目标模式下，可以仅从节 6.3.7.2.1 和节 6.3.7.2.2 中选择抽取滤波器。MDO 引脚可以选择抽取滤波器选项。表 6-7 展示了录音通道的抽取滤波器模式选择。

表 6-7. 录音通道的抽取滤波器模式选择

MDO	抽取滤波器模式选择 (仅在目标模式下受支持)
低电平	线性相位滤波器用于在目标模式下进行抽取。对于控制器模式，器件始终使用线性相位滤波器进行抽取。
高电平	低延迟滤波器用于在目标模式下进行抽取。对于控制器模式，器件始终使用线性相位滤波器进行抽取。

##### 6.3.7.2.1 线性相位滤波器

线性相位抽取滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。节 6.3.7.2.1.1 至节 6.3.7.2.1.7 列出了所有受支持输出采样速率的滤波器性能规格和各种图。



6.3.7.2.1.1 采样速率：8kHz 或 7.35kHz

图 6-10 和图 6-11 展示了采样速率为 8kHz 或 7.35kHz 时抽取滤波器的幅度响应和通带纹波。表 6-8 列出了采样速率为 8kHz 或 7.35kHz 时抽取滤波器的规格。

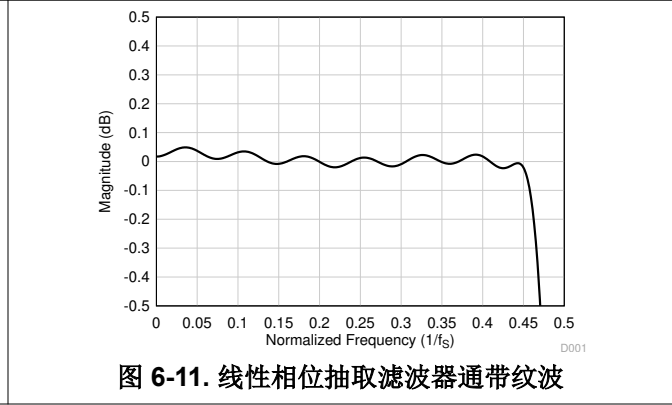
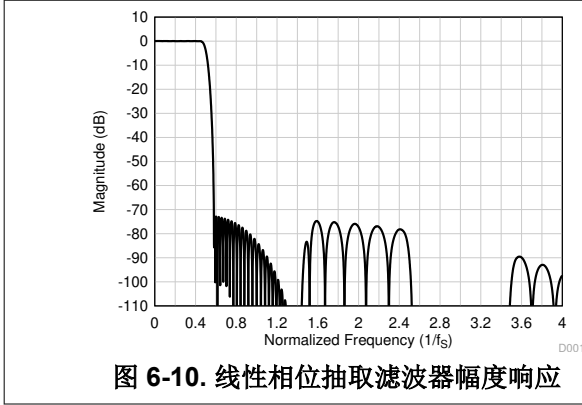


表 6-8. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	72.7			dB
	频率范围为 $4 \times f_s$ 以上	81.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.7.2.1.2 采样速率：16kHz 或 14.7kHz

图 6-12 和图 6-13 展示了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的幅度响应和通带纹波。表 6-9 列出了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的规格。

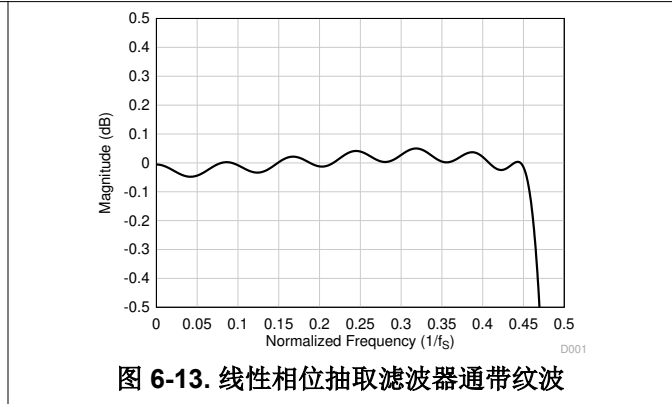
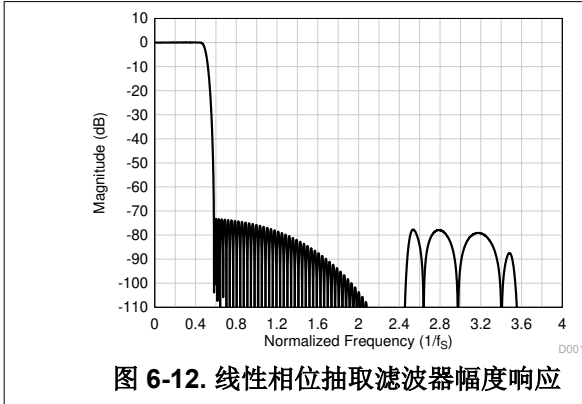
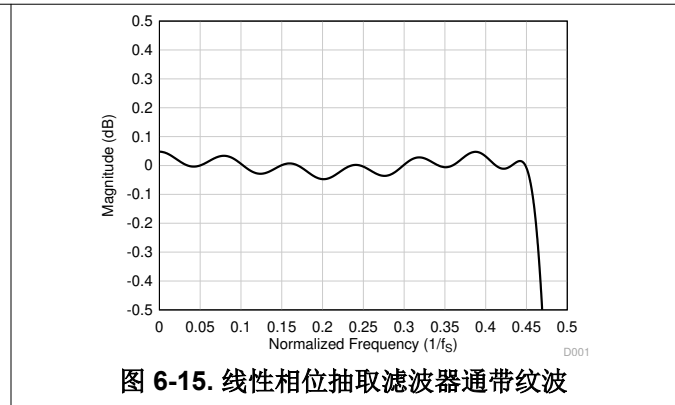
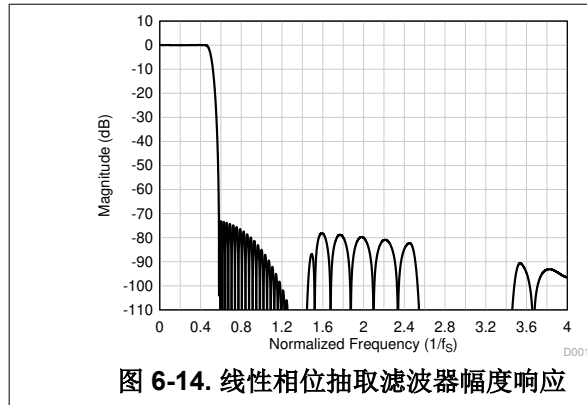


表 6-9. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.3			dB
	频率范围为 $4 \times f_s$ 以上	95.0			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		15.7		$1/f_s$

**6.3.7.2.1.3 采样速率：24kHz 或 22.05kHz**

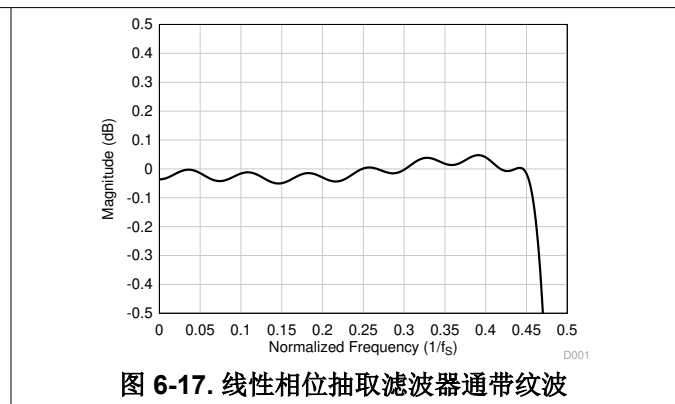
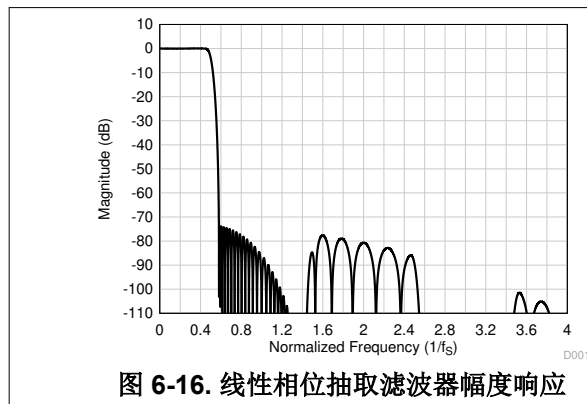
图 6-14 和图 6-15 展示了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的幅度响应和通带纹波。表 6-10 列出了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的规格。


**表 6-10. 线性相位抽取滤波器规格**

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.0			dB
	频率范围为 $4 \times f_s$ 以上	96.4			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		16.6		$1/f_s$

**6.3.7.2.1.4 采样速率：32kHz 或 29.4kHz**

图 6-16 和图 6-17 展示了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的幅度响应和通带纹波。表 6-11 列出了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的规格。


**表 6-11. 线性相位抽取滤波器规格**

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.7			dB
	频率范围为 $4 \times f_s$ 以上	107.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		16.9		$1/f_s$

6.3.7.2.1.5 采样速率：48kHz 或 44.1kHz

图 6-18 和图 6-19 展示了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的幅度响应和通带纹波。表 6-12 列出了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的规格。

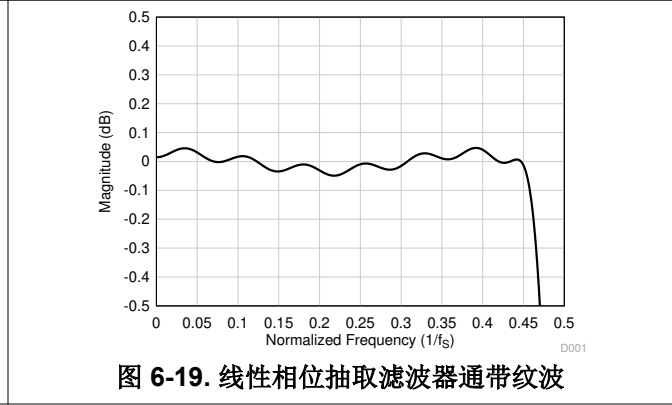
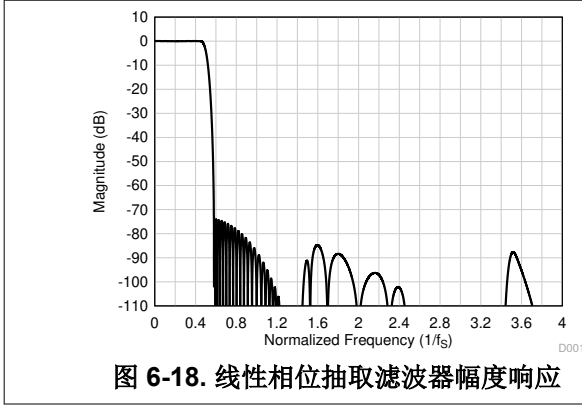


表 6-12. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.8			dB
	频率范围为 $4 \times f_s$ 以上	98.1			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.7.2.1.6 采样速率：96kHz 或 88.2kHz

图 6-20 和图 6-21 展示了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的幅度响应和通带纹波。表 6-13 列出了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的规格。

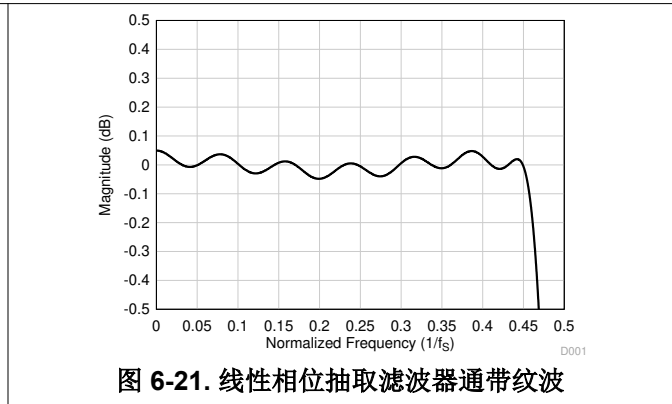
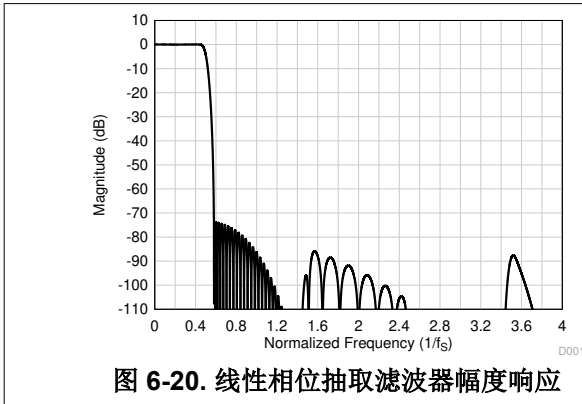
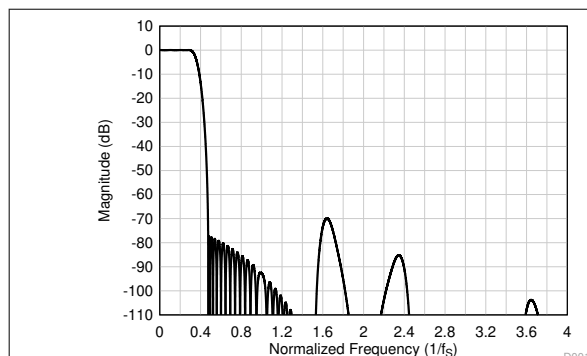
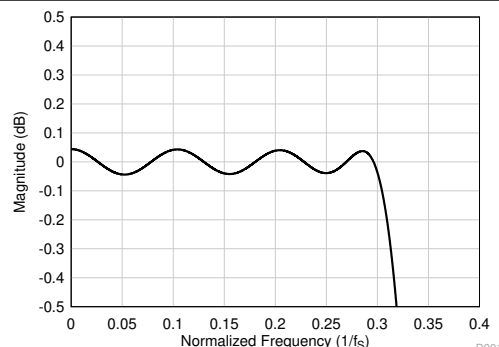


表 6-13. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.6			dB
	频率范围为 $4 \times f_s$ 以上	97.9			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

**6.3.7.2.1.7 采样速率：192kHz 或 176.4kHz**

图 6-22 和图 6-23 展示了采样速率为 192kHz 或 176.4kHz 时抽取滤波器的幅度响应和通带纹波。表 6-14 列出了采样速率为 192kHz 或 176.4kHz 时抽取滤波器的规格。


**图 6-22. 线性相位抽取滤波器幅度响应**

**图 6-23. 线性相位抽取滤波器通带纹波**
**表 6-14. 线性相位抽取滤波器规格**

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.3 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.473 \times f_s$ 至 $4 \times f_s$	70.0			dB
	频率范围为 $4 \times f_s$ 以上	111.0			
群延迟或延时	频率范围为 0 至 $0.3 \times f_s$		11.9		$1/f_s$

**6.3.7.2.2 低延迟滤波器**

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 PCM1841-Q1 上的低延迟抽取滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在  $0.365 \times f_s$  频带内具有几乎为线性的相位响应。节 6.3.7.2.2.1 至 节 6.3.7.2.2.5 提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

### 6.3.7.2.2.1 采样速率：16kHz 或 14.7kHz

图 6-24 显示了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的幅度响应，而图 6-25 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-15 列出了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的规格。

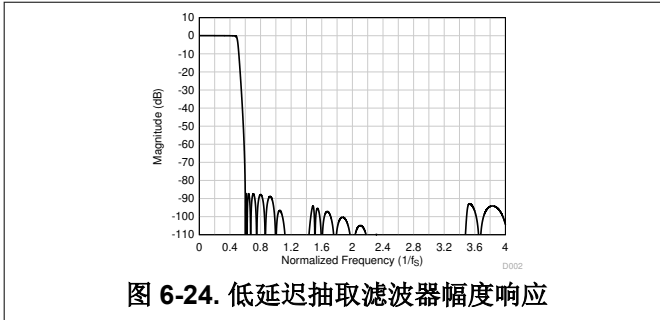


图 6-24. 低延迟抽取滤波器幅度响应

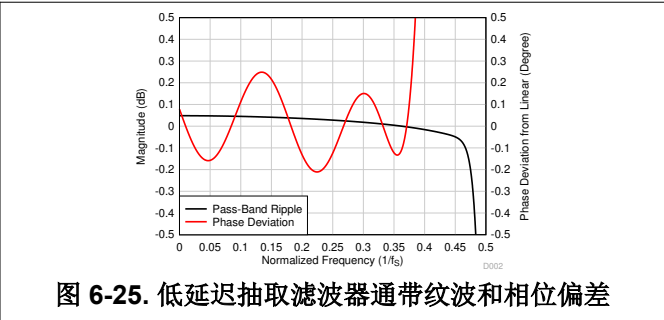


图 6-25. 低延迟抽取滤波器通带纹波和相位偏差

表 6-15. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.451 \times f_s$	-0.05		0.05	dB
阻带衰减	频率范围为 $0.61 \times f_s$ 以上	87.3			dB
群延迟或延时	频率范围为 0 至 $0.363 \times f_s$		7.6		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.363 \times f_s$	-0.022		0.022	$1/f_s$
相位偏差	频率范围为 0 至 $0.363 \times f_s$	-0.21		0.25	度

### 6.3.7.2.2.2 采样速率：24kHz 或 22.05kHz

图 6-26 显示了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的幅度响应，而图 6-27 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-16 列出了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的规格。

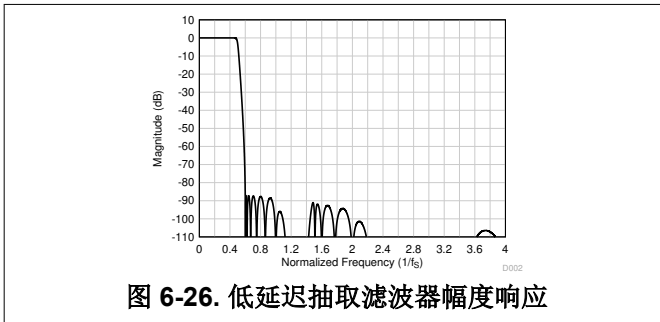


图 6-26. 低延迟抽取滤波器幅度响应

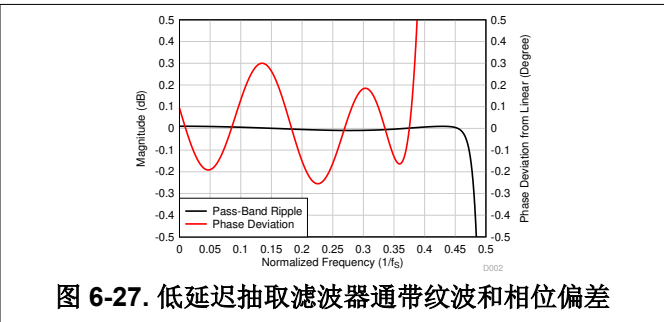


图 6-27. 低延迟抽取滤波器通带纹波和相位偏差

表 6-16. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.459 \times f_s$	-0.01		0.01	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	87.2			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.5		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.026		0.026	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26		0.30	度

### 6.3.7.2.2.3 采样速率：32kHz 或 29.4kHz

图 6-28 显示了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的幅度响应，而图 6-29 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-17 列出了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的规格。

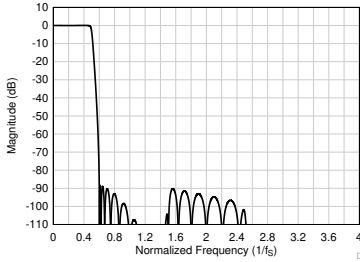


图 6-28. 低延迟抽取滤波器幅度响应

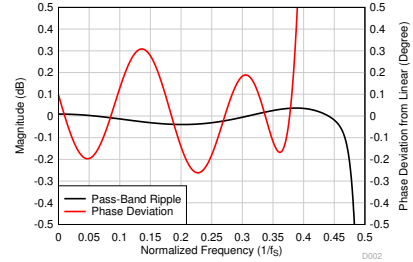


图 6-29. 低延迟抽取滤波器通带纹波和相位偏差

表 6-17. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.457 \times f_s$	-0.04		0.04	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	88.3			dB
群延迟或延时	频率范围为 0 至 $0.368 \times f_s$		8.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.368 \times f_s$	-0.026		0.026	$1/f_s$
相位偏差	频率范围为 0 至 $0.368 \times f_s$	-0.26		0.31	度

#### 6.3.7.2.2.4 采样速率：48kHz 或 44.1kHz

图 6-30 显示了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的幅度响应，而图 6-31 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-18 列出了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的规格。

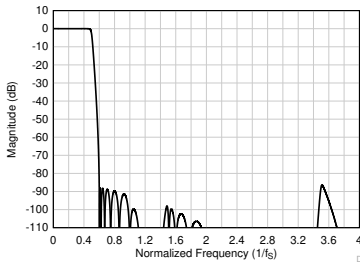


图 6-30. 低延迟抽取滤波器幅度响应

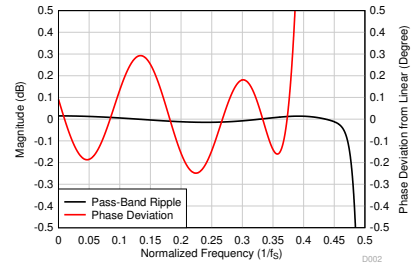


图 6-31. 低延迟抽取滤波器通带纹波和相位偏差

表 6-18. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.452 \times f_s$	-0.015		0.015	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	86.4			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.027		0.027	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.25		0.30	度

#### 6.3.7.2.2.5 采样速率：96kHz 或 88.2kHz

图 6-32 显示了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的幅度响应，而图 6-33 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-19 列出了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的规格。

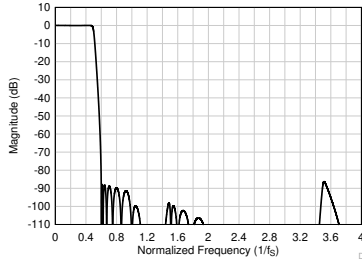


图 6-32. 低延迟抽取滤波器幅度响应

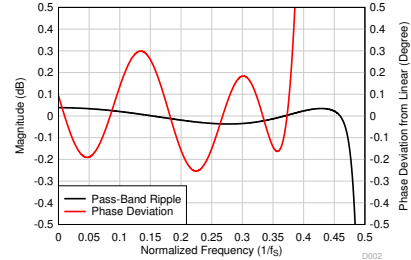


图 6-33. 低延迟抽取滤波器通带纹波和相位偏差

表 6-19. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.466 \times f_s$	-0.04		0.04	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	86.3			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.027		0.027	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26		0.30	度

### 6.3.8 动态范围增强器 (DRE)

该器件集成了具有 123dB 动态范围性能的超低噪声前端 DRE 增益放大器和具有 113dB 动态范围的低噪声、低失真、多位  $\Delta-\Sigma$  ( $\Delta\Sigma$ ) ADC。动态范围增强器 (DRE) 是一种数字辅助算法，用于提高整体通道性能。DRE 可以监控输入信号幅度，并相应地自动调整内部 DRE 放大器增益。DRE 可实现高达 123dB 的完整通道动态范围。在系统级别，DRE 方案能够在非常安静的环境中实现远场高保真音频信号录制，并在嘈杂的环境中实现低失真录制。

DRE 仅可通过驱动高电平至 MD1 引脚在目标模式下启用。表 6-20 展示了录音通道的 DRE 选择。

表 6-20. 录音通道的 DRE 选择

MD1	DRE 选择 (仅在目标模式下受支持)
低电平	在目标模式下禁用 DRE。对于控制器模式，始终禁用 DRE。
高电平	在目标模式下，DRE 启用，DRE_LVL = -36dB 且 DRE_MAXGAIN = 24dB。对于控制器模式，始终禁用 DRE。

该算法以超低的延迟实现，所有信号链块的设计都旨在尽可能减少动态增益调制可能产生的任何音频失真。触发 DRE 的目标信号阈值电平 DRE\_LVL 固定为 -36dB 输入信号电平。DRE 增益范围可以通过使用固定为 24dB 的 DRE\_MAXGAIN 进行动态调制，以最大限度地发挥 DRE 在实际应用中的优势并最大限度地减少任何可闻失真。

由于信号处理量增加，启用 DRE 进行处理会增加器件的功耗。因此，在低功耗关键型应用中应禁用 DRE。此外，大于 48kHz 的输出采样速率不支持 DRE。

## 6.4 器件功能模式

### 6.4.1 硬件关断

当 SHDNZ 引脚置为低电平有效或未向器件施加 AVDD 电源电压时，器件会进入硬件关断模式。在硬件关断模式下，器件会消耗来自 AVDD 电源的最小静态电流。如果 SHDNZ 引脚在器件处于工作模式时置为低电平有效，则器件会缓慢降低录音数据的音量，关闭模拟和数字块，并在 25ms (典型值) 内将器件置于硬件关断模式。

### 6.4.2 工作模式

在硬件关断状态下，当 SHDNZ 引脚变为高电平时，器件启动内部启动序列，然后在不到 20ms (典型值) 的内进入工作模式。仅当 IOVDD 电源稳定到稳定的电压电平时，才将 SHDNZ 引脚置为高电平有效，并且所有硬件控制引脚 (MSZ、MD0、MD1、FMT0 和 FMT1) 都被驱动至器件所需运行模式的电压电平。



在工作模式下，如果音频时钟可用，则器件会为所有 ADC 通道加电并开始通过音频串行接口发送数据。如果时钟停止，则器件会自动关闭 ADC 通道。

## 7 应用和实施

---

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

---

### 7.1 应用信息

PCM1841-Q1 是一款多通道、高性能音频模数转换器 (ADC)，支持高达 192kHz 的输出采样速率。该器件支持多达四个模拟麦克风，适用于同步录音应用。

可以使用各种硬件引脚控制选项来支持 PCM1841-Q1 配置。该器件支持高度灵活的音频串行接口 (TDM、I<sup>2</sup>S 和 LJ)，可在系统中跨设备无缝传输音频数据。



## 7.2 典型应用

图 7-1 展示了典型的 PCM1841-Q1 应用配置，该配置使用四个模拟微机电系统 (MEMS) 麦克风，通过时分多路复用 (TDM) 音频数据目标接口进行同步录音操作。为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。

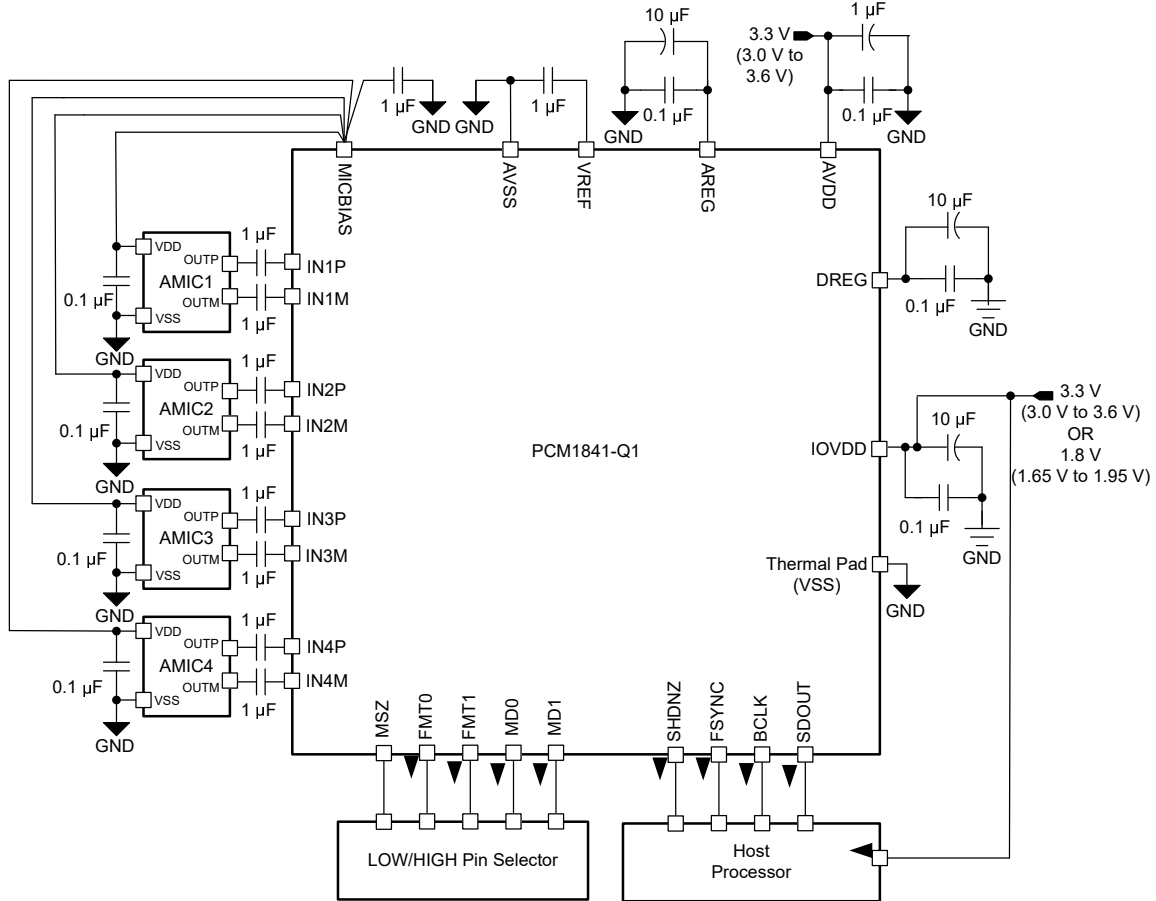


图 7-1. 3.3V AVDD 运行电压的四通道模拟麦克风录音图

### 7.2.1 设计要求

表 7-1 列出了此应用的设计参数。

表 7-1. 设计参数

关键参数	规格：3.3V AVDD 运行电压
AVDD	3.3V
AVDD 电源电流消耗	> 23mA ( PLL 开启, 四通道录音, $f_s = 48\text{kHz}$ )
IOVDD	1.8V 或 3.3V
最大 MICBIAS 电流	10mA ( MICBIAS 电压与 VREF 相同 )

### 7.2.2 详细设计过程

本节介绍了为此特定应用配置 PCM1841-Q1 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列项。

1. 为器件通电：
  - a. 为 IOVDD 和 AVDD 电源上电，将 SHDNZ 引脚电压保持为低电平
  - b. 器件现在进入硬件关断模式 ( 超低功耗模式  $< 1\mu\text{A}$  )
2. 每当录音操作需要时，从硬件关断模式切换到工作模式：
  - a. 连接 MSZ、FMT0 和 FMT1 引脚电压低电平，以在 4 通道 TDM 目标模式下配置器件
  - b. 仅当 IOVDD 和 AVDD 电源稳定至稳态工作电压时才释放 SHDNZ
  - c. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK

该特定步骤可以在步骤 a 后序列的任意时间点完成

有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 [锁相环 \(PLL\) 和时钟生成](#)

- d. 器件录音数据现在通过 TDM 音频串行数据总线发送到主机处理器
3. 将 SHDNZ 引脚置为低电平有效可随时 ( 再次 ) 进入硬件关断模式
4. 按照步骤 2 继续操作可 ( 再次 ) 退出硬件关断模式

### 7.2.3 应用曲线

通过使用音频精度并使用 3.3V AVDD 电源来向器件馈送模拟输入信号，可以在 EVM 上进行测量。

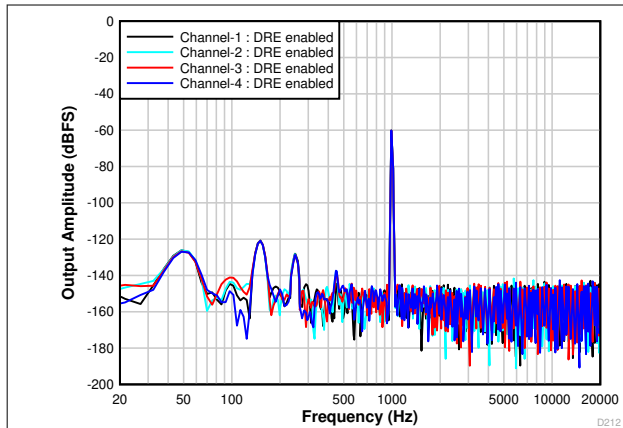


图 7-2. 具有 -60dB<sub>r</sub> 输入的 FFT (DRE 已启用)

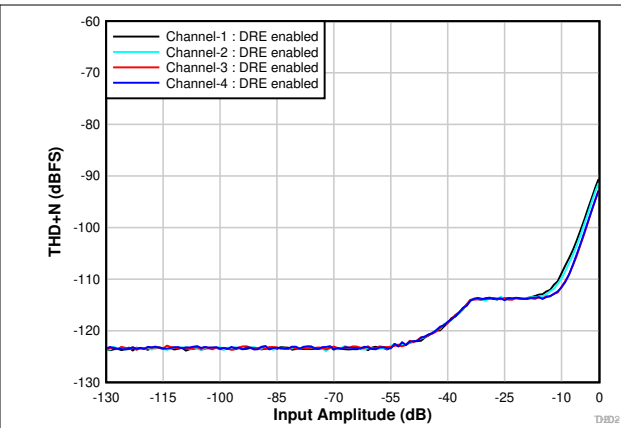


图 7-3. THD+N 与输入幅度间的关系 (DRE 已启用)

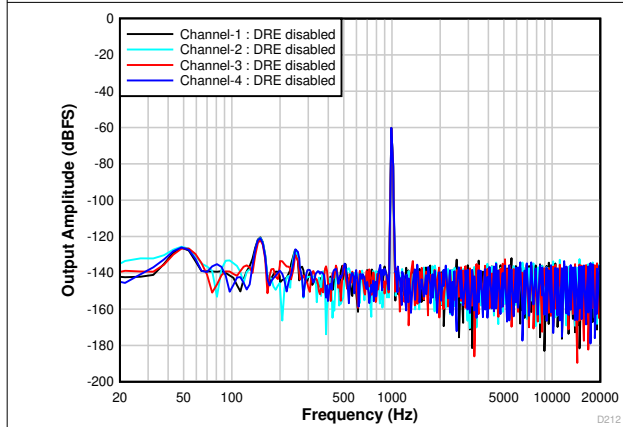


图 7-4. 具有 -60dB<sub>r</sub> 输入的 FFT (DRE 已禁用)

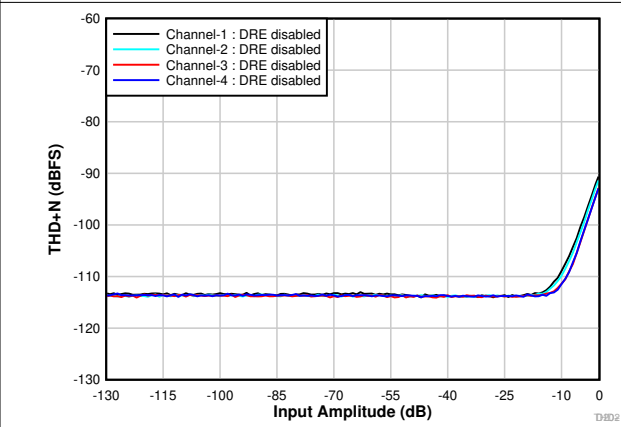


图 7-5. THD+N 与输入幅度间的关系 (DRE 已禁用)

### 7.3 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。不过，应将 SHDNZ 引脚保持为低电平，直到 IOVDD 电源电压稳定至支持的工作电压范围。在所有电源稳定后，将 SHDNZ 引脚设置为高电平以初始化器件。仅当所有硬件控制引脚 (MSZ、MD0、MD1、FMT0 和 FMT1) 均驱动至器件所需运行模式的电压电平时，才将 SHDNZ 引脚置为高电平有效。

对于电源上电要求， $t_1$  和  $t_2$  必须至少为 100 $\mu$ s。对于电源断电要求， $t_3$  和  $t_4$  必须至少为 10ms。该时序 (如图 7-6 所示) 允许器件慢慢降低录音数据的音量，关闭模拟和数字块，以及将器件置于硬件关断模式。

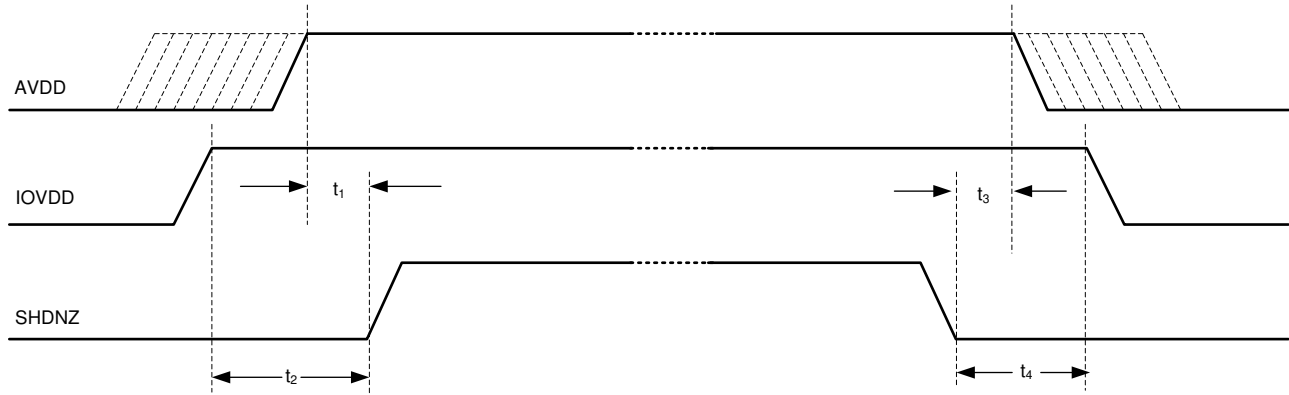


图 7-6. 电源时序要求时序图

确保电源斜坡速率低于  $1\text{V}/\mu\text{s}$ ，并且断电和上电事件之间的等待时间至少为  $100\text{ms}$ 。

PCM1841-Q1 通过集成片上数字稳压器 DREG 和模拟稳压器 AREG，支持单 AVDD 电源运行。然而，如果系统中的 AVDD 电压低于  $1.98\text{V}$ ，则将板载 AREG 和 AVDD 引脚短接。

## 7.4 布局

### 7.4.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以最大限度地提高器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得出色性能。
- 在为多个麦克风布线偏置或电源引线时，直接分接 MICBIAS 引脚以避免公共阻抗，从而避免麦克风之间的耦合。
- 直接将 VREF 和 MICBIAS 外部电容器接地端子短接至 AVSS 引脚，无需为该连接引线使用任何过孔。
- 将 MICBIAS 电容器（具有低等效串联电阻）放置在靠近具有最小引线阻抗的器件处。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。

## 7.4.2 布局示例

### Audio output interface connections

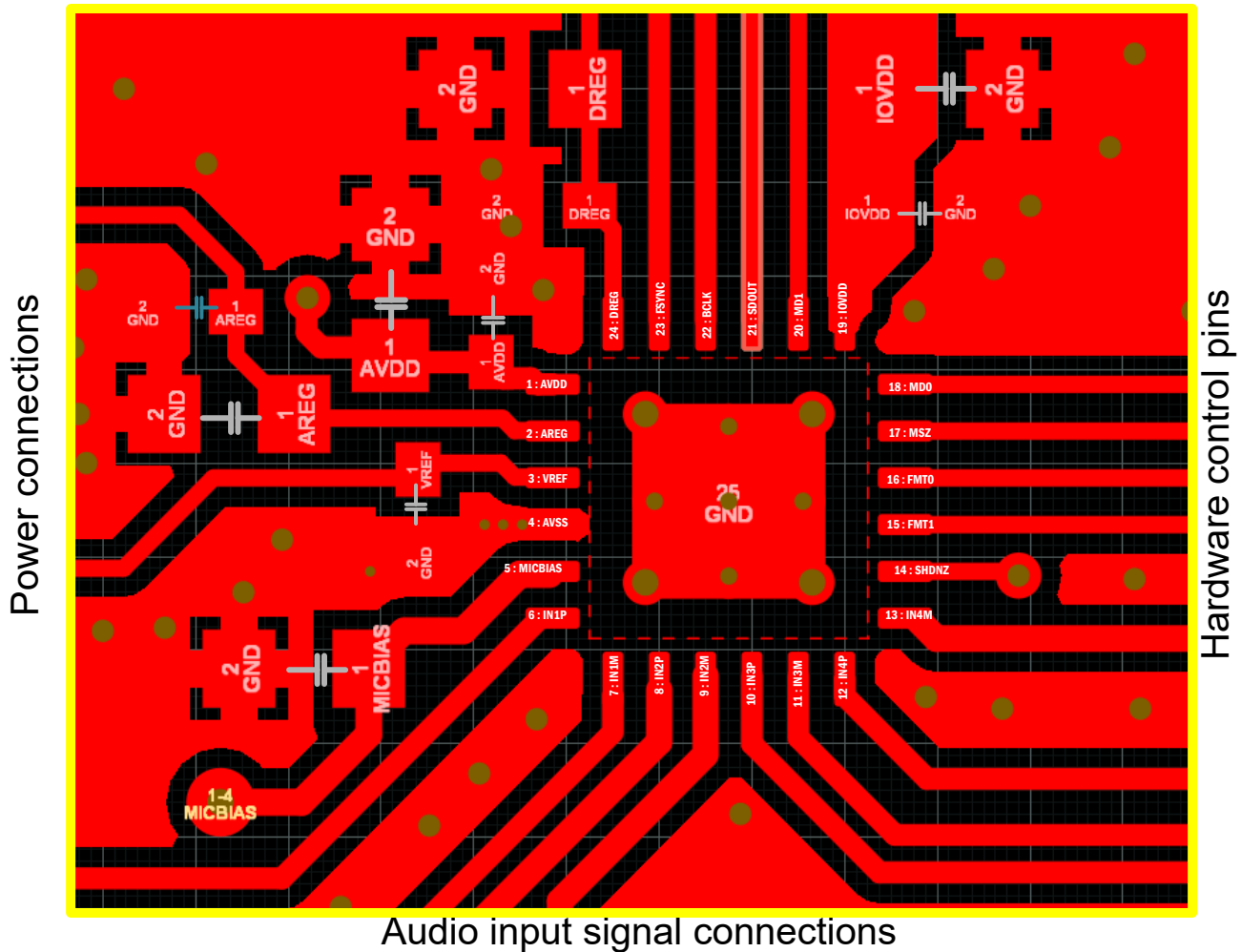


图 7-7. 示例布局

## 8 器件和文档支持

### 8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 8.3 商标

Burr-Brown™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

## 8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 8.5 术语表

**TI 术语表**      本术语表列出并解释了术语、首字母缩略词和定义。

## 9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2024	*	初始发行版

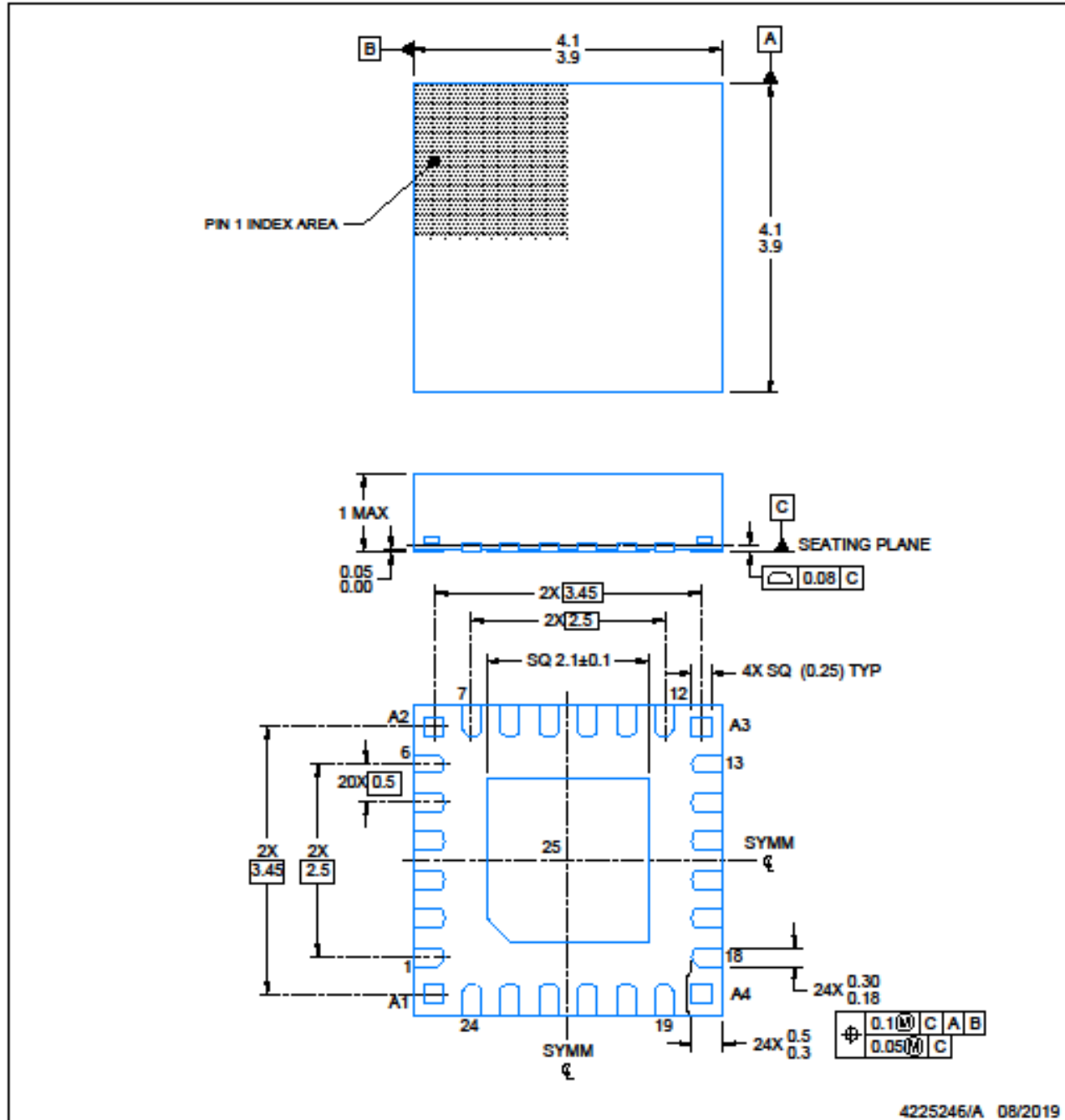
## 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

RGE0024R

PACKAGE OUTLINE  
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

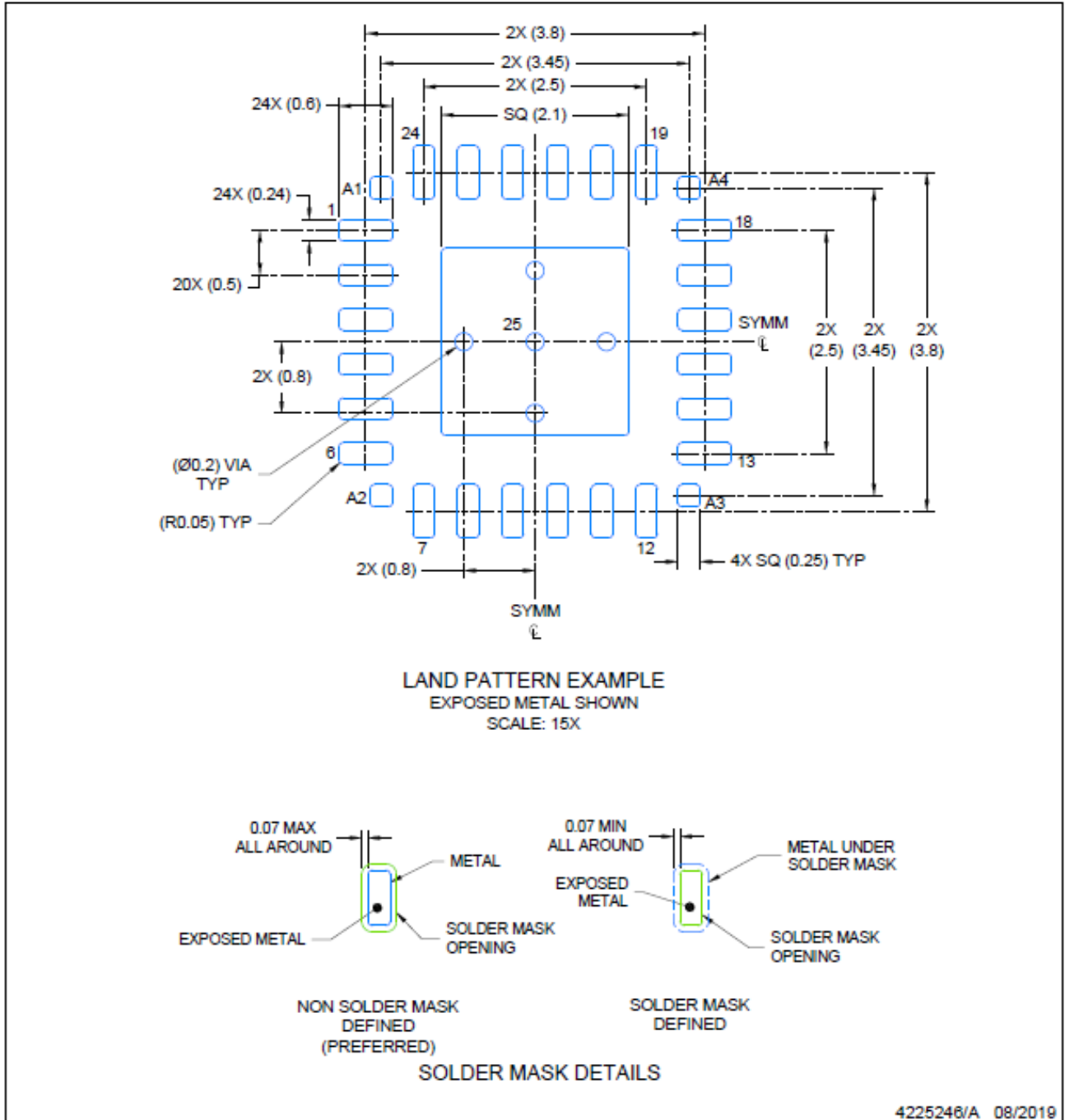
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

ADVANCE INFORMATION

### EXAMPLE BOARD LAYOUT VQFN - 1 mm max height

### RGE0024R

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

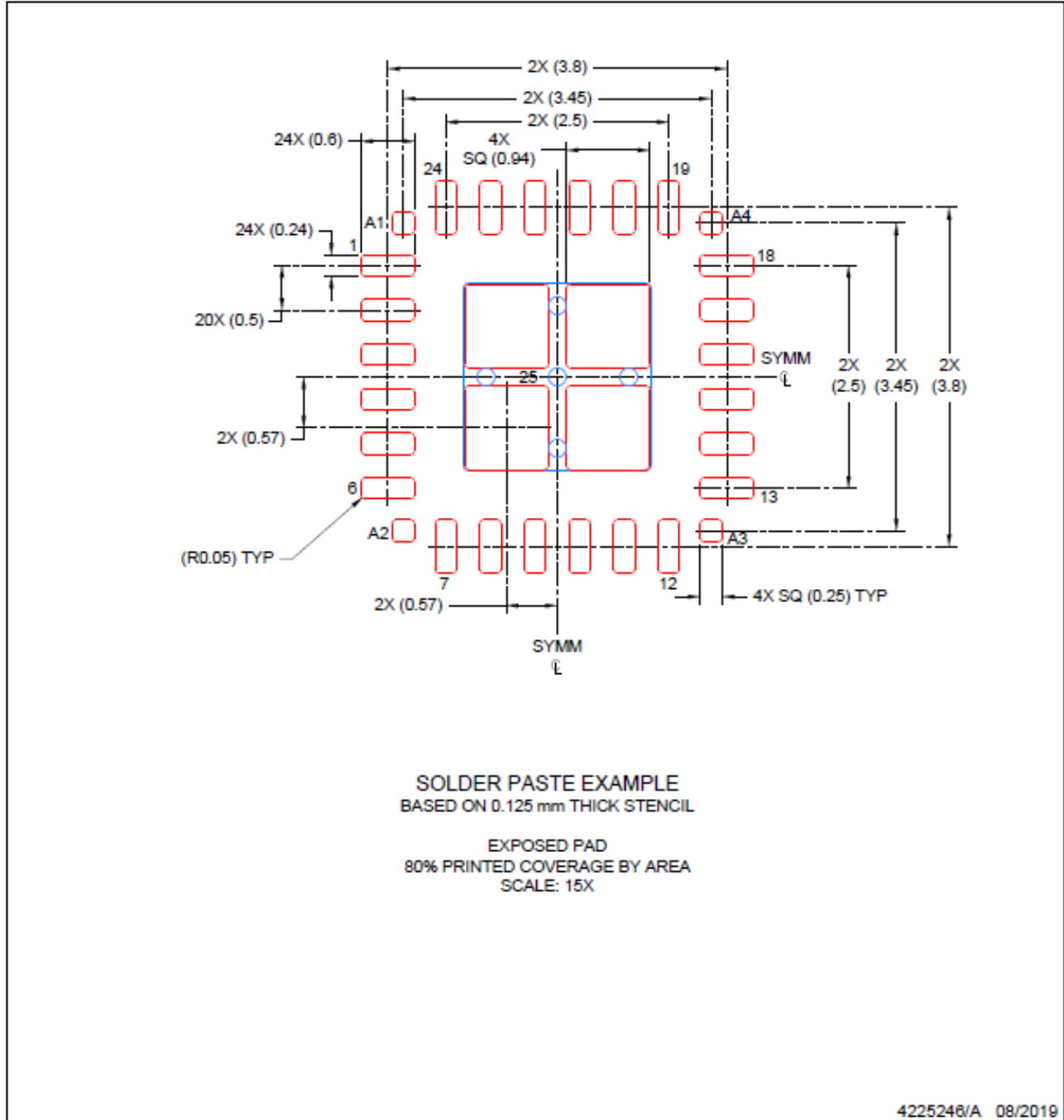


## EXAMPLE STENCIL DESIGN

RGE0024R

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PCM1841QRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PCM1841 Q1	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PCM1841QRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PCM1841QRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

**RGE 24**

**GENERIC PACKAGE VIEW**

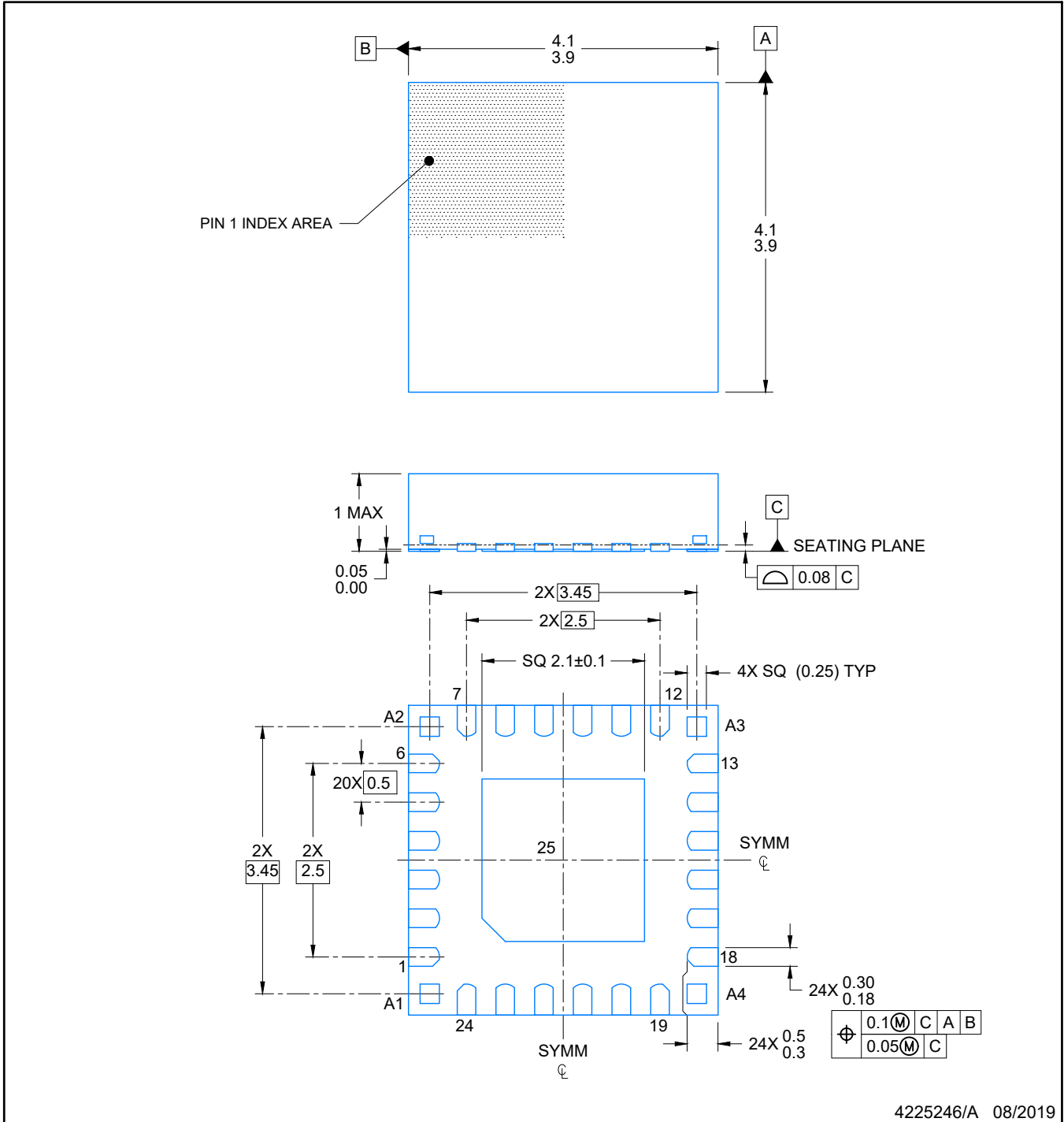
**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4204104/H



NOTES:

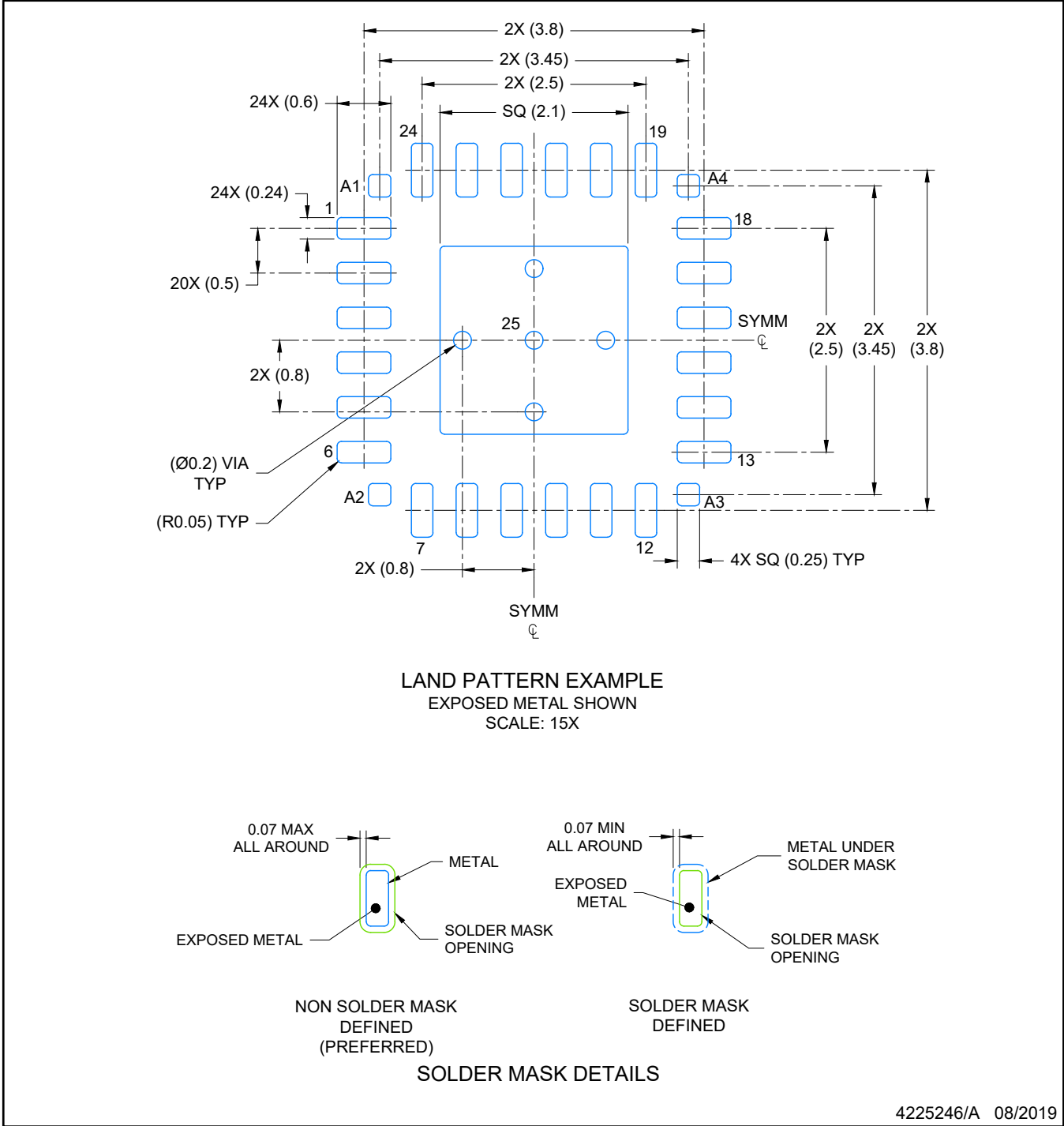
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

## RGE0024R

## VQFN - 1 mm max height

### PLASTIC QUAD FLATPACK-NO LEAD



4225246/A 08/2019

NOTES: (continued)

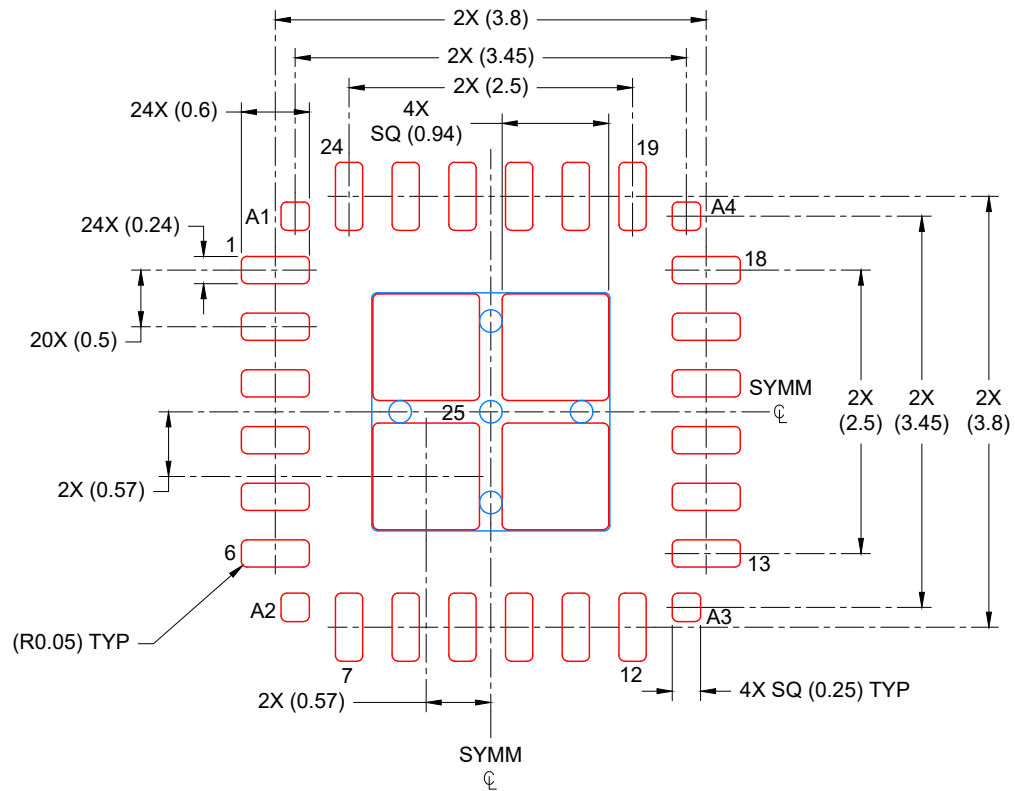
- 4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RGE0024R

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
80% PRINTED COVERAGE BY AREA  
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司