

SN74ACT8541-Q1 具有三态输出和施密特触发输入的汽车级八通道缓冲器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：-40°C 至 +125°C
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 采用具有可湿性侧面的 QFN 封装
- 4.5V 至 5.5V 的工作电压范围
- TTL 兼容型施密特触发输入支持慢速和高噪声输入信号
- 电压为 5V 时，为 ±24mA 的连续输出驱动
- 电压为 5V 时，支持高达 ±75mA 的输出驱动（短时突发）
- 驱动 50 Ω 传输线
- 快速运行，延迟为 9.6ns max ($V_{CC} = 5V, C_L = 50pF$)

2 应用

- 控制指示灯 LED
- 使用开漏输出进行电平转换
- 控制继电器

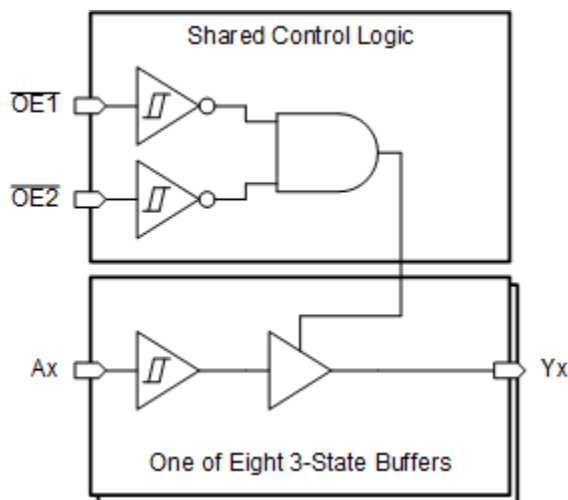
3 说明

SN74ACT8541-Q1 包含八个具有三态输出和施密特触发输入的独立缓冲器。使用任一输出使能输入（OE1 或 OE2）可同时强制所有通道进入高阻抗状态。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸（标称值） ⁽³⁾
SN74ACT8541-Q1	RKS (VQFN, 20)	4.5mm × 2.5mm	4.5mm × 2.5mm
	PW (TSSOP, 20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	DGS (VSSOP, 20)	5.1mm × 4.9mm	5.1mm × 3mm

- 有关更多信息，请参阅节 11。
- 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）
- 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）



内容

1 特性	1	8 应用和实施	11
2 应用	1	8.1 应用信息.....	11
3 说明	1	8.2 典型应用.....	11
4 引脚配置和功能	3	8.3 设计要求.....	11
5 规格	4	8.4 详细设计过程.....	12
5.1 绝对最大额定值.....	4	8.5 应用曲线.....	12
5.2 ESD 等级.....	4	8.6 电源相关建议.....	12
5.3 建议运行条件.....	4	8.7 布局.....	12
5.4 热性能信息.....	4	9 器件和文档支持	14
5.5 电气特性.....	5	9.1 文档支持.....	14
5.6 开关特性.....	6	9.2 接收文档更新通知.....	14
5.7 典型特性.....	6	9.3 支持资源.....	14
6 参数测量信息	7	9.4 商标.....	14
7 详细说明	8	9.5 静电放电警告.....	14
7.1 概述.....	8	9.6 术语表.....	14
7.2 功能方框图.....	8	10 修订历史记录	14
7.3 特性说明.....	8	11 机械、封装和可订购信息	14
7.4 器件功能模式.....	10		

4 引脚配置和功能

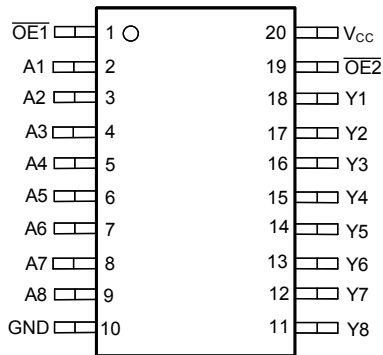


图 4-1. PW 和 DGS 封装，
20 引脚 TSSOP 和 VSSOP
(顶视图)

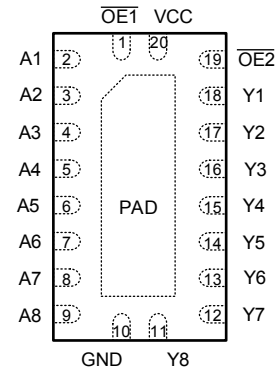


图 4-2. RKS 封装，
20 引脚 VQFN
(顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
OE1	1	I	输出使能输入 1，低电平有效
A1	2	I	通道 1 输入
A2	3	I	通道 2 输入
A3	4	I	通道 3 输入
A4	5	I	通道 4 输入
A5	6	I	通道 5 输入
A6	7	I	通道 6 输入
A7	8	I	通道 7 输入
A8	9	I	通道 8 输入
GND	10	G	地
Y8	11	O	通道 8 输出
Y7	12	O	通道 7 输出
Y6	13	O	通道 6 输出
Y5	14	O	通道 5 输出
Y4	15	O	通道 4 输出
Y3	16	O	通道 3 输出
Y2	17	O	通道 2 输出
Y1	18	O	通道 1 输出
OE2	19	I	输出使能输入 2，低电平有效
V _{CC}	20	P	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源。

(2) 仅限 RKS 封装。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压范围	-0.5	7	V
V _I	输入电压范围 ⁽²⁾	-0.5	V _{CC} + 0.5V	V
V _O	输出电压范围 ⁽²⁾	-0.5	V _{CC} + 0.5V	V
I _{IK}	输入钳位电流	V _I < -0.5V 或 V _I > V _{CC} + 0.5V		±20 mA
I _{OK}	输出钳位电流	V _O < -0.5V 或 V _O > V _{CC} + 0.5V		±50 mA
I _O	持续输出电流	V _O = 0 至 V _{CC}		±50 mA
	通过 V _{CC} 或 GND 的持续输出电流			±200 mA
T _J	结温			150 °C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±2000
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	±1000

- (1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V _{CC}	电源电压		4.5	5.5	V
V _I ⁽¹⁾	输入电压		0	V _{CC}	V
V _O	输出电压		0	V _{CC}	V
I _{OH}	高电平输出电流	4.5V ≤ V _{CC} ≤ 5.5V		-24	mA
I _{OL}	低电平输出电流	4.5V ≤ V _{CC} ≤ 5.5V		24	mA
Δt/Δv	输入转换上升或下降速率	4.5V ≤ V _{CC} ≤ 5.5V		20	ns/V
T _A	自然通风条件下的工作温度范围		-40	125	°C

- (1) 器件的所有未使用输入必须保持有效的高电压电平或低电压电平状态，才能确保器件正常运行。请参阅 TI 应用报告 [CMOS 输入缓慢变化或悬空的影响](#)。

5.4 热性能信息

热指标 ⁽¹⁾		DGS (VSSOP)	PW (TSSOP)	RKS (VQFN)	单位
		20 引脚	20 引脚	20 引脚	
R _{θJA}	结至环境热阻	123.5	126.2	67.7	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	62.1	68.7	72.4	°C/W
R _{θJB}	结至电路板热阻	78.5	77.3	40.4	°C/W
Ψ _{JT}	结至顶部特征参数	7.8	22.3	10.3	°C/W

5.4 热性能信息 (续)

热指标 ⁽¹⁾		DGS (VSSOP)	PW (TSSOP)	RKS (VQFN)	单位
		20 引脚	20 引脚	20 引脚	
Ψ_{JB}	结至电路板特征参数	78	76.9	40.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	24.1	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	V_{CC}	$T_A = 25^\circ\text{C}$			-40°C 至 125°C			单位
			最小值	典型值 ⁽¹⁾	最大值	最小值	典型值	最大值	
V_{T+}	正向输入阈值电压	4.5V	1.2	1.5	1.9	1.2		1.9	V
		5V	1.4		2	1.4		2	
		5.5V	1.4	1.7	2.1	1.4		2.1	
V_{T-}	负向输入阈值电压	4.5V	0.5	0.9	1.2	0.5		1.2	V
		5V	0.8		1.3	0.8		1.3	
		5.5V	0.6	1	1.4	0.6		1.4	
ΔV_T	迟滞 ($V_{T+} - V_{T-}$)	4.5V	0.4	0.6	1.4	0.4		1.4	V
		5V	0.4			0.4			
		5.5V	0.4	0.6	1.5	0.4		1.5	
V_{OH}	$I_{OH} = -50\mu\text{A}$	4.5V	4.4	4.49		4.4			V
		5.5V	5.4	5.49		5.4			
	$I_{OH} = -24\text{mA}$	4.5V	3.94			3.7			
	$I_{OH} = -24\text{mA}$	5.5V	4.86			4.7			
	$I_{OH} = -50\text{mA}$	5.5V				3.85			
V_{OL}	$I_{OH} = 50\mu\text{A}$	4.5V		0.001	0.1			0.1	V
		5.5V		0.001	0.1			0.1	
	$I_{OH} = 24\text{mA}$	4.5V			0.36			0.5	
	$I_{OH} = 24\text{mA}$	5.5V			0.36			0.5	
	$I_{OH} = 75\text{mA}$	5.5V						1.65	
I_I	$V_I = 5.5\text{V}$ 或 GND	0V 至 5.5V			± 0.1			± 1	μA
I_{OZ}	$V_O = V_{CC}$ 或 GND	5.5V			± 0.25			± 5	μA
I_{CC}	$V_I = V_{CC}$ 或 GND, $I_O = 0$	5.5V			2			80	μA
ΔI_{CC}	$V_I = V_{CC} - 2.1\text{V}$; 任意输入	4.5V 至 5.5V		0.6	1.2			1.5	mA
C_I	$V_I = V_{CC}$ 或 GND	5V		8					pF
C_O	$V_O = V_{CC}$ 或 GND	5V		14					pF
C_{PD} ^{(2) (3)}	$C_L = 50\text{pF}$, $F = 1\text{MHz}$	5V		19					pF

(1) 最接近标称电压 (1.8V、2.5V、3.3V 和 5V) 时的典型值

(2) C_{PD} 用于确定每通道的动态功耗

(3) $P_D = V_{CC}^2 \times F_I \times (C_{PD} + C_L)$, 其中 F_I = 输入频率, C_L = 输出负载电容, V_{CC} = 电源电压

5.6 开关特性

$C_L = 50\text{pF}$ ；在自然通风条件下的工作温度范围内； $T_A = 25^\circ\text{C}$ 时测得的典型值（除非另有说明）。请参阅参数测量信息

参数	从 (输入)	到 (输出)	V_{CC}	$T_A = 25^\circ\text{C}$			-40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
t_{PLH}	A	Y	5V		4.2	5.8			7.1	ns
t_{PHL}	A	Y	5V		5	8.1			9.6	ns
t_{PZH}	$\overline{\text{OE}}$	Y	5V		6.3	9.5			11.5	ns
t_{PZL}	$\overline{\text{OE}}$	Y	5V		6.5	10			11.9	ns
t_{PHZ}	$\overline{\text{OE}}$	Y	5V		5.3	6.8			7.8	ns
t_{PLZ}	$\overline{\text{OE}}$	Y	5V		3.8	5.2			6.3	ns

5.7 典型特性

$T_A = 25^\circ\text{C}$ (除非另外注明)

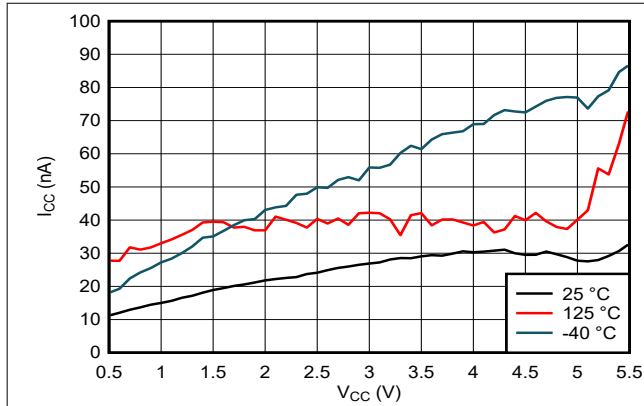


图 5-1. 电源电流与电源电压的关系

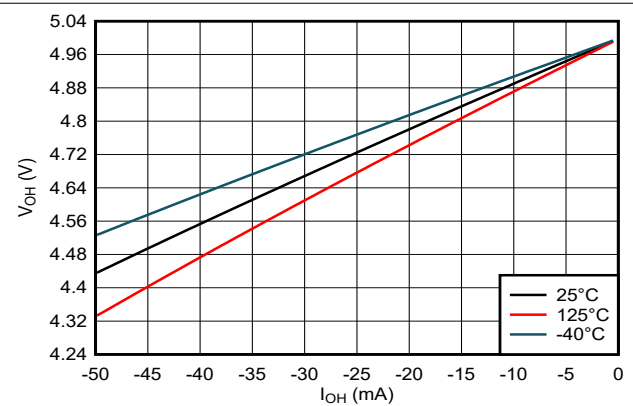


图 5-2. 高电平状态下输出电压与电流间的关系 (5V 电源)

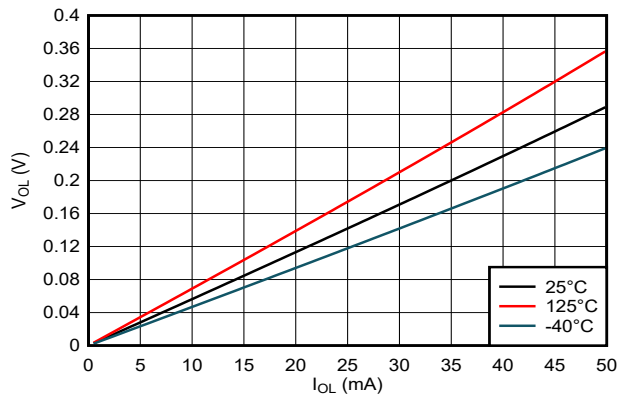


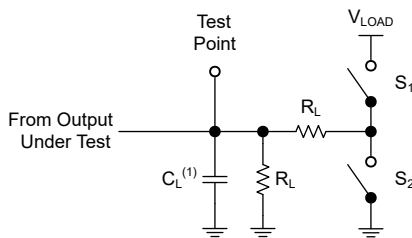
图 5-3. 低电平状态下输出电压与电流间的关系；5V 电源

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
PRR ≤ 1MHz，Z_O = 50Ω，t_i < 2.5ns，V_i = 1.5V。

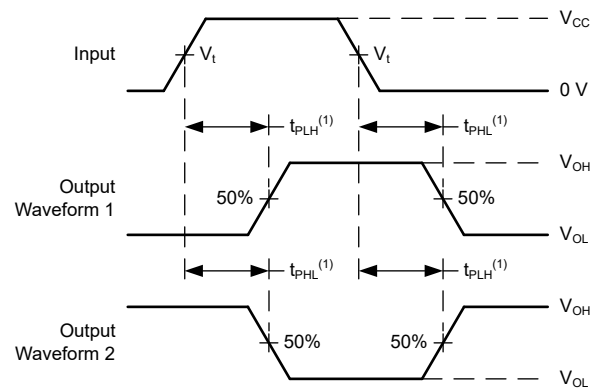
输出单独测量，每次测量一个输入转换。

测试	S1	S2	R _L	C _L	ΔV	V _{LOAD}
t _{PLH} 、t _{PHL}	断开	断开	500Ω	50pF	—	—
t _{PLZ} 、t _{PZL}	闭合	断开	500Ω	50pF	0.3V	2×V _{CC}
t _{PHZ} 、t _{PZH}	断开	闭合	500Ω	50pF	0.3V	—



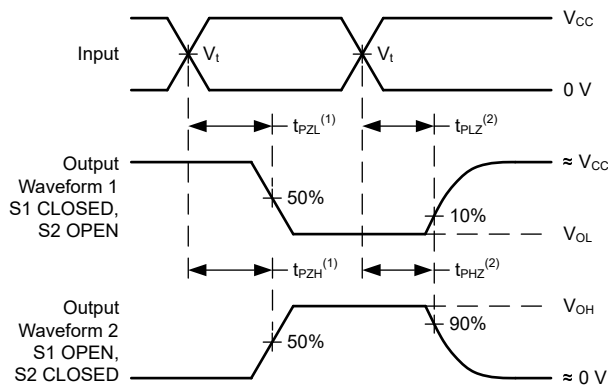
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

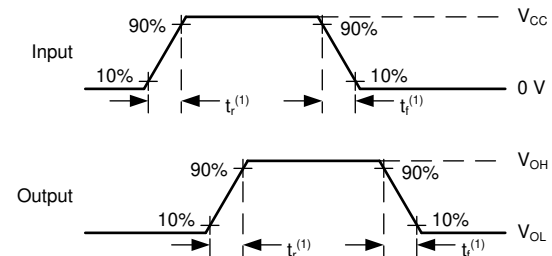
图 6-2. 电压波形传播延迟



(1) t_{PZL} 和 t_{PZH} 之间的较大者与 t_{en} 相同。

(2) t_{PLZ} 和 t_{PHZ} 之间的较大者与 t_{dis} 相同。

图 6-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-4. 电压波形，输入和输出转换时间

7 详细说明

7.1 概述

SN74ACT8541-Q1 包含具有三态输出的八通道缓冲器。低电平有效输出能够使引脚 ($\overline{OE1}$ 和 $\overline{OE2}$) 控制所有八个通道，并配置为使输出都必须为低电平才能有效。

启用输出后，输出会主动驱动为低电平或高电平。

当输出被禁用时，输出被设置为高阻抗状态。

7.2 功能方框图

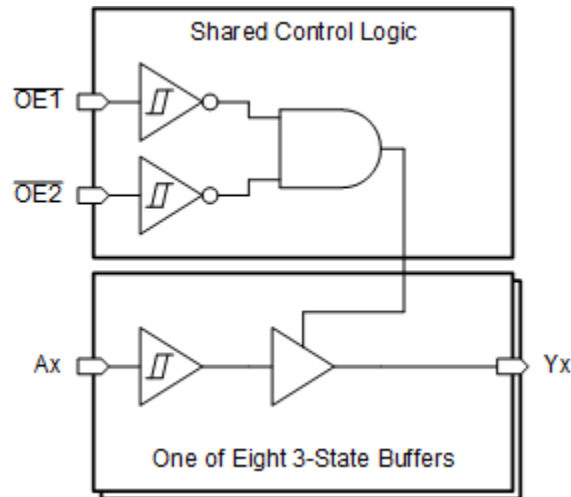


图 7-1. 逻辑图 (正逻辑)

7.3 特性说明

7.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10k Ω 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

7.3.2 TTL 兼容型施密特触发 CMOS 输入

该器件包含采用施密特触发架构的 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型施密特触发 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

施密特触发输入架构可提供由 *电气特性* 表中的 ΔV_T 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的更多信息，请参阅[了解施密特触发](#)。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

7.3.3 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的 *特性* 部分，了解哪些封装包含此特性。

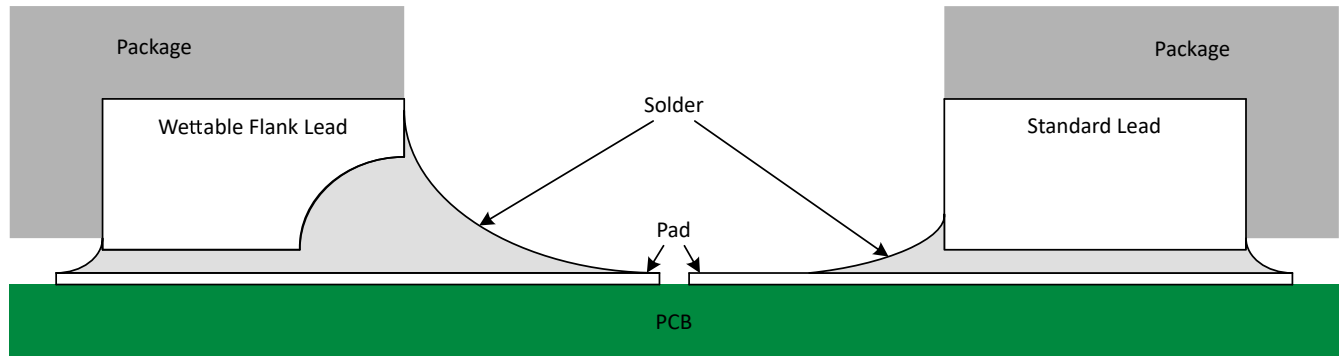


图 7-2. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-2 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关更多详细信息，请参阅机械图。

7.3.4 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-3 所示。

小心

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

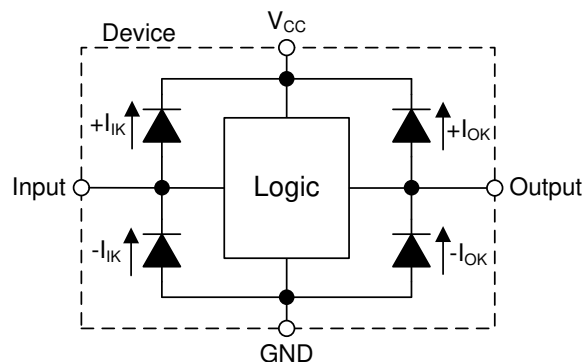


图 7-3. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入 ⁽¹⁾			输出 ⁽²⁾
OE1	OE2	A	Y
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

- (1) L = 输入低电平, H = 输入高电平, X = 不用考虑
(2) L = 输出低电平, H = 输出高电平, Z = 高阻抗

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

SN74ACT8541-Q1 可用于在较长布线或传输线中驱动信号。可以使用与发送器输出串联的串联阻尼电阻器来减少由于驱动器、传输线和接收器之间阻抗不匹配引起的振铃。*应用曲线* 部分的图展示了使用三种不同电阻值接收到的信号。在这种类型的应用中，只需少量电阻就会对信号完整性产生显著影响。

8.2 典型应用

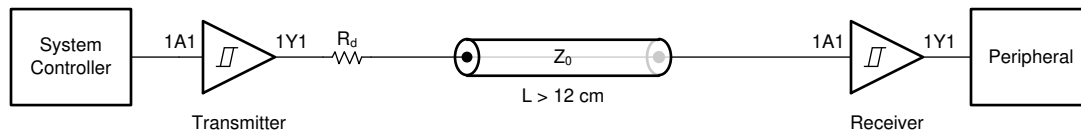


图 8-1. 典型应用框图

8.3 设计要求

8.3.1 电源注意事项

确保所需电源电压在 *建议运行条件* 中规定的范围内。电源电压按照 *电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74ACT8541-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74ACT8541-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74ACT8541-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74ACT8541-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用 *标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.3.2 输入注意事项

输入信号必须超过 V_{IL} 才能被视为逻辑低电平，超过 V_{IH} 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默

认低电平状态。控制器的驱动电流、进入 SN74ACT8541-Q1 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10kΩ 的电阻值。

有关此器件输入的更多信息，请参阅 *特性说明* 部分。

8.3.3 输出注意事项

正电源电压用于产生高电平电压输出。根据 *电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据 *电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅 *特性描述* 部分。

8.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 $\leq 50\text{pF}$ 。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74ACT8541-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$ 。这可防止超出 *绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 $\text{M}\Omega$ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 [CMOS 功耗与 Cpd 计算](#) 中提供的步骤计算功耗和热量。

8.5 应用曲线

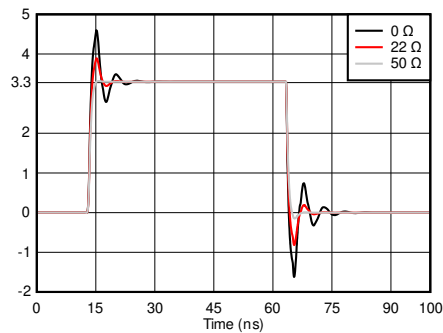


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.6 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu\text{F}$ 和 $1\mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.7 布局

8.7.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定

义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

8.7.2 布局示例

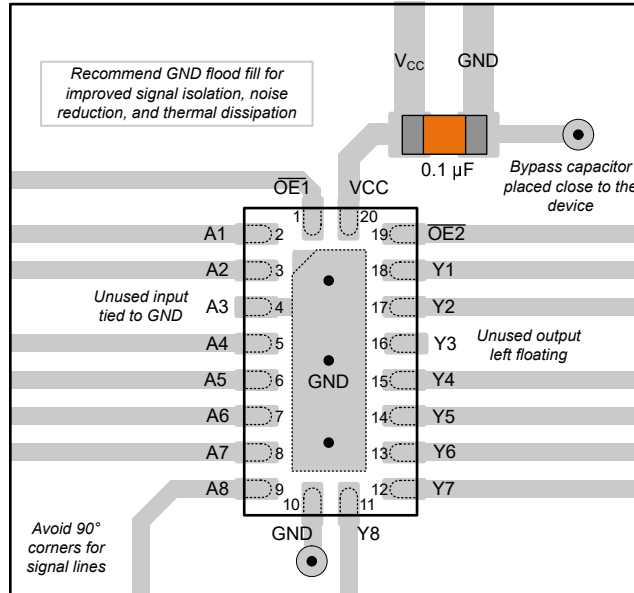


图 8-3. 采用 RKS 封装的 SN74ACT8541-Q1 的示例布局

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [CMOS 功耗与 Cpd 计算](#)
- 德州仪器 (TI), [CMOS 输入缓慢变化或悬空的影响](#)
- 德州仪器 (TI), [了解施密特触发](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订版本	说明
2024 年 3 月	*	初始发行版

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
74ACT8541QWRKSRQ1	ACTIVE	VQFN	RKS	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CT8541Q	Samples
SN74ACT8541QDGSRQ1	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	S541Q	Samples
SN74ACT8541QPWRQ1	ACTIVE	TSSOP	PW	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ACT8541Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74ACT8541-Q1 :

- Catalog : [SN74ACT8541](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74ACT8541QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
SN74ACT8541QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74ACT8541QPWRQ1	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74ACT8541QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0
SN74ACT8541QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74ACT8541QPWRQ1	TSSOP	PW	20	3000	353.0	353.0	32.0

PW0020A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

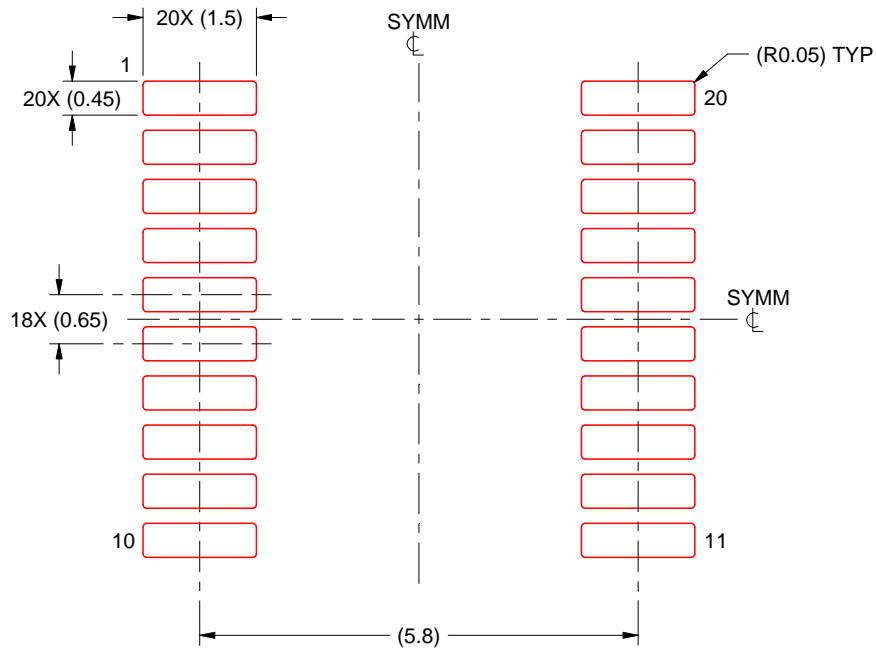
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

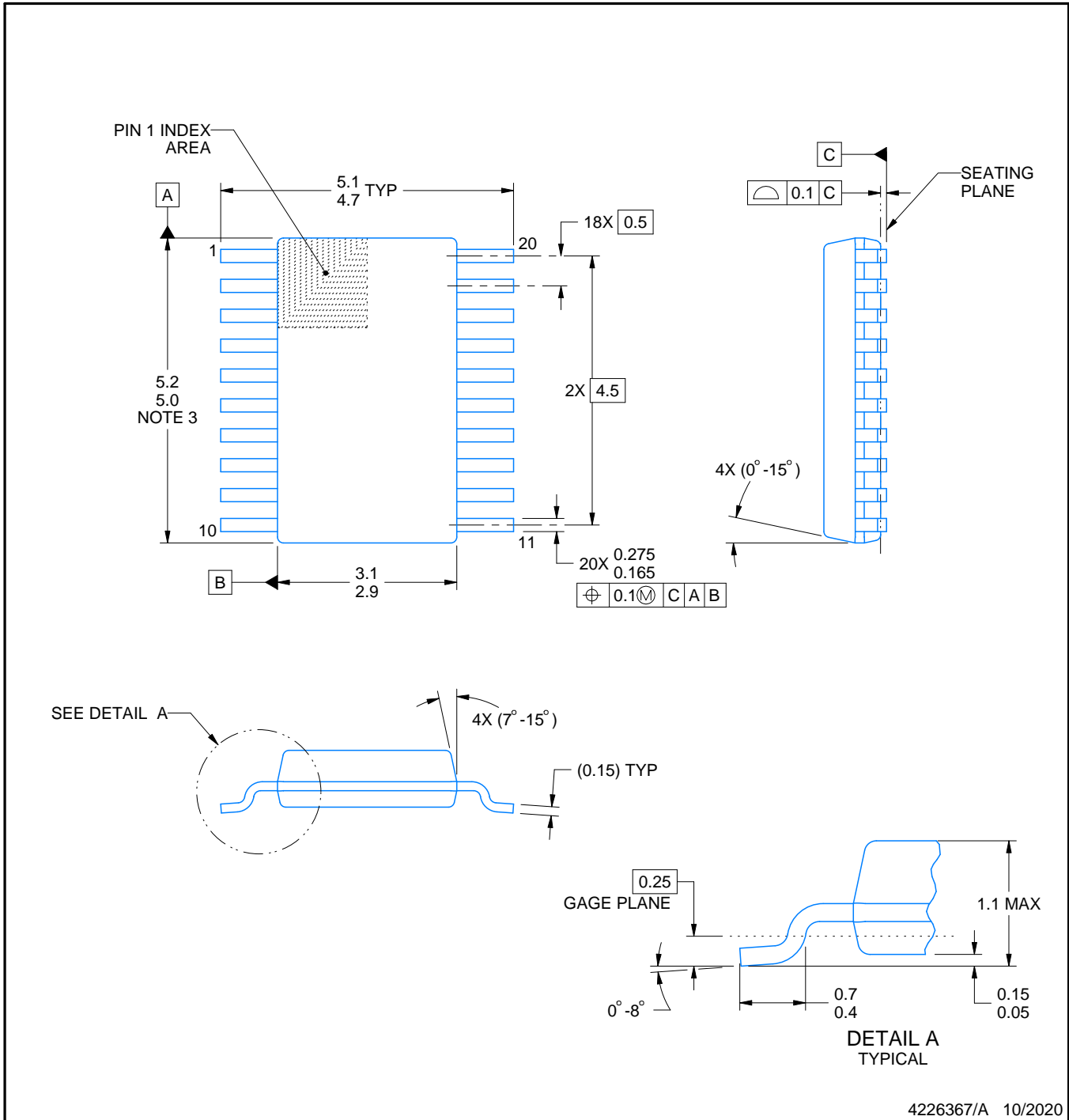


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

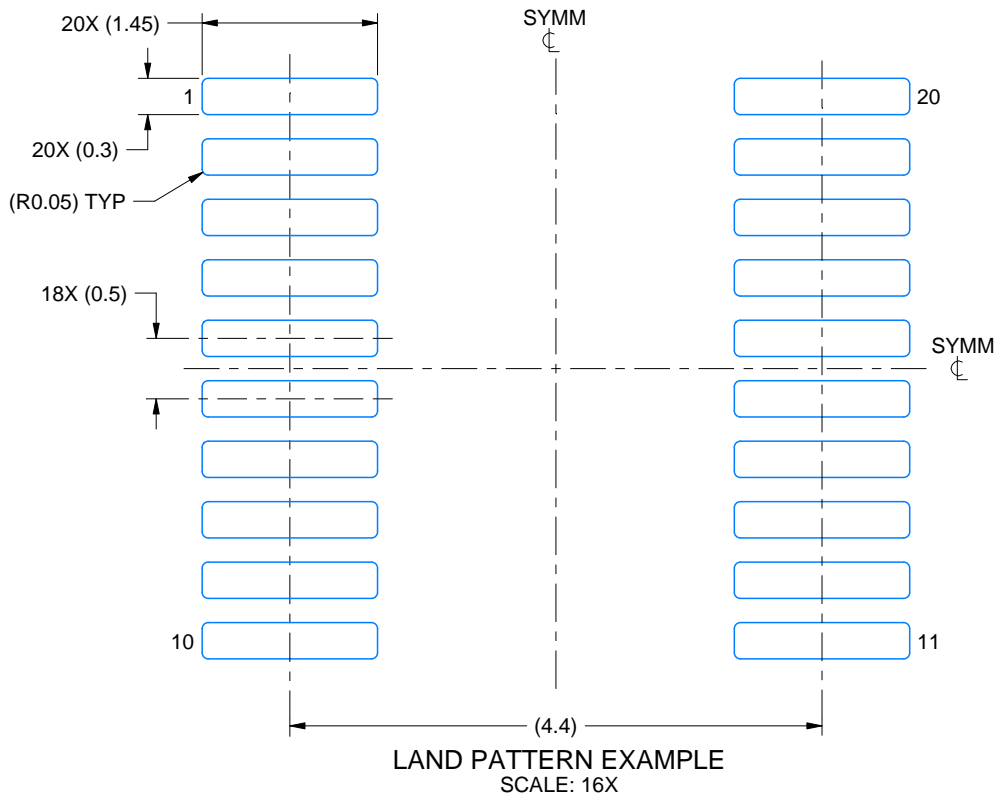
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

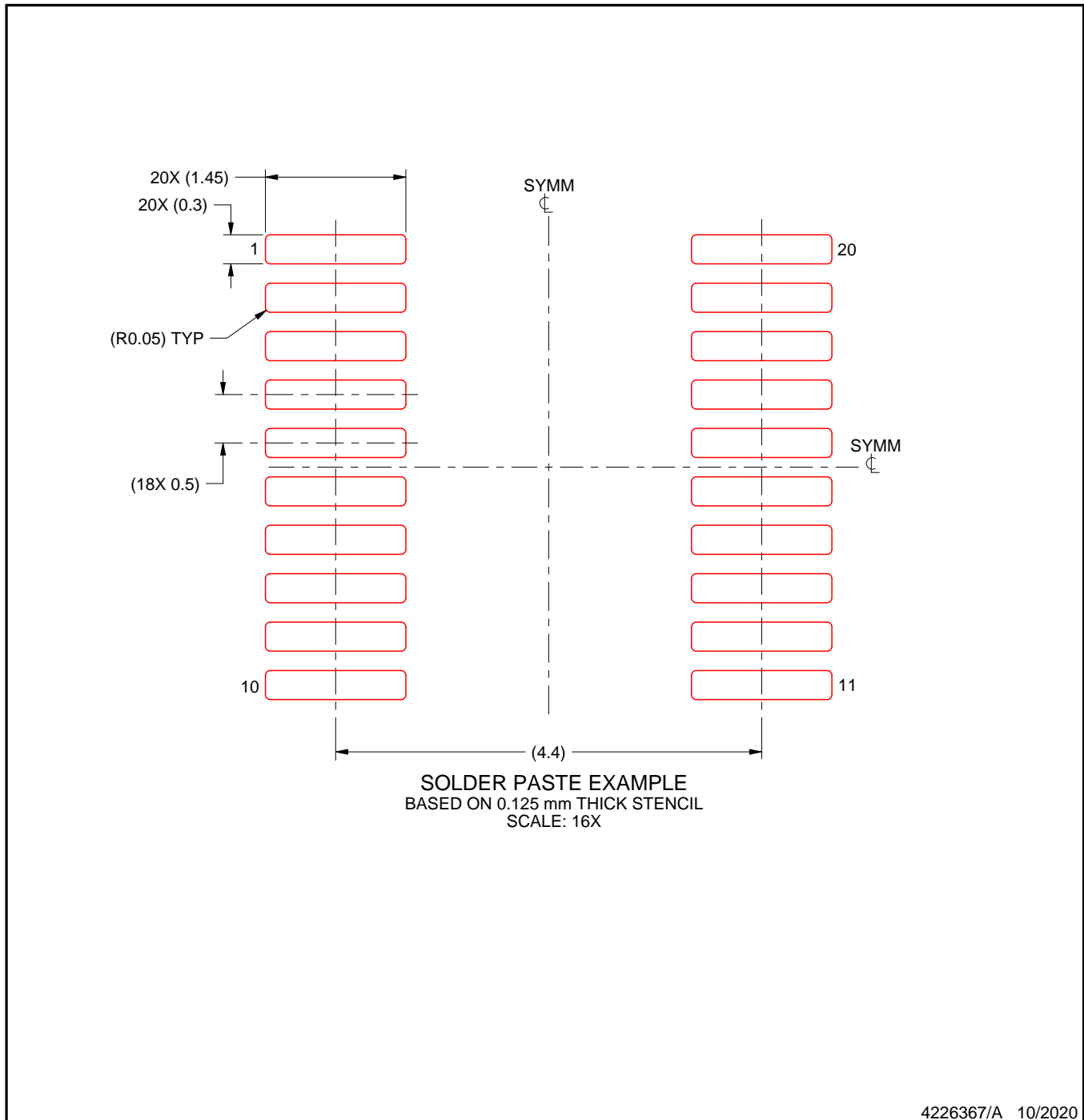
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

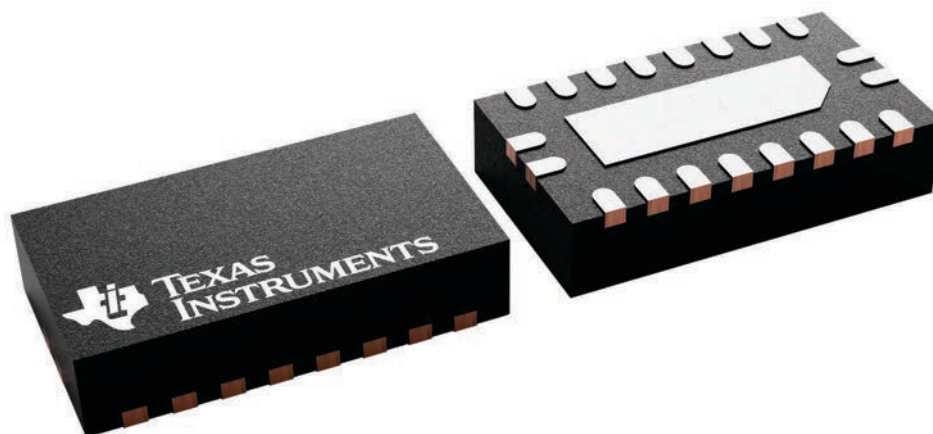
RKS 20

VQFN - 1 mm max height

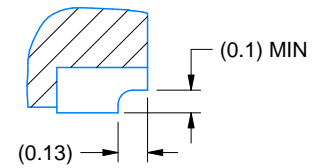
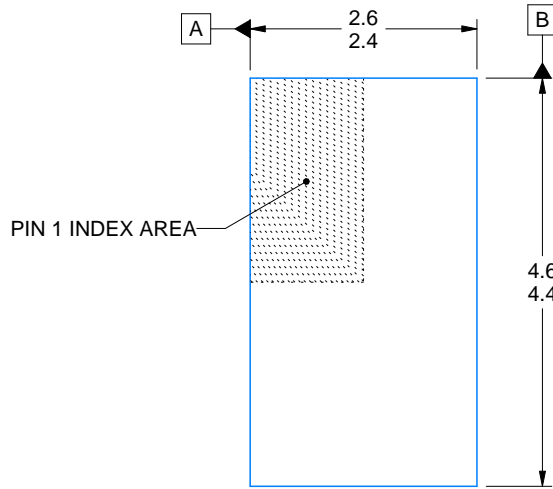
2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

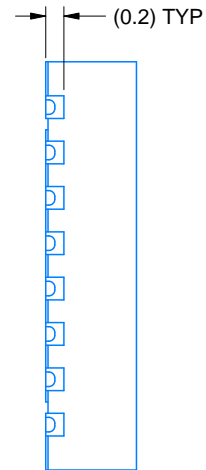
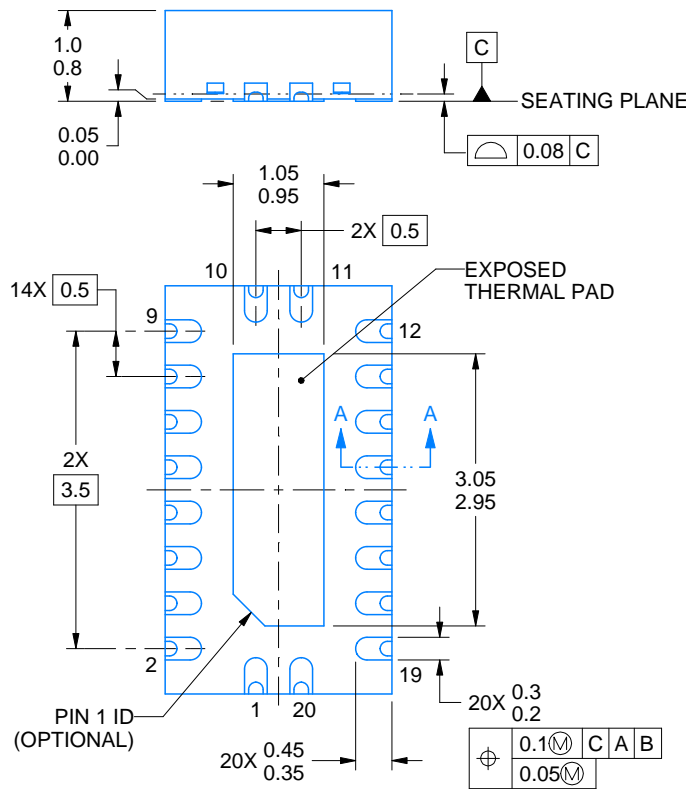
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226872/A



SECTION A-A
TYPICAL



4226762/B 06/2022

NOTES:

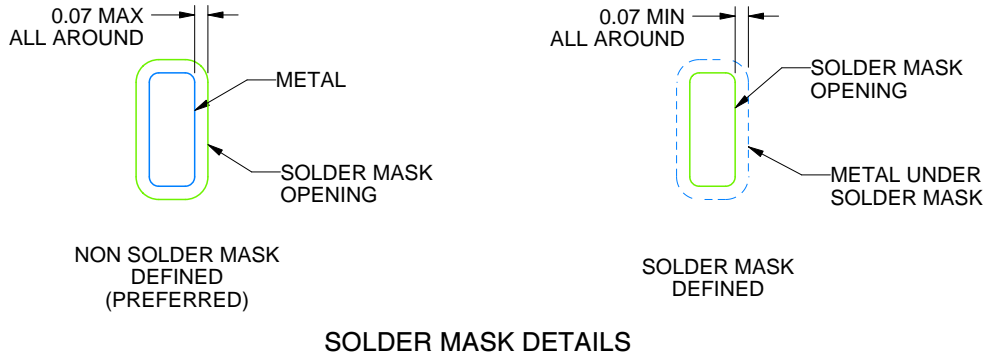
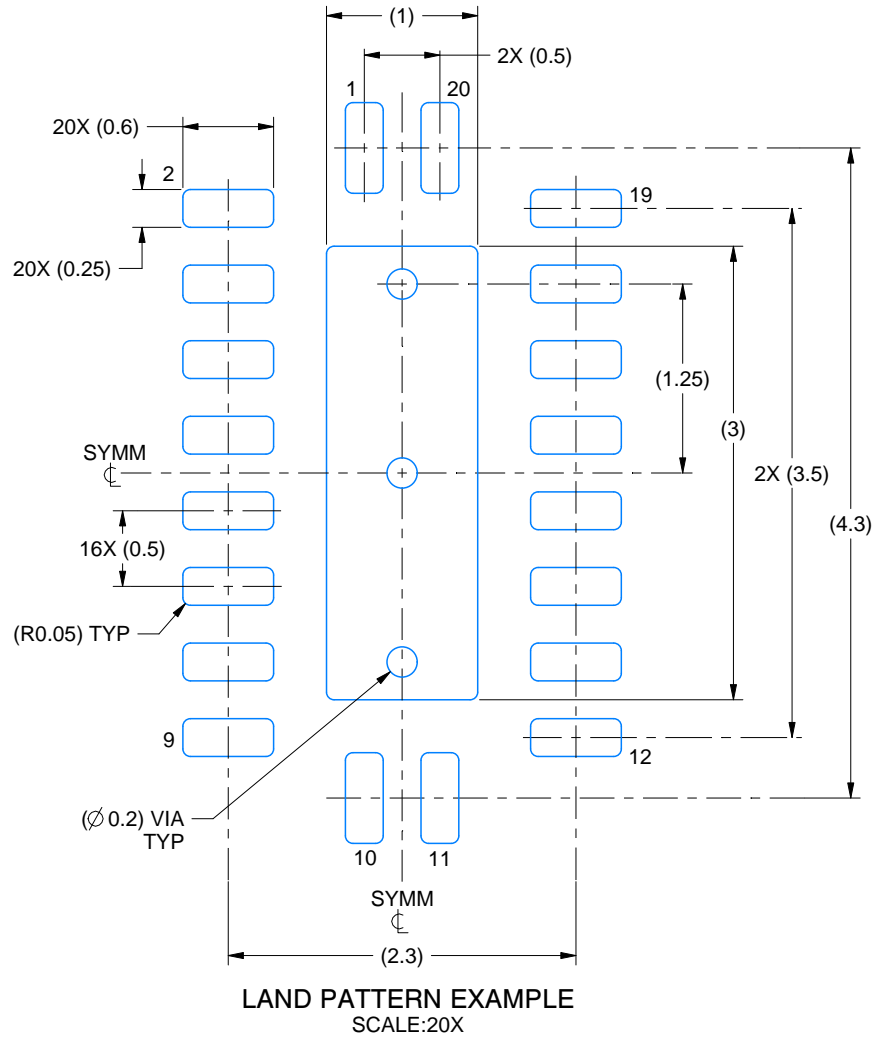
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RKS0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4226762/B 06/2022

NOTES: (continued)

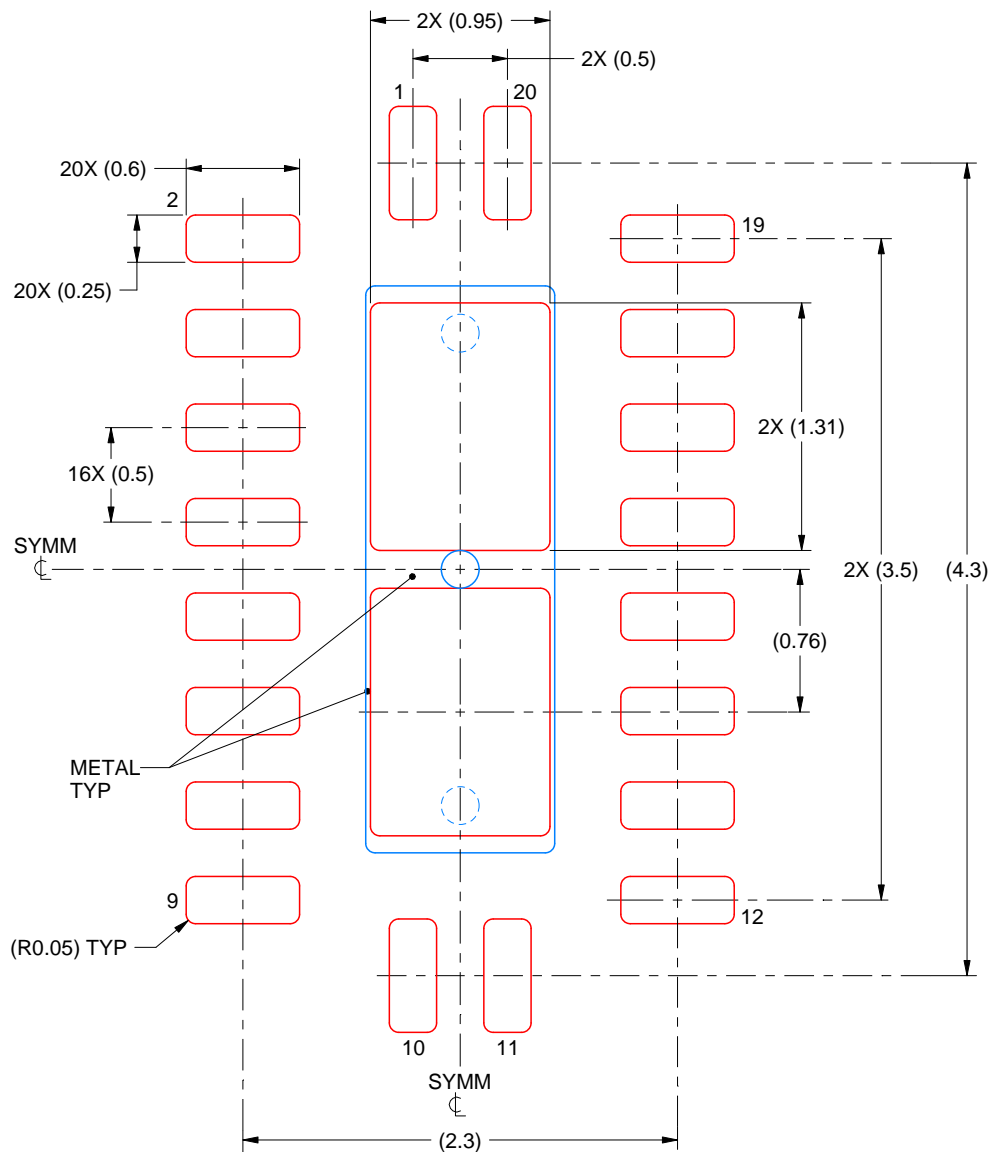
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

RKS0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4226762/B 06/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司