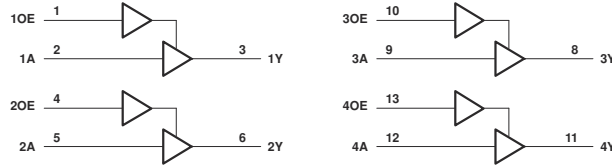


SN74LVC126A-Q1 具有三态输出的汽车级 四路总线缓冲门

1 特性

- 符合汽车应用要求
- 工作电压范围为 1.65V 至 3.6V
- 输入电压高达 5.5V
- 电压为 3.3V 时, t_{pd} 最大值为 4.7ns
- V_{OLP} (输出接地反弹) 典型值 $<0.8V$ ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$)
- V_{OHV} (输出 V_{OH} 下冲) 典型值 $>2V$ ($V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$)
- 闩锁性能超过 250mA, 符合 JESD 17 规范
- ESD 保护性能超过 JESD 22 规范要求



逻辑图 (正逻辑)

2 说明

这款四路总线缓冲门可在 1.65V 至 3.6V V_{CC} 下运行。

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74LVC126A-Q1	D (SOIC, 14)	8.65mm × 6mm	8.65mm × 3.9mm
	BQA (WQFN, 14)	3mm × 2.5mm	3mm × 2.5mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm

- 如需更多信息, 请参阅节 10。
- 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。
- 本体尺寸 (长 × 宽) 为标称值, 不包括引脚。



内容

1 特性	1	6.2 功能方框图.....	8
2 说明	1	6.3 器件功能模式.....	8
3 引脚配置和功能	3	7 应用和实施	9
4 规格	4	7.1 电源相关建议.....	9
4.1 绝对最大额定值.....	4	7.2 布局.....	9
4.2 ESD 等级.....	4	8 器件和文档支持	10
4.3 建议运行条件.....	4	8.1 文档支持 (模拟).....	10
4.4 热性能信息.....	5	8.2 接收文档更新通知.....	10
4.5 电气特性.....	5	8.3 支持资源.....	10
4.6 开关特性.....	5	8.4 商标.....	10
4.7 工作特性.....	6	8.5 静电放电警告.....	10
5 参数测量信息	7	8.6 术语表.....	10
6 详细说明	8	9 修订历史记录	10
6.1 概述.....	8	10 机械、封装和可订购信息	11

3 引脚配置和功能

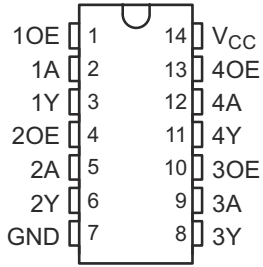


图 3-1. SN74LVC126A-Q1 D 或 PW 封装；14 引脚 SOIC 或 TSSOP（顶视图）

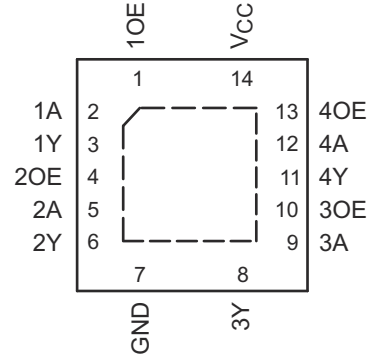


图 3-2. SN74LVC126A-Q1 BQA 封装；14 引脚 WQFN（顶视图）

表 3-1. 引脚功能

引脚		I/O ⁽¹⁾	说明
编号	名称		
1	10OE	I	输出使能 1
2	1A	I	栅极 1 输入
3	1Y	O	栅极 1 输出
4	2OE	I	输出使能 2
5	2A	I	栅极 2 输入
6	2Y	O	栅极 2 输出
7	GND	—	接地引脚
8	3Y	O	栅极 3 输出
9	3A	I	栅极 3 输入
10	3OE	I	输出使能 3
11	4Y	O	栅极 4 输出
12	4A	I	栅极 4 输入
13	4OE	I	输出使能 4
14	VCC	—	电源引脚
散热焊盘		—	将 GND 引脚连接到裸露的散热焊盘以确保正确操作。使用多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得良好的热性能。

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	6.5	V
V_I	输入电压范围 ⁽¹⁾	-0.5	6.5	V
V_O	输出电压范围 ^{(1) (2)}	-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < 0$	-50	mA
I_{OK}	输出钳位电流	$V_O < 0$	-50	mA
I_O	持续输出电流		±50	mA
	通过 V_{CC} 或 GND 的持续电流		±100	mA
T_{stg}	贮存温度范围	-65	150	°C

(1) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。

(2) V_{CC} 的值在建议运行条件表中提供。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000 V

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。该额定值是在 D (SOIC) 封装上进行测试的。

4.3 建议运行条件

在自然通风条件下的建议运行温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位	
V_{CC}	电源电压	运行	1.65	3.6	V
		仅数据保留	1.5		
V_{IH}	高电平输入电压	$V_{CC} = 1.65V$ 至 $1.95V$	$0.65 \times V_{CC}$		V
		$V_{CC} = 2.3V$ 至 $2.7V$	1.7		
		$V_{CC} = 2.7V$ 至 $3.6V$	2		
V_{IL}	低电平输入电压	$V_{CC} = 1.65V$ 至 $1.95V$	$0.35 \times V_{CC}$		V
		$V_{CC} = 2.3V$ 至 $2.7V$	0.7		
		$V_{CC} = 2.7V$ 至 $3.6V$	0.8		
V_I	输入电压	0	5.5	V	
V_O	输出电压	0	V_{CC}	V	
I_{OH}	高电平输出电流	$V_{CC} = 1.65V$		-4	mA
		$V_{CC} = 2.3V$		-8	
		$V_{CC} = 2.7V$		-12	
		$V_{CC} = 3V$		-24	
I_{OL}	低电平输出电流	$V_{CC} = 1.65V$		4	mA
		$V_{CC} = 2.3V$		8	
		$V_{CC} = 2.7V$		12	
		$V_{CC} = 3V$		24	
$\Delta t / \Delta v$	输入转换上升或下降速率		10	ns/V	
T_A	自然通风条件下的工作温度范围	-40	125	°C	

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 **CMOS 输入缓慢变化或悬空的影响**，文献编号 SCBA004。

4.4 热性能信息

热指标 ⁽¹⁾	SN74LVC126A-Q1			单位
	BQA (WQFN)	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	14 引脚	
R _{θJA} 结至环境热阻	102.3	127.8	150.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	最小值	典型值 ⁽¹⁾	最大值	单位
V _{OH}	I _{OH} = -100 μA	1.65V 至 3.6V	V _{CC} - 0.2			V
	I _{OH} = -4mA	1.65V	1.1			
	I _{OH} = -8mA	2.3V	1.5			
	I _{OH} = -12mA	2.7V	2.1			
	I _{OH} = -24mA	3V	2.35			
V _{OL}	I _{OL} = 100 μA	1.65V 至 3.6V			0.2	V
	I _{OL} = 4mA	1.65V			0.45	
	I _{OL} = 8mA	2.3V			0.7	
	I _{OL} = 12mA	2.7V			0.5	
	I _{OL} = 24mA	3V			0.7	
I _I	V _I = 5.5V 或 GND	3.6V			±10	μA
I _{OZ}	V _O = V _{CC} 或 GND	3.6V			±10	μA
I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	3.6V			20	μA
ΔI _{CC}	一个输入电压为 V _{CC} - 0.6V, 其他输入电压为 V _{CC} 或 GND	2.7V 至 3.6V			500	μA
C _i	V _I = V _{CC} 或 GND	3.3V		4.5		pF
C _o	V _O = V _{CC} 或 GND	3.3V		7		pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。

4.6 开关特性

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 [负载电路和电压波形](#)）

参数	从 (输入)	至 (输出)	V _{CC} = 2.7V		V _{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
t _{pd}	A	Y	1	6.2	1	5.7	ns
t _{en}	OE	Y	1	6.3	1	5.7	ns
t _{dis}	OE	Y	1	6.7	1	6	ns
t _{sk(o)}						1	ns

4.7 工作特性

$T_A = 25^\circ\text{C}$

参数		测试条件	$V_{CC} = 3.3\text{V}$	单位	
			典型值		
C_{pd}	每个栅极的功率耗散电容	输出已启用	f = 10MHz	22	pF
		输出已禁用		4	

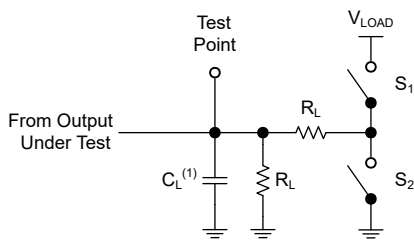
5 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
PRR ≤ 1MHz，Z_O = 50Ω，t_r ≤ 2.5ns。

输出单独测量，每次测量一个输入转换。

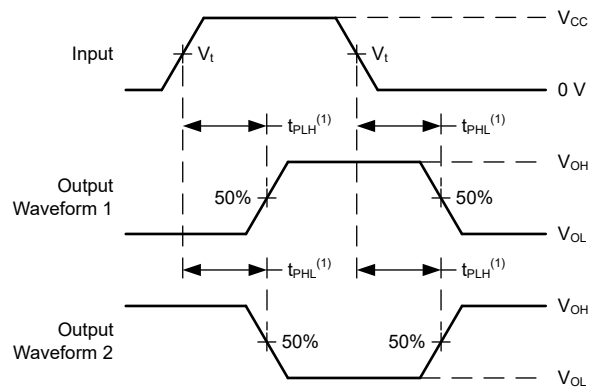
测试	S1	S2	R _L	C _L	ΔV	V _{LOAD}
t _{PLH} 、t _{PHL}	断开	断开	500Ω	50pF	—	—
t _{PLZ} 、t _{PZL}	闭合	断开	500Ω	50pF	0.3V	2×V _{CC}
t _{PHZ} 、t _{PZH}	断开	闭合	500Ω	50pF	0.3V	—

V _{CC}	V _t	R _L	C _L	ΔV	V _{LOAD}
1.8V ± 0.15V	V _{CC} /2	1kΩ	30pF	0.15V	2×V _{CC}
2.5V ± 0.2V	V _{CC} /2	500Ω	30pF	0.15V	2×V _{CC}
2.7V	1.5V	500Ω	50pF	0.3V	6V
3.3V ± 0.3V	1.5V	500Ω	50pF	0.3V	6V



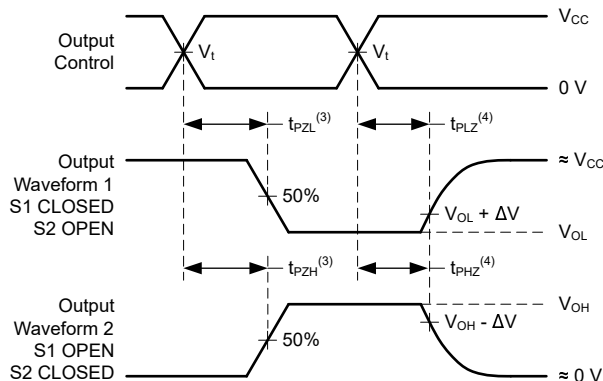
(1) C_L 包括探头和测试夹具电容。

图 5-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

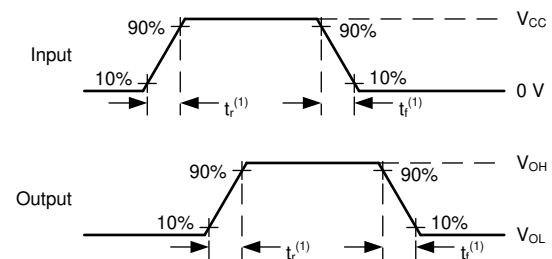
图 5-2. 电压波形传播延迟



(1) t_{PZL} 和 t_{PZH} 之间的较大者与 t_{en} 相同。

(2) t_{PLZ} 和 t_{PHZ} 之间的较大者与 t_{dis} 相同。

图 5-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 5-4. 电压波形，输入和输出转换时间

6 详细说明

6.1 概述

SN74LVC126A 具有提供三态输出的独立线路驱动器。当每个输出的相关输出使能 (OE) 输入为低电平时，输出被禁用。

为了确保加电或断电期间的高阻抗状态，OE 应该通过一个下拉电阻器接在接地 (GND) 上；此电阻器的最小值由驱动器电流供源能力决定。

输入可以由 3.3V 或 5V 器件驱动。此功能允许在 3.3V/5V 的混合系统环境中将该器件用作转换器。

6.2 功能方框图

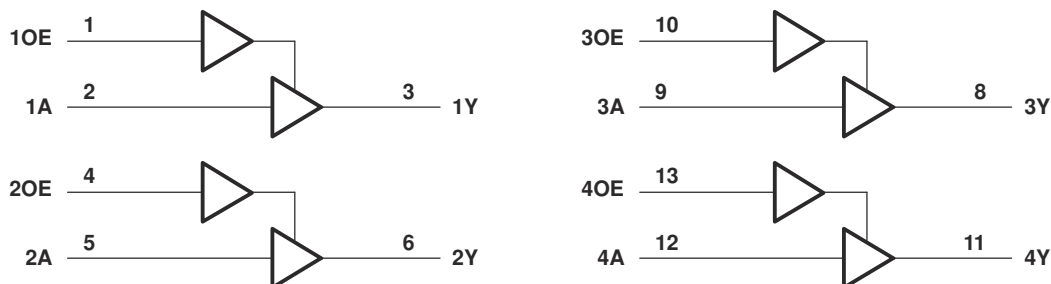


图 6-1. 逻辑图 (正逻辑)

6.3 器件功能模式

功能表
(每个缓冲器)

输入		输出
OE	A	Y
H	H	H
H	L	L
L	X	Z

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 电源相关建议

电源可以是 [建议运行条件](#) 中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 $0.1\mu\text{F}$ ；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 $0.01\mu\text{F}$ 或 $0.022\mu\text{F}$ 。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu\text{F}$ 和 $1\mu\text{F}$ 通常并联使用。为了获得更佳效果，旁路电容器必须尽可能靠近电源引脚安装。

7.2 布局

7.2.1 布局指南

当使用多位逻辑器件时，输入不得悬空。

在许多情况下，数字逻辑器件的功能或部分功能未被使用（例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时）。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的运行状态。[布局图](#) 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们会连接到 GND 或 V_{CC} ，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。

7.2.2 布局示例

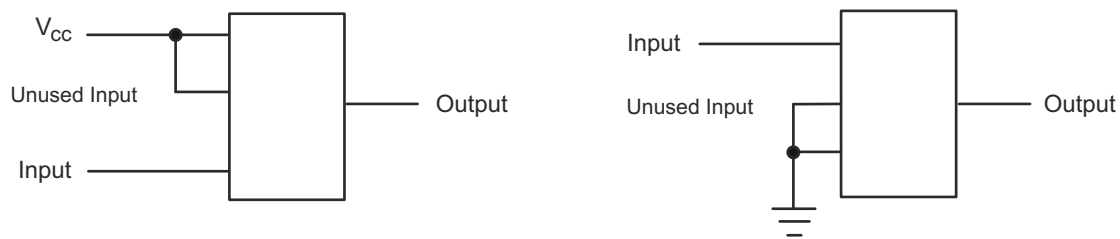


图 7-1. 布局图

8 器件和文档支持

8.1 文档支持 (模拟)

8.1.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 8-1. 相关链接

器件	产品文件夹	样片 & 购买	技术文档	工具 & 软件	支持 & 社区
SN74LVC126A-Q1	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (May 2024) to Revision D (October 2024)	Page
• 更新了 R θ JA 值：D 封装从 86 更新至 127.8，所有值均以 °C/W 为单位.....	5

Changes from Revision B (April 2008) to Revision C (May 2024)	Page
• 向 封装信息表 、 引脚配置和功能 部分以及 热性能信息表 中添加了 BQA 封装.....	1
• 添加了 封装信息表 、 引脚功能表 、 ESD 等级表 、 热性能信息表 、 器件功能模式 、“应用和实施”部分、 器件和文档支持 部分以及 机械、封装和可订购信息 部分.....	1
• 删除了整个数据表中对机器放电模型的引用.....	1
• 更新了 R θ JA 值：PW = 113 至 150.8，所有值均以 °C/W 为单位.....	5

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CLVC126AQPWRG4Q1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126AQ	Samples
SN74LVC126APWRQ1	ACTIVE	TSSOP	PW	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126AQ	Samples
SN74LVC126AQDRG4Q1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126AQ	Samples
SN74LVC126AQDRQ1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126AQ	Samples
SN74LVC126AWBQARQ1	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC126Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC126A-Q1 :

- Catalog : [SN74LVC126A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

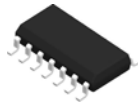

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLVC126AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC126APWRQ1	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC126AWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLVC126AQPWRG4Q1	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74LVC126APWRQ1	TSSOP	PW	14	3000	353.0	353.0	32.0
SN74LVC126AWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

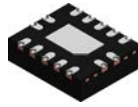
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A

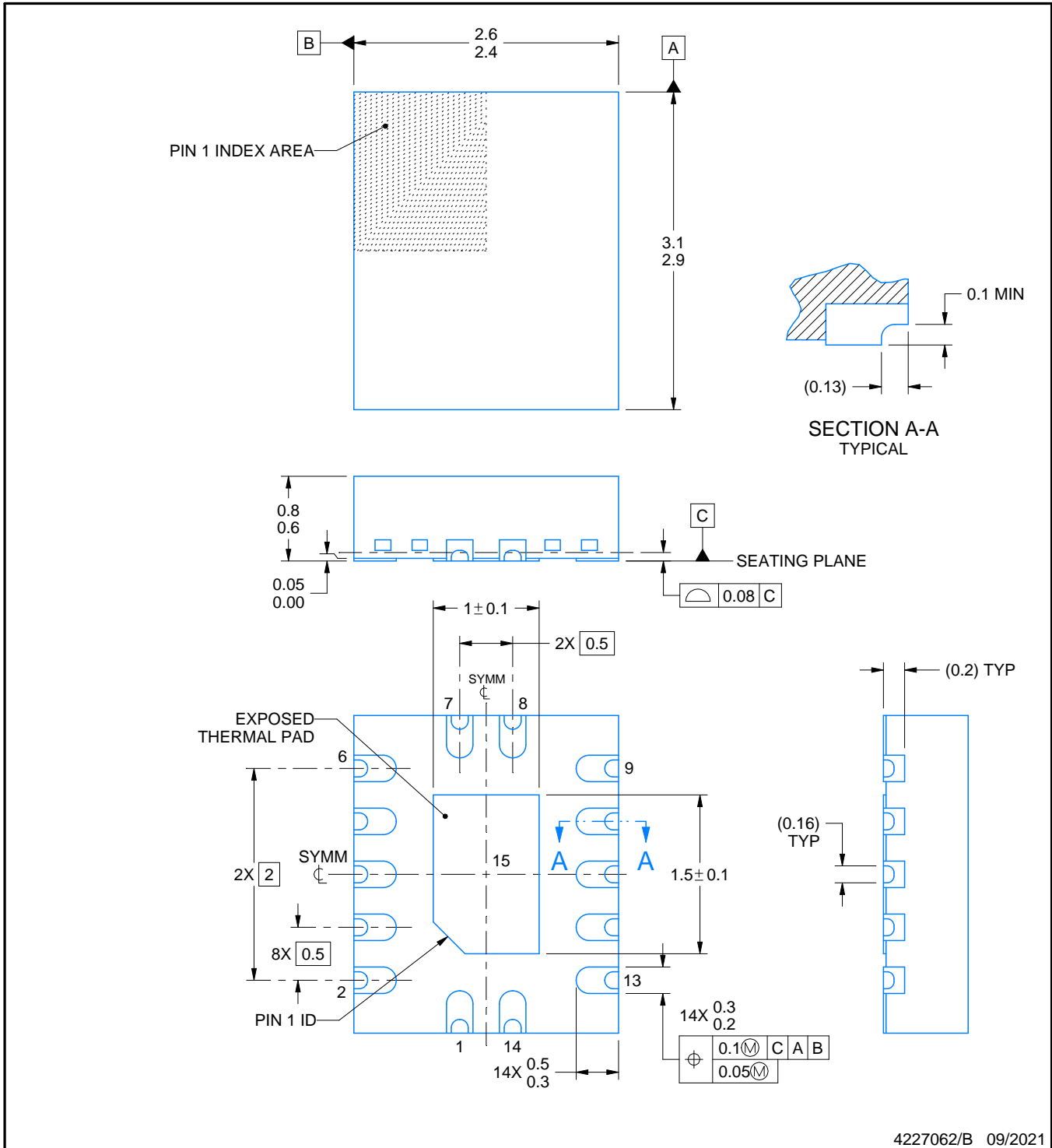
BQA0014B



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

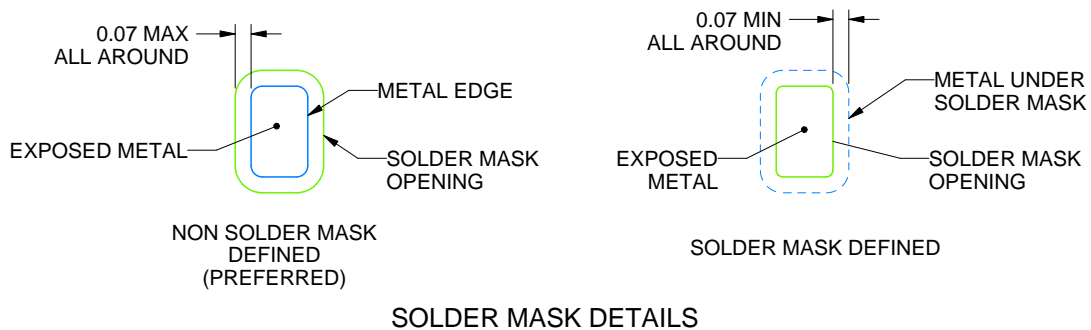
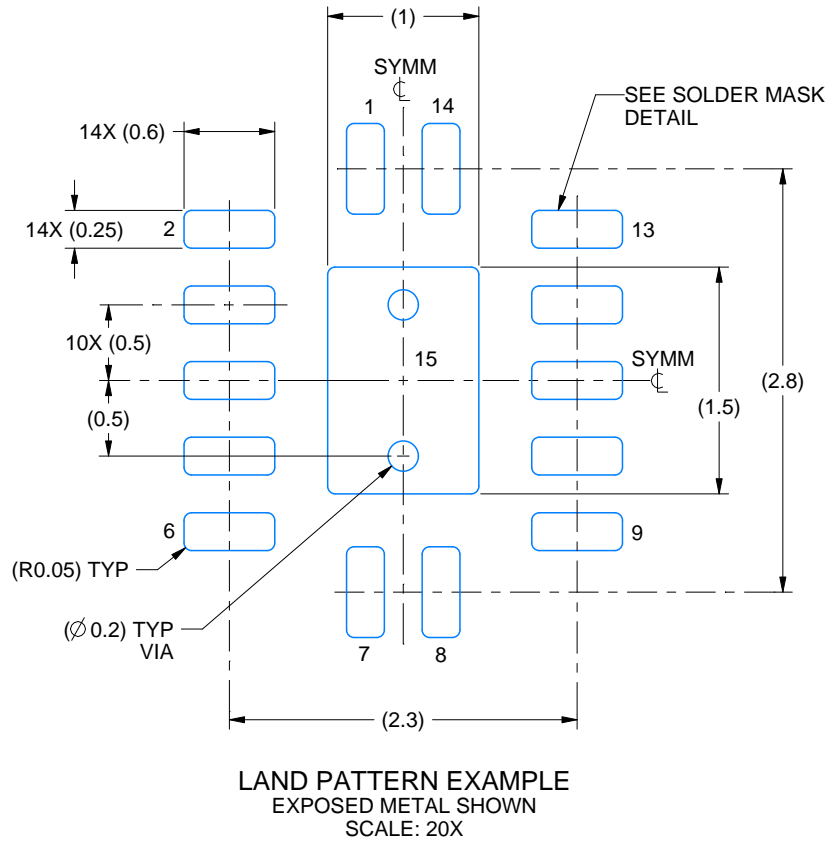
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4227062/B 09/2021

NOTES: (continued)

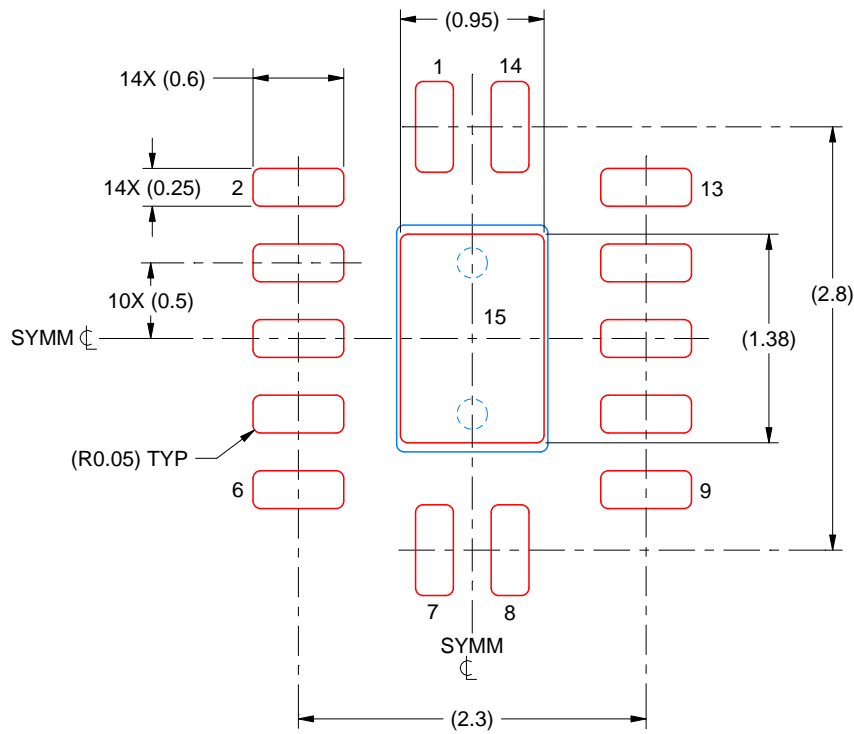
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

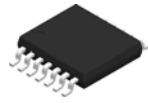
EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

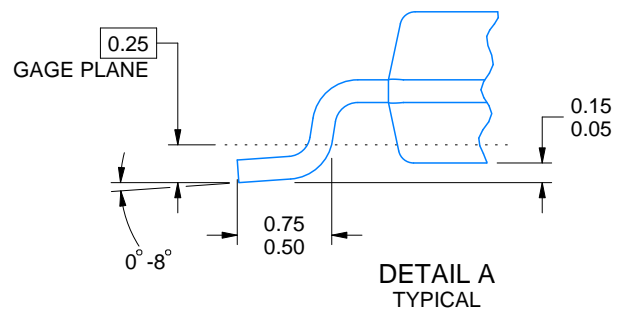
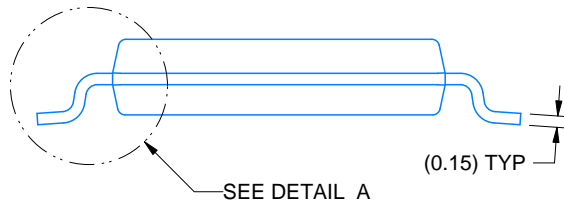
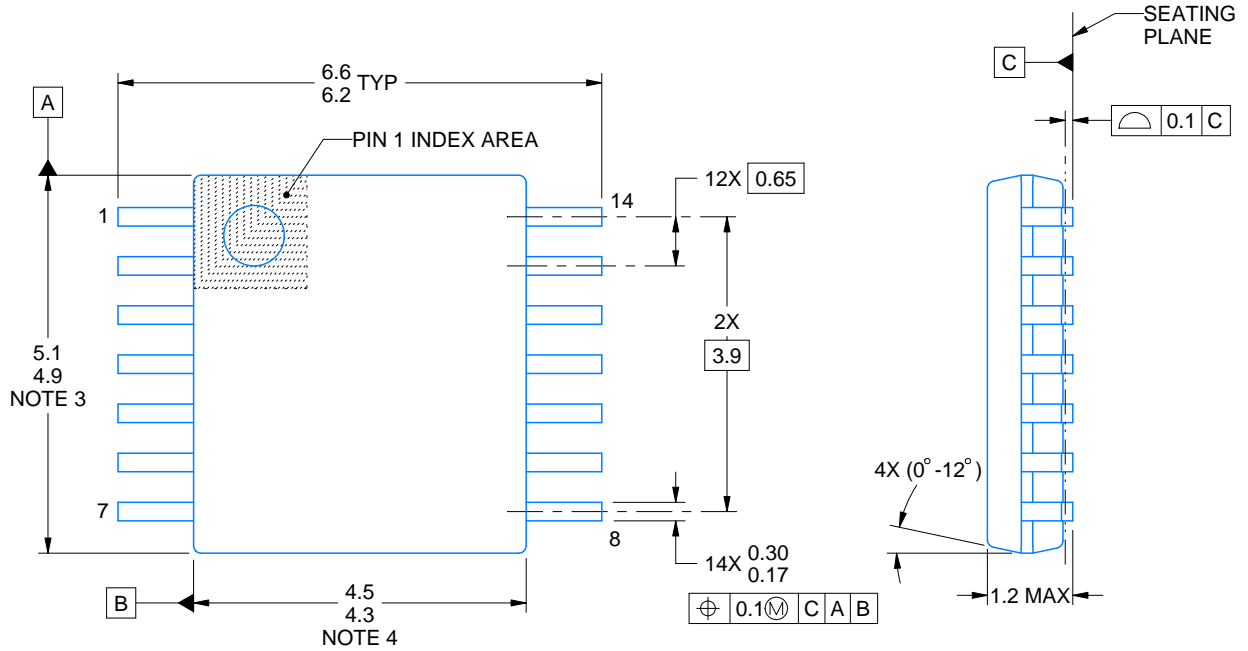
PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司