

TXB0104 带自动方向感应和 ±15kV ESD 保护功能的 4 位双向电压电平转换器

1 特性

- A 端口支持 1.2V 至 3.6V 的电压，B 端口支持 1.65V 至 5.5V 的电压 ($V_{CCA} \leq V_{CCB}$)
- V_{CC} 隔离特性：如果任何一个 V_{CC} 输入接地 (GND)，则所有输出都处于高阻抗状态
- 以 V_{CCA} 为基准的输出使能 (OE) 输入电路
- 低功耗， I_{CC} 最大值为 $5 \mu A$
- I_{OFF} 支持局部关断模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范
- ESD 保护性能超过 JESD 22 规范要求
 - A 端口：
 - 2500V 人体放电模型 (A114-B)
 - 1500V 充电器件模型 (C101)
 - B 端口：
 - ±15kV 人体放电模型 (A114-B)
 - 1500V 充电器件模型 (C101)

2 应用

- 耳机
- 智能电话
- 平板电脑
- 台式计算机

3 说明

TXB0104 是一款采用两个独立可配置电源轨的 4 位同相转换器。A 端口设计用于跟踪 V_{CCA} 。 V_{CCA} 支持从 1.2V 到 3.6V 范围内的任一电源电压。B 端口设计用于跟踪 V_{CCB} 。 V_{CCB} 支持从 1.65V 到 5.5V 范围内的任意电源电压。这使得该器件可在 1.2V、1.5V、1.8V、2.5V、3.3V 和 5V 电压节点之间任意进行通用低压双向转换。 V_{CCA} 不可超过 V_{CCB} 。

当输出使能端 (OE) 输入为低电平时，所有输出均处于高阻抗状态。为确保在上电或掉电期间均处于高阻抗状态，必须将 OE 通过下拉电阻接地。驱动器的拉电流能力决定该电阻的最小值。

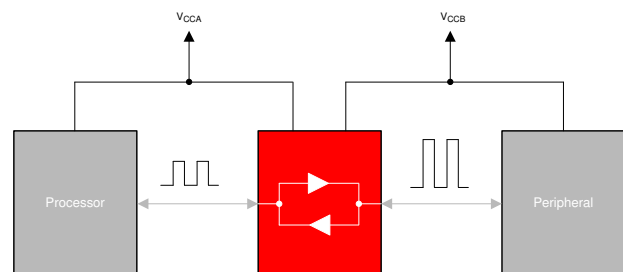
TXB0104 器件被设计成 OE 输入电路由 V_{CCA} 供电。

该器件完全适合使用 I_{OFF} 的局部断电应用。 I_{OFF} 电路可禁用输出，以防在器件掉电时电流回流损坏器件。

器件信息

(1) 器件型号	封装	封装尺寸 (标称值)
TXB0104RUT	UQFN (12)	2.00mm × 1.70mm
TXB0104D	SOIC (14)	8.65mm × 3.91mm
TXB0104ZXU/GXU	BGA MICROSTAR JUNIOR™ (12)	2.00mm × 2.50mm
TXB0104PW	TSSOP (14)	5.00mm × 4.40mm
TXB0104RGY	VQFN (14)	3.50mm × 3.50mm
TXB0104YZT	DSBGA (12)	1.40mm × 1.90mm
TXB0104NMN	NFBGA (12)	2.00mm × 2.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



TXB010X 典型应用方框图



内容

1 特性	1	6.17 工作特性：V _{CCA} = 1.8V 至 3.3V，V _{CCB} = 1.8V 至 5V.....	12
2 应用	1	6.18 典型特性.....	13
3 说明	1	7 参数测量信息	14
4 修订历史记录	2	8 详细说明	16
5 引脚配置和功能	3	8.1 概述.....	16
6 规格	5	8.2 功能方框图.....	16
6.1 绝对最大额定值.....	5	8.3 特性说明.....	17
6.2 ESD 等级.....	5	8.4 器件功能模式.....	19
6.3 建议运行条件.....	6	9 应用和实现	20
6.4 热性能信息.....	6	9.1 应用信息.....	20
6.5 电气特性.....	7	9.2 典型应用.....	20
6.6 时序要求：V _{CCA} = 1.2 V.....	8	10 电源相关建议	22
6.7 时序要求：V _{CCA} = 1.5V ± 0.1V.....	8	11 布局	22
6.8 时序要求：V _{CCA} = 1.8V ± 0.15V.....	8	11.1 布局布线指南.....	22
6.9 时序要求：V _{CCA} = 2.5V ± 0.2V.....	8	11.2 布局示例.....	22
6.10 时序要求：V _{CCA} = 3.3V ± 0.3V.....	8	12 器件和文档支持	23
6.11 开关特性：V _{CCA} = 1.2 V.....	9	12.1 接收文档更新通知.....	23
6.12 开关特性：V _{CCA} = 1.5V ± 0.1V.....	9	12.2 支持资源.....	23
6.13 开关特性：V _{CCA} = 1.8V ± 0.15V.....	10	12.3 商标.....	23
6.14 开关特性：V _{CCA} = 2.5V ± 0.2V.....	10	12.4 Electrostatic Discharge Caution.....	23
6.15 开关特性：V _{CCA} = 3.3V ± 0.3V.....	11	12.5 术语表.....	23
6.16 工作特性：V _{CCA} = 1.2V 至 1.5V，V _{CCB} = 1.5V 至 1.8V.....	12	13 机械、封装和可订购信息	23

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (March 2018) to Revision J (October 2020)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 在 <i>引脚配置和功能</i> 部分中添加了 NMN 封装、12 引脚 NFBGA 引脚排列图.....	3
Changes from Revision H (January 2018) to Revision I (March 2018)	Page
• 更新了 <i>引脚功能表</i>	3
• 为 YZT 封装添加了 <i>引脚分配表</i>	3
• 为 GXU 和 ZXU 封装添加了 <i>引脚分配表</i>	3
• 更新了 <i>布局示例</i>	22
Changes from Revision G (November 2014) to Revision H (January 2018)	Page
• 在 <i>引脚配置和功能</i> 部分中添加了封装、封装系列和引脚排列图.....	3
• 在 <i>绝对最大额定值</i> 表中添加了结温范围.....	5
• 将 <i>ESD 等级表</i> 中的单位从 V 更改为 kV.....	5
Changes from Revision F (May 2012) to Revision G (November 2014)	Page
• 添加了 <i>引脚配置和功能</i> 部分、 <i>处理等级表</i> 、 <i>特性说明</i> 部分、 <i>器件功能模式</i> 、 <i>应用和实现</i> 部分、 <i>电源相关建议</i> 部分、 <i>布局</i> 部分、 <i>器件和文档支持</i> 部分以及 <i>机械、封装和可订购信息</i> 部分.....	1

5 引脚配置和功能

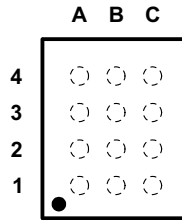


图 5-1. GXU 和 ZXU 封装，12 引脚 BGA Microstar Junior (顶视图)

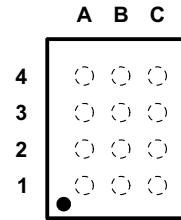


图 5-2. NMN 封装，12 引脚 NFBGA (顶视图)

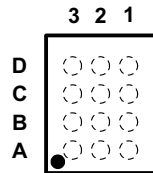
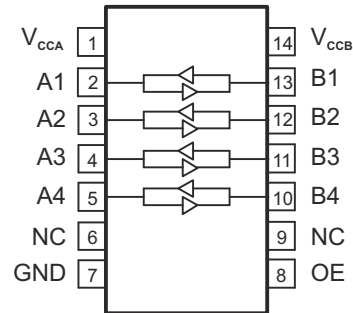
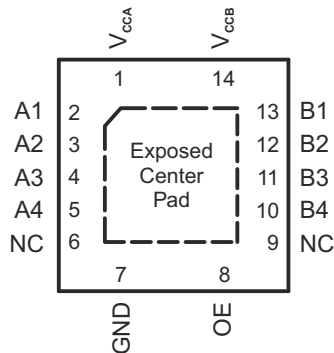


图 5-3. YZT 封装，12 引脚 DSBGA (顶视图)



NC - 无内部连接

图 5-4. D 或 PW 封装，14 引脚 SOIC 或 TSSOP (顶视图)



NC - 无内部连接

图 5-5. RGY 封装，14 引脚 VQFN (带外露散热焊盘) (顶视图)

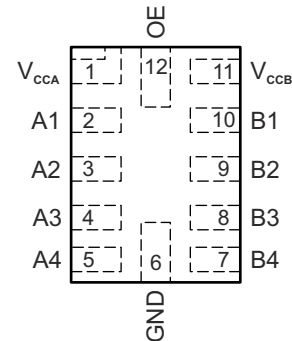


图 5-6. RUT 封装，12 引脚 UQFN (顶视图)

表 5-1. 引脚功能

名称	引脚					I/O	说明
	D、PW	RGY	RUT	GXU、ZXU、NMN	YZT		
A1	2	2	2	A1	A3	I/O	输入/输出 1。以 V_{CCA} 为基准。
A2	3	3	3	A2	B3	I/O	输入/输出 2。以 V_{CCA} 为基准。
A3	4	4	4	A3	C3	I/O	输入/输出 3。以 V_{CCA} 为基准。
A4	5	5	5	A4	D3	I/O	输入/输出 4。以 V_{CCA} 为基准。
B1	13	13	10	C1	A1	I/O	输入/输出 1。以 V_{CCB} 为基准。
B2	12	12	9	C2	B1	I/O	输入/输出 2。以 V_{CCB} 为基准。
B3	11	11	8	C3	C1	I/O	输入/输出 3。以 V_{CCB} 为基准。
B4	10	10	7	C4	D1	I/O	输入/输出 4。以 V_{CCB} 为基准。
GND	7	7	6	B4	D2	—	接地
NC	6、9	6,9	—	—	—	—	无连接。无内部连接。
OE	8	8	12	B3	C2	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
V_{CCA}	1	1	1	B2	B2	—	A 端口电源电压 $1.2V \leq V_{CCA} \leq 3.6V$ 且 $V_{CCA} \leq V_{CCB}$ 。
V_{CCB}	14	14	11	B1	A2	—	B 端口电源电压 $1.65V \leq V_{CCB} \leq 5.5V$ 。
散热焊盘	—	—	—	—	—	—	对于 RGY 封装，外露的中心散热焊盘必须接地或保持电气开路状态。

表 5-2. 引脚分配：NMN、GXU 和 ZXU 封装

	A	B	C
4	A4	GND	B4
3	A3	OE	B3
2	A2	V_{CCA}	B2
1	A1	V_{CCB}	B1

表 5-3. 引脚分配：YZT 封装

	3	2	1
D	A4	GND	B4
C	A3	OE	B3
B	A2	V_{CCA}	B2
A	A1	V_{CCB}	B1

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明)

(1)		最小值	最大值	单位
电源电压, V_{CCA}		-0.5	4.6	V
电源电压, V_{CCB}		-0.5	6.5	
输入电压, V_I	A 端口	-0.5	4.6	V
	B 端口	-0.5	6.5	
施加到任一处于高阻抗或断电状态输出的电压, V_O	A 端口	-0.5	4.6	V
	B 端口	-0.5	6.5	
应用到任一处于高电平或低电平状态输出的电压, V_O (2)	A 端口	-0.5	$V_{CCA} + 0.5$	V
	B 端口	-0.5	$V_{CCB} + 0.5$	
输入钳位电流, I_{IK}	$V_I < 0$		-50	mA
输出钳位电流, I_{OK}	$V_O < 0$		-50	mA
持续输出电流, I_O		-50	50	mA
通过 V_{CCA} 、 V_{CCB} 或 GND 的连续电流		-100	100	mA
结温范围, T_J			150	°C
储存温度范围, T_{stg}		-65	150	°C

- (1) 超出绝对最大额定值下列出的应力值可能会对器件造成永久损坏。上述数值仅是工作条件最大值, 我们建议不要使器件工作在 # 6.3 最大值甚至超过最大值的条件下。器件长时间工作在绝对最大值条件下, 其可靠性可能受到影响。
- (2) 建议运行条件表中提供了 V_{CCA} 和 V_{CCB} 的值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	A 端口	±2.5	kV
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)	B 端口	±15	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101(2)	A 端口	±1.5	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101(2)	B 端口	±1.5	

- (1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

			最小值	最大值	单位	
V_{CCA}	电源电压		1.2	3.6	V	
V_{CCB}	电源电压		1.65	5.5		
V_{IH}	高电平输入电压	数据输入	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$	$V_{CCI} \times 0.65^{(3)}$	V_{CCI}	V
		OE	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$	$V_{CCA} \times 0.65$	5.5	
V_{IL}	低电平输入电压	数据输入	$V_{CCA} = 1.2V$ 至 $5.5V$, $V_{CCB} = 1.65V$ 至 $5.5V$	0	$V_{CCI} \times 0.35^{(3)}$	V
		OE	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$	0	$V_{CCA} \times 0.35$	
V_O	施加到任一 处于高阻抗或断电状态 输出的电压	A 端口	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$	0	3.6	V
		B 端口	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$	0	5.5	
$\Delta t / \Delta v$	输入转换 上升或下降速率	A 端口 输入	$V_{CCA} = 1.2V$ 至 $3.6V$, $V_{CCB} = 1.65V$ 至 $5.5V$		40	ns/V
		B 端口 输入	$V_{CCA} = 1.2V$ 至 $3.6V$	$V_{CCB} = 1.65V$ 至 $3.6V$	40	
				$V_{CCB} = 4.5V$ 至 $5.5V$	30	
T_A	自然通风工作温度		- 40	85	°C	

(1) 未使用的数据 I/O 对的 A 侧和 B 侧必须保持相同状态, 即都处于 V_{CCI} 或 GND。

(2) V_{CCA} 必须小于或等于 V_{CCB} , 并且不得超过 3.6V。

(3) V_{CCI} 是与输入端口相关的电源电压。

6.4 热性能信息

热指标 ⁽¹⁾	TXB0104							单位	
	D	GXU/ZXU	PW	RGY	RUT	YZT	NMN		
	14 引脚	12 引脚	14 引脚	14 引脚	12 引脚	12 引脚	12 引脚		
$R_{\theta JA}$	结至环境热阻	90.7	127.1	121.0	52.8	119.8	89.2	134.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	50.5	92.8	50.0	67.7	42.6	0.9	90.7	
$R_{\theta JB}$	结至电路板热阻	45.4	62.2	62.8	28.9	52.5	14.4	88.4	
ψ_{JT}	结至顶部特征参数	14.7	2.3	6.4	2.6	0.7	3.0	4.3	
ψ_{JB}	结至电路板特征参数	45.1	62.2	62.2	29.0	52.3	14.4	89.3	
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	—	—	—	—	—	—	

(1) 有关传统和新热指标的更多信息, 请参阅 [IC 封装热指标](#) 应用报告。

6.5 电气特性

在推荐的自然通风条件下的工作温度范围 (除非另有说明)

参数 ^{(1) (2)}	测试条件	V _{CCA}	V _{CCB}	T _A = 25°C			- 40°C 至 85°C		单位
				最小值	典型值	最大值	最小值	最大值	
V _{OHA} 端口 A 输出高电压	I _{OH} = -20 μA	1.2V		1.1					V
		1.4V 至 3.6V					V _{CCA} - 0.4		
V _{OLA} 端口 A 输出低电压	I _{OL} = 20 μA	1.2V		0.3					V
		1.4V 至 3.6V					0.4		
V _{OHB} 端口 B 输出高电压	I _{OH} = -20 μA		1.65V 至 5.5V				V _{CCB} - 0.4		V
V _{OLB} 端口 B 输出低电压	I _{OL} = 20 μA		1.65V 至 5.5V				0.4		V
I _I 拐点电流	OE : V _I = V _{CCI} 或 GND	1.2V 至 3.6V	1.65V 至 5.5V	-1		1	-2	2	μA
I _{关闭} 关断状态电流	A 端口 : V _I 或 V _O = 0V 至 3.6V	0V	0V 至 5.5V	-1		1	-2	2	μA
	B 端口 : V _I 或 V _O = 0V 至 5.5V	0V 至 3.6V	0V	-1		1	-2	2	
I _{OZ} 高阻抗状态输出电流	A 或 B 端口 : OE = GND	1.2V 至 3.6V	1.65V 至 5.5V	-1		1	-2	2	μA
I _{CCA} V _{CCA} 电源电流	V _I = V _{CCI} 或 GND I _O = 0	1.2V	1.65V 至 5.5V	0.06					μA
		1.4V 至 3.6V	1.65V 至 5.5V				5		
		3.6V	0V				2		
		0V	5.5V				-2		
I _{CCB} V _{CCB} 电源电流	V _I = V _{CCI} 或 GND I _O = 0	1.2V	1.65V 至 5.5V	3.4					μA
		1.4V 至 3.6V	1.65V 至 5.5V				5		
		3.6V	0V				-2		
		0V	5.5V				2		
I _{CCA} + I _{CCB} 联合电源电流	V _I = V _{CCI} 或 GND I _O = 0	1.2V	1.65V 至 5.5V	3.5					μA
		1.4V 至 3.6V	1.65V 至 5.5V				10		
I _{CCZA} 高阻抗状态, V _{CCA} 电源电流	V _I = V _{CCI} 或 GND , I _O = 0 , OE = GND	1.2V	1.65V 至 5.5V	0.05					μA
		1.4V 至 3.6V	1.65V 至 5.5V				5		
I _{CCZB} 高阻抗状态, V _{CCB} 电源电流	V _I = V _{CCI} 或 GND , I _O = 0 , OE = GND	1.2V	1.65V 至 5.5V	3.3					μA
		1.4V 至 3.6V	1.65V 至 5.5V				5		
C _i 输入电容	OE	1.2V 至 3.6V	1.65V 至 5.5V	3					pF
C _{io} 输入到输出内部电容	A 端口	1.2V 至 3.6V	1.65V 至 5.5V	5					pF
	B 端口	1.2V 至 3.6V	1.65V 至 5.5V	11					

(1) V_{CCI} 是与输入端口相关的电源电压。

(2) V_{CCO} 是与输出端口相关的电源电压。

6.6 时序要求 : $V_{CCA} = 1.2\text{ V}$

$T_A = 25^\circ\text{C}$, $V_{CCA} = 1.2\text{V}$

		$V_{CCB} = 1.8\text{ V}$			$V_{CCB} = 2.5\text{ V}$			$V_{CCB} = 3.3\text{ V}$			$V_{CCB} = 5\text{ V}$			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
数据速率		20			20			20			20			Mbps
t_w	脉冲持续时间	50			50			50			50			ns

6.7 时序要求 : $V_{CCA} = 1.5\text{V} \pm 0.1\text{V}$

在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 1.5\text{V} \pm 0.1\text{V}$ (除非另有说明)

		$V_{CCB} = 1.8\text{V} \pm 0.15\text{V}$		$V_{CCB} = 2.5\text{V} \pm 0.2\text{V}$		$V_{CCB} = 3.3\text{V} \pm 0.3\text{V}$		$V_{CCB} = 5\text{V} \pm 0.5\text{V}$		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
数据速率		40		40		40		40		Mbps
t_w	脉冲持续时间	25		25		25		25		ns

6.8 时序要求 : $V_{CCA} = 1.8\text{V} \pm 0.15\text{V}$

在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 1.8\text{V} \pm 0.15\text{V}$ (除非另有说明)

		$V_{CCB} = 1.8\text{V} \pm 0.15\text{V}$		$V_{CCB} = 2.5\text{V} \pm 0.2\text{V}$		$V_{CCB} = 3.3\text{V} \pm 0.3\text{V}$		$V_{CCB} = 5\text{V} \pm 0.5\text{V}$		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
数据速率		60		60		60		60		Mbps
t_w	脉冲持续时间	17		17		17		17		ns

6.9 时序要求 : $V_{CCA} = 2.5\text{V} \pm 0.2\text{V}$

在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 2.5\text{V} \pm 0.2\text{V}$ (除非另有说明)

		$V_{CCB} = 2.5\text{V} \pm 0.2\text{V}$		$V_{CCB} = 3.3\text{V} \pm 0.3\text{V}$		$V_{CCB} = 5\text{V} \pm 0.5\text{V}$		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
数据速率		100		100		100		Mbps
t_w	脉冲持续时间	10		10		10		ns

6.10 时序要求 : $V_{CCA} = 3.3\text{V} \pm 0.3\text{V}$

在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 3.3\text{V} \pm 0.3\text{V}$ (除非另有说明)

		$V_{CCB} = 3.3\text{V} \pm 0.3\text{V}$		$V_{CCB} = 5\text{V} \pm 0.5\text{V}$		单位
		最小值	最大值	最小值	最大值	
数据速率		100		100		Mbps
t_w	脉冲持续时间	10		10		ns

6.11 开关特性 : $V_{CCA} = 1.2\text{ V}$

 $T_A = 25^\circ\text{C}$, $V_{CCA} = 1.2\text{ V}$

参数	测试条件	$V_{CCB} = 1.8\text{ V}$			$V_{CCB} = 2.5\text{ V}$			$V_{CCB} = 3.3\text{ V}$			$V_{CCB} = 5\text{ V}$			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd} 传播延迟时间	A 至 B	6.9			5.7			5.3			5.5			ns
	B 至 A	7.4			6.4			6			5.8			
t_{en} 启用时间	OE 到 A	1			1			1			1			μs
	OE 到 B	1			1			1			1			
t_{dis} 禁用时间	OE 到 A	18			15			14			14			ns
	OE 到 B	20			17			16			16			
t_{rA} , t_{fA} 输入上升时间, 输入下降时间	A 端口上升和下降时间	4.2			4.2			4.2			4.2			ns
t_{rB} , t_{fB} 输入上升时间, 输入下降时间	B 端口上升和下降时间	2.1			1.5			1.2			1.1			ns
$t_{SK(O)}$ 偏斜 (时间), 输出	通道间偏斜	0.4			0.5			0.5			1.4			ns
最大数据速率		20			20			20			20			Mbps

6.12 开关特性 : $V_{CCA} = 1.5\text{ V} \pm 0.1\text{ V}$

 在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 1.5\text{ V} \pm 0.1\text{ V}$ (除非另有说明)

参数	测试条件	$V_{CCB} = 1.8\text{ V} \pm 0.15\text{ V}$		$V_{CCB} = 2.5\text{ V} \pm 0.2\text{ V}$		$V_{CCB} = 3.3\text{ V} \pm 0.3\text{ V}$		$V_{CCB} = 5\text{ V} \pm 0.5\text{ V}$		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd} 传播延迟时间	A 至 B	1.4	12.9	1.2	10.1	1.1	10	0.8	9.9	ns
	B 至 A	0.9	14.2	0.7	12	0.4	11.7	0.3	13.7	
t_{en} 启用时间	OE 到 A	1		1		1		1		μs
	OE 到 B	1		1		1		1		
t_{dis} 禁用时间	OE 到 A	5.9	31	5.7	25.9	5.6	23	5.7	22.4	ns
	OE 到 B	5.4	30.3	4.9	22.8	4.8	20	4.9	19.5	
t_{rA} , t_{fA} 输入上升时间, 输入下降时间	A 端口上升和下降时间	1.4	5.1	1.4	5.1	1.4	5.1	1.4	5.1	ns
t_{rB} , t_{fB} 输入上升时间, 输入下降时间	B 端口上升和下降时间	0.9	4.5	0.6	3.2	0.5	2.8	0.4	2.7	ns
$t_{SK(O)}$ 偏斜 (时间), 输出	通道间偏斜	0.5		0.5		0.5		0.5		ns
最大数据速率		40		40		40		40		Mbps

6.13 开关特性：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V (除非另有说明)

参数	测试条件	V _{CCB} = 1.8V ± 0.15V		V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		V _{CCB} = 5V ± 0.5V		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{pd} 传播延迟时间	A 至 B	1.6	11	1.4	7.7	1.3	6.8	1.2	6.5	ns
	B 至 A	1.5	12	1.3	8.4	1	7.6	0.9	7.1	
t _{en} 启用时间	OE 到 A		1		1		1		1	μs
	OE 到 B		1		1		1		1	
t _{dis} 禁用时间	OE 到 A	5.9	31	5.1	21.3	5	19.3	5	17.4	ns
	OE 到 B	5.4	30.3	4.4	20.8	4.2	17.9	4.3	16.3	
t _{rA} , t _{fA} 输入上升时间, 输入下降时间	A 端口上升和下降时间	1	4.2	1.1	4.1	1.1	4.1	1.1	4.1	ns
t _{rB} , t _{fB} 输入上升时间, 输入下降时间	B 端口上升和下降时间	0.9	3.8	0.6	3.2	0.5	2.8	0.4	2.7	ns
t _{SK(O)} 偏斜 (时间), 输出	通道间偏斜		0.5		0.5		0.5		0.5	ns
最大数据速率		60		60		60		60		Mbps

6.14 开关特性：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V (除非另有说明)

参数	测试条件	V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		V _{CCB} = 5V ± 0.5V		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t _{pd} 传播延迟时间	A 至 B	1.1	6.3	1	5.2	0.9	4.7	ns
	B 至 A	1.2	6.6	1.1	5.1	0.9	4.4	
t _{en} 启用时间	OE 到 A		1		1		1	μs
	OE 到 B		1		1		1	
t _{dis} 禁用时间	OE 到 A	5.1	21.3	4.6	15.2	4.6	13.2	ns
	OE 到 B	4.4	20.8	3.8	16	3.9	13.9	
t _{rA} , t _{fA} 输入上升时间, 输入下降时间	A 端口上升和下降时间	0.8	3	0.8	3	0.8	3	ns
t _{rB} , t _{fB} 输入上升时间, 输入下降时间	B 端口上升和下降时间	0.7	2.6	0.5	2.8	0.4	2.7	ns
t _{SK(O)} 偏斜 (时间), 输出	通道间偏斜		0.5		0.5		0.5	ns
最大数据速率		100		100		100		Mbps

6.15 开关特性 : $V_{CCA} = 3.3V \pm 0.3V$

在推荐的自然通风条件下的工作温度范围内测得, $V_{CCA} = 3.3V \pm 0.3V$ (除非另有说明)

参数	测试条件	$V_{CCB} = 3.3V \pm 0.3V$		$V_{CCB} = 5V \pm 0.5V$		单位
		最小值	最大值	最小值	最大值	
t_{pd} 传播延迟时间	A 至 B	0.9	4.7	0.8	4	ns
	B 至 A	1	4.9	0.9	3.8	
t_{en} 启用时间	OE 到 A		1		1	μs
	OE 到 B		1		1	
t_{dis} 禁用时间	OE 到 A	4.6	15.2	4.3	12.1	ns
	OE 到 B	3.8	16	3.4	13.2	
t_{rA}, t_{fA} 输入上升时间, 输入下降时间	A 端口上升和下降时间	0.7	2.5	0.7	2.5	ns
t_{rB}, t_{fB} 输入上升时间, 输入下降时间	B 端口上升和下降时间	0.5	2.1	0.4	2.7	ns
$t_{SK(O)}$ 偏斜 (时间), 输出	通道间偏斜		0.5		0.5	ns
最大数据速率		100		100		Mbps

6.16 工作特性：V_{CCA} = 1.2V 至 1.5V，V_{CCB} = 1.5V 至 1.8V

T_A = 25°C

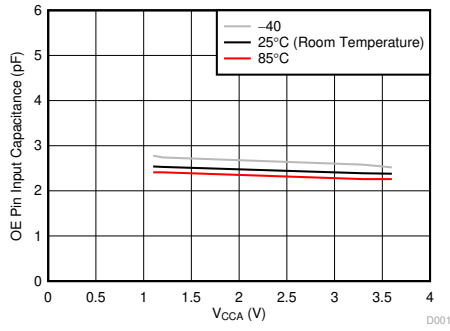
参数	测试条件		V _{CCA} = 1.2V, V _{CCB} = 1.5V			V _{CCA} = 1.2V, V _{CCB} = 1.8V			V _{CCA} = 1.5V, V _{CCB} = 1.8V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
C _{pdA} 功率耗散电容	C _L = 0 f = 10MHz t _r = t _f = 1ns OE = V _{CCA} (输出已启用)	A 端口输入, B 端口输出	7.8			10			9			pF
		B 端口输入, A 端口输出	12			11			11			
C _{pdB} 功率耗散电容		A 端口输入, B 端口输出	38.1			28			28			
		B 端口输入, A 端口输出	25.4			19			18			
C _{pdA} 功率耗散电容	C _L = 0 f = 10MHz t _r = t _f = 1ns OE = GND (输出已启用)	A 端口输入, B 端口输出	0.01			0.01			0.01			pF
		B 端口输入, A 端口输出	0.01			0.01			0.01			
C _{pdB} 功率耗散电容		A 端口输入, B 端口输出	0.01			0.01			0.01			
		B 端口输入, A 端口输出	0.01			0.01			0.01			

6.17 工作特性：V_{CCA} = 1.8V 至 3.3V，V_{CCB} = 1.8V 至 5V

T_A = 25°C

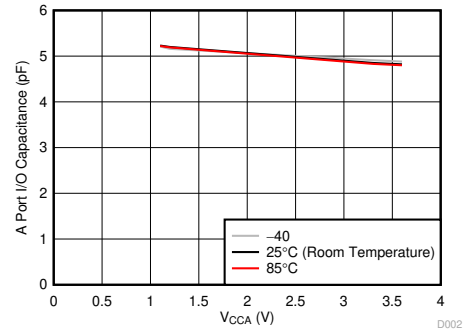
参数	测试条件		V _{CCA} = 1.8V, V _{CCB} = 1.8V			V _{CCA} = 2.5V, V _{CCB} = 2.5V			V _{CCA} = 2.5V, V _{CCB} = 5V			V _{CCA} = 3.3V, V _{CCB} = 3.3V 至 5V			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
C _{pdA} 功率耗散电容	C _L = 0 f = 10MHz t _r = t _f = 1ns OE = V _{CCA} (输出已启用)	A 端口输入, B 端口输出	8			8			8			9			pF
		B 端口输入, A 端口输出	11			11			11			11			
C _{pdB} 功率耗散电容		A 端口输入, B 端口输出	28			29			29			29			
		B 端口输入, A 端口输出	18			19			21			22			
C _{pdA} 功率耗散电容	C _L = 0 f = 10MHz t _r = t _f = 1ns OE = GND (输出已启用)	A 端口输入, B 端口输出	0.01			0.01			0.01			0.01			pF
		B 端口输入, A 端口输出	0.01			0.01			0.01			0.01			
C _{pdB} 功率耗散电容		A 端口输入, B 端口输出	0.01			0.01			0.01			0.03			
		B 端口输入, A 端口输出	0.01			0.01			0.01			0.04			

6.18 典型特性



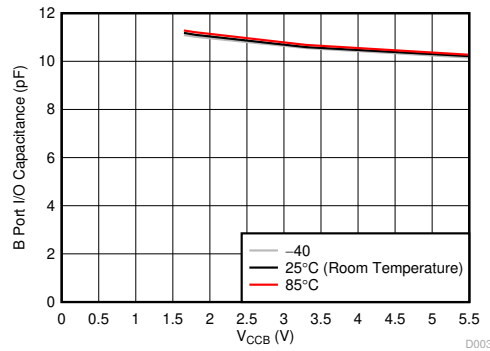
$V_{CCB} = 3.3V$

图 6-1. OE 引脚的输入电容 (C_i) 与电源 (V_{CCA})



$V_{CCB} = 3.3V$

图 6-2. A 端口 I/O 引脚的电容 (C_{iO}) 与电源 (V_{CCA})



$V_{CCA} = 1.8V$

图 6-3. B 端口 I/O 引脚的电容 (C_{iO}) 与电源 (V_{CCB})

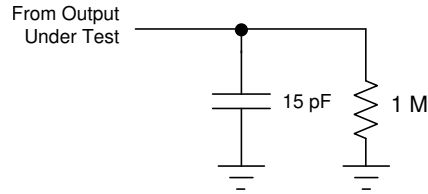
7 参数测量信息

除非另有说明，否则所有输入脉冲均由具有以下特性的发生器提供：

- PRR 10MHz
- $Z_O = 50\Omega$
- $dV/dt \geq 1V/ns$

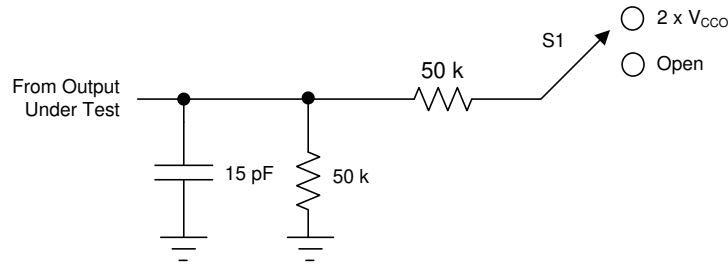
备注

并非所有参数和波形都适用于所有器件。



- A. 每次测量这些输出中的一个，每次测量转换一次。

图 7-1. 最大数据速率的负载电路：脉冲持续时间、传播延迟输出上升和下降时间测量

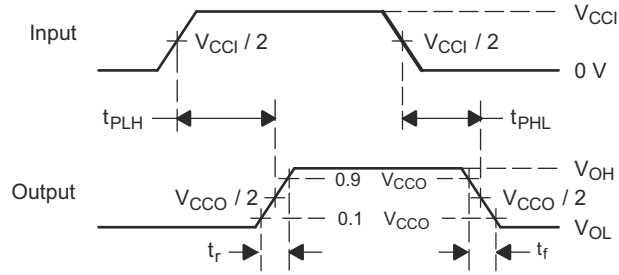


- A. 每次测量这些输出中的一个，每次测量转换一次。

图 7-2. 启用和禁用时间测量的负载电路

表 7-1. 启用和禁用时间测量的开关位置 (请参阅图 7-2)

测试	S1
t_{PZL} , t_{PLZ}	$2 \times V_{CCO}$
t_{PHZ} , t_{PZH}	开路



- A. V_{CCI} 是与输入端口相关的 V_{CC} 。
- B. V_{CCO} 是与输出端口相关的 V_{CC} 。
- C. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
- D. 每次测量这些输出中的一个，每次测量转换一次。

图 7-3. 电压波形传播延迟时间

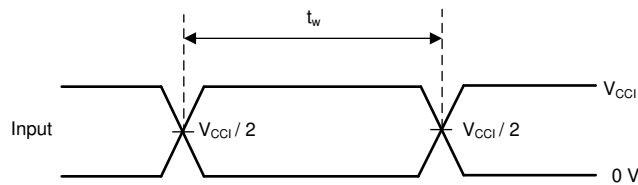


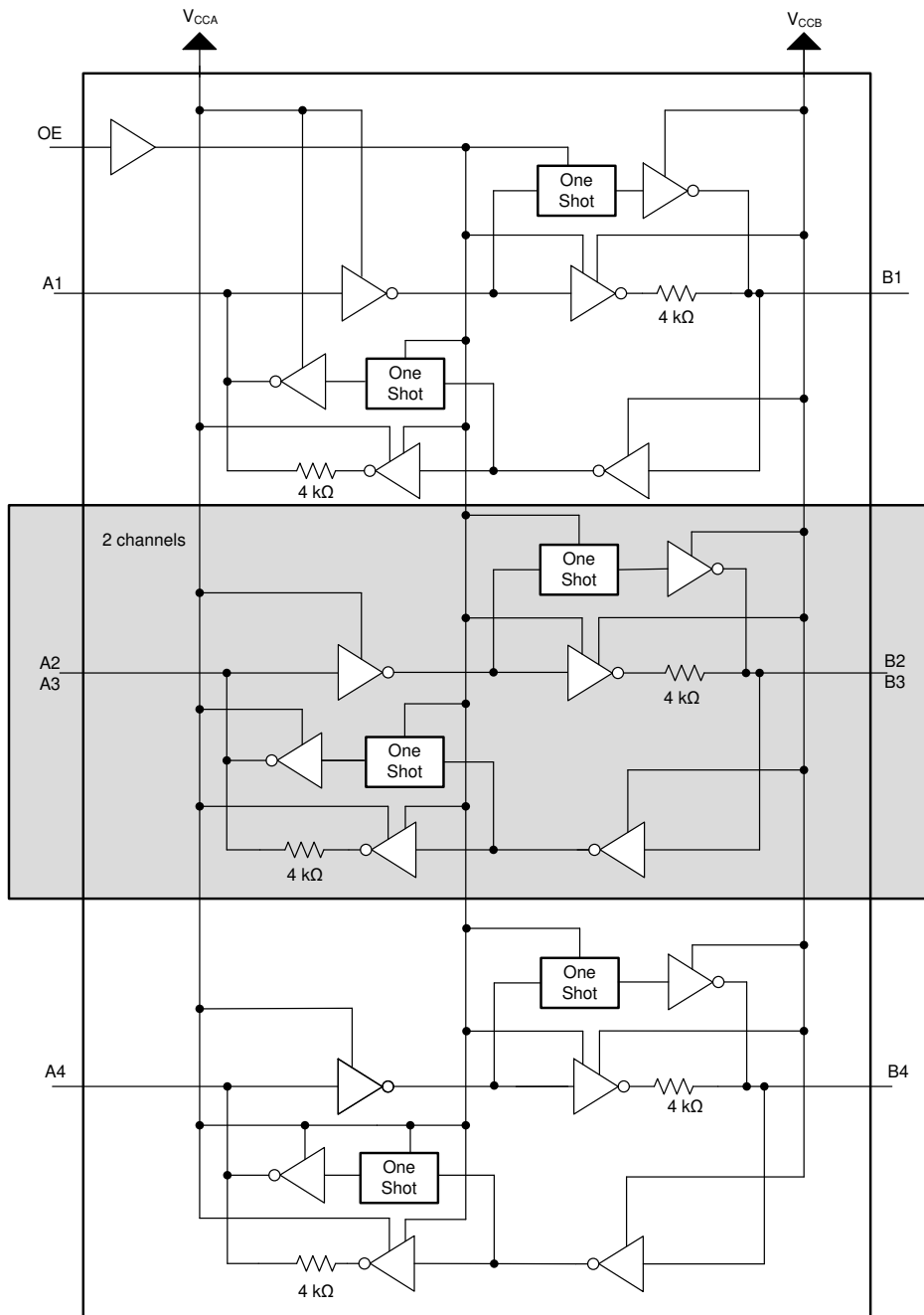
图 7-4. 电压波形脉冲持续时间

8 详细说明

8.1 概述

TXB0104 器件是专为转换逻辑电压电平而设计的 4 位无方向电压电平转换器。A 端口能够接受范围在 1.2V 至 3.6V 的 I/O 电压，而 B 端口能够接受 1.65V 至 5.5V 之间的 I/O 电压。此器件是缓冲架构，此架构具有边缘速率加速器（单稳态），以提升总体数据速率。此器件只能转换推挽 CMOS 逻辑输出。如需开漏信号转换，请参阅 TI 的 TXS010X 产品。

8.2 功能方框图



8.3 特性说明

8.3.1 架构

TXB0104 器件架构 (请参阅图 8-1) 不需要方向控制信号来控制从 A 到 B 或从 B 到 A 的数据流方向。在直流状态下，此器件的输出驱动器将保持高电平或低电平，但设计为较弱，因此当总线上的数据沿相反方向流动时，输出驱动器可由外部驱动器过驱。

输出单稳态检测 A 或 B 端口上的上升或下降沿。在上升沿期间，单稳态在短时间内开启 PMOS 晶体管 (T1、T3)，从而加快低电平至高电平转换。同样，在下降沿期间，单稳态在短时间内开启 NMOS 晶体管 (T2、T4)，从而加快高电平至低电平转换。输出转换期间的典型输出阻抗为： $V_{CCO} = 1.2V$ 至 $1.8V$ 时为 $70\ \Omega$ ， $V_{CCO} = 1.8V$ 至 $3.3V$ 时为 $50\ \Omega$ ， $V_{CCO} = 3.3V$ 至 $5V$ 时为 $40\ \Omega$ 。

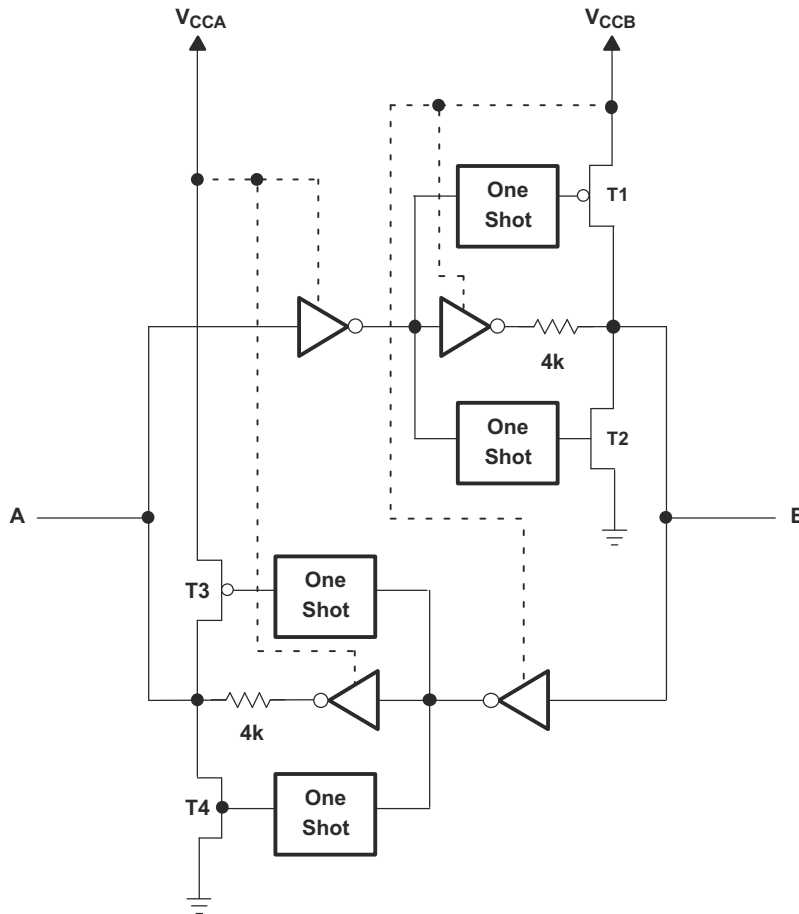
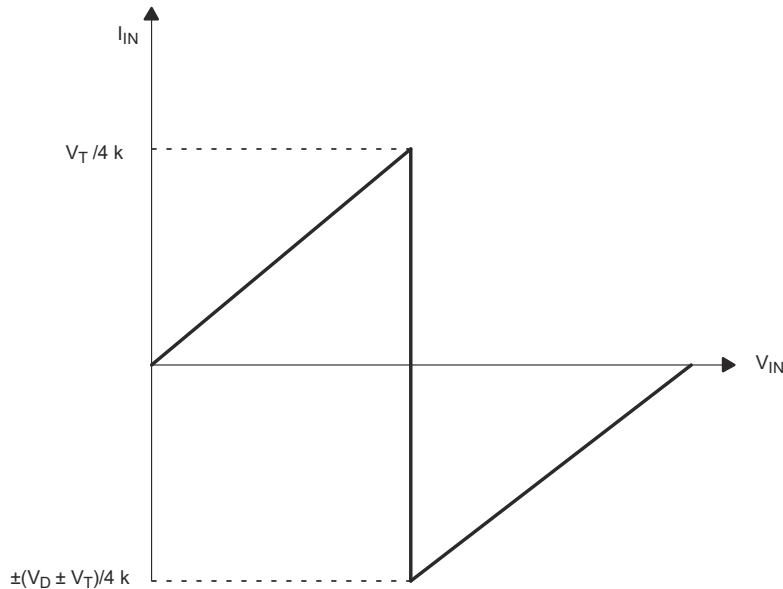


图 8-1. TXB0104 器件 I/O 单元架构

8.3.2 输入驱动器要求

器件的典型 I_{IN} 与 V_{IN} 特性如图 8-2 所示。为确保正常运行，驱动 TXB0104 器件数据 I/O 的器件的驱动强度必须至少为 $\pm 2\text{mA}$ 。



- A. V_T 是 TXB0104 器件的输入阈值 (通常为 $V_{CC}/2$)。
- B. V_D 是外部驱动器的电源电压。

图 8-2. 典型 I_{IN} 与 V_{IN} 曲线

8.3.3 输出负载注意事项

TI 建议采用较短的 PCB 布线长度进行仔细的 PCB 布局，以避免过多容性负载并确保发生正确的 O.S. 触发。PCB 信号布线长度必须保持足够短，以使任何反射的往返延迟小于单稳态持续时间。这可确保任何反射在驱动器处都遇到低阻抗，从而提高信号完整性。O.S. 电路设计为保持约 10ns 时间。可驱动的集总负载的最大电容也直接取决于单稳态持续时间。对于非常重的容性负载，在信号完全驱动到正电源轨之前，单稳态可能会超时。已设置 O.S. 持续时间，以在动态 ICC、负载驱动能力和最大比特率这些注意事项之间实现更好的权衡。PCB 布线长度和连接器都增加了器件输出的电容，因此建议考虑此集总负载电容，以避免 O.S. 再触发、总线争用、输出信号振荡或其他不利的系统级影响。

8.3.4 启用和禁用

TXB0104 器件具有一个通过将 OE 设定为低电平来禁用器件的 OE 输入，这将所有 I/O 置于高阻抗 (Hi-Z) 状态。禁用时间 (t_{dis}) 表示 OE 变为低电平与输出实际被禁用 (Hi-Z) 之间的延迟。启用时间 (t_{en}) 表示 OE 引脚为高电平之后，用户必须使单次电路变为可用的时间量。

8.3.5 I/O 线路上的上拉或下拉电阻

此器件旨在驱动最高 70pF 的容性负载。TXB0104 器件的输出驱动器具有低直流驱动强度。如果上拉或下拉电阻在外部连接到数据 I/O，则其值必须保持高于 50k Ω ，以确保不会与 TXB0104 器件的输出驱动器发生争用。

出于同样原因，TXB0104 器件不得用于 I²C 或单线等应用，在这些应用中，开漏驱动器连接至双向数据 I/O。对于这些应用，请使用 TI 的 TXS01xx 系列电平转换器中的器件。

8.4 器件功能模式

此器件有两种功能模式：启用和禁用。要禁用此器件，请将 OE 输入设置为低电平，这会将所有 I/O 置于高阻抗状态。将 OE 输入设置为高电平将启用此器件。

9 应用和实现

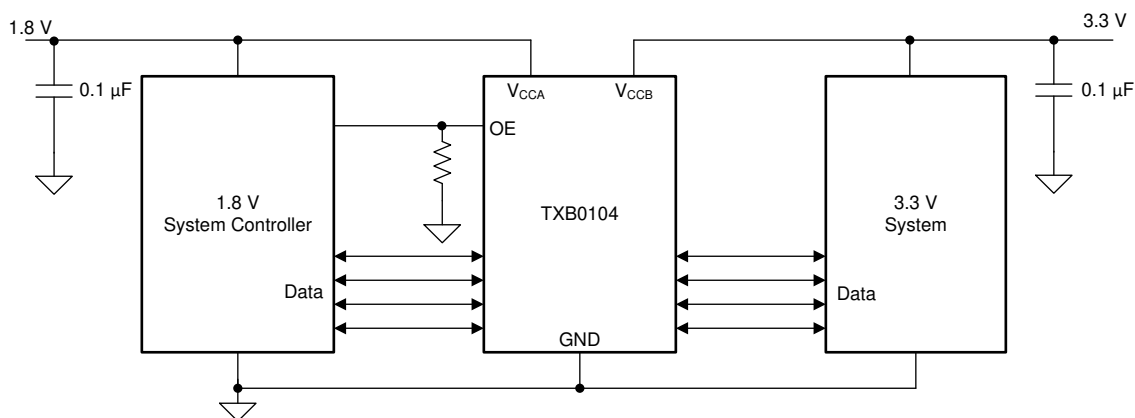
备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TXB0104 器件可在电平转换应用中用于将在不同接口电压下运行的器件或系统相互连接起来。它只能转换推挽 CMOS 逻辑输出。如需开漏信号转换，请参阅 TI 的 TXS010X 产品。建议使用大于 50k Ω 的任何外部下拉或上拉电阻。

9.2 典型应用



9.2.1 设计要求

对于这个设计示例，请使用表 9-1 中列出的参数。并确保 $V_{CCA} \leq V_{CCB}$ 。

表 9-1. 设计参数

设计参数	示例值
输入电压范围	1.2V 至 3.6V
输出电压范围	1.65V 至 5.5V

9.2.2 详细设计流程

要开始设计过程，请确定以下内容：

- 输入电压范围
 - 使用驱动 TXB0104 器件的器件电源电压来确定输入电压范围。要获得有效的逻辑高电平，此值必须超过输入端口的 V_{IH} 。要获得有效的逻辑低电平，此值必须小于输入端口的 V_{IL} 。
- 输出电压范围
 - 使用此器件驱动的器件电源电压来确定输出电压范围。
 - 不建议使用外部上拉或下拉电阻。如果必须使用，建议此值必须大于 $50k\Omega$ 。
 - 外部下拉或上拉电阻降低输出 V_{OH} 和 V_{OL} 。使用以下公式来估算外部下拉和上拉电阻作用下的 V_{OH} 和 V_{OL} 。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 4.5k\Omega)$$

$$V_{OL} = V_{CCx} \times 4.5k\Omega / (R_{PU} + 4.5k\Omega)$$

其中

- V_{CCx} 是 V_{CCA} 或 V_{CCB} 的输出端口电源电压
- R_{PD} 是外部下拉电阻的值
- R_{PU} 是外部上拉电阻的值
- $4.5k\Omega$ 计算的是 I/O 线路中 $4k\Omega$ 串联电阻的变化。

9.2.3 应用曲线

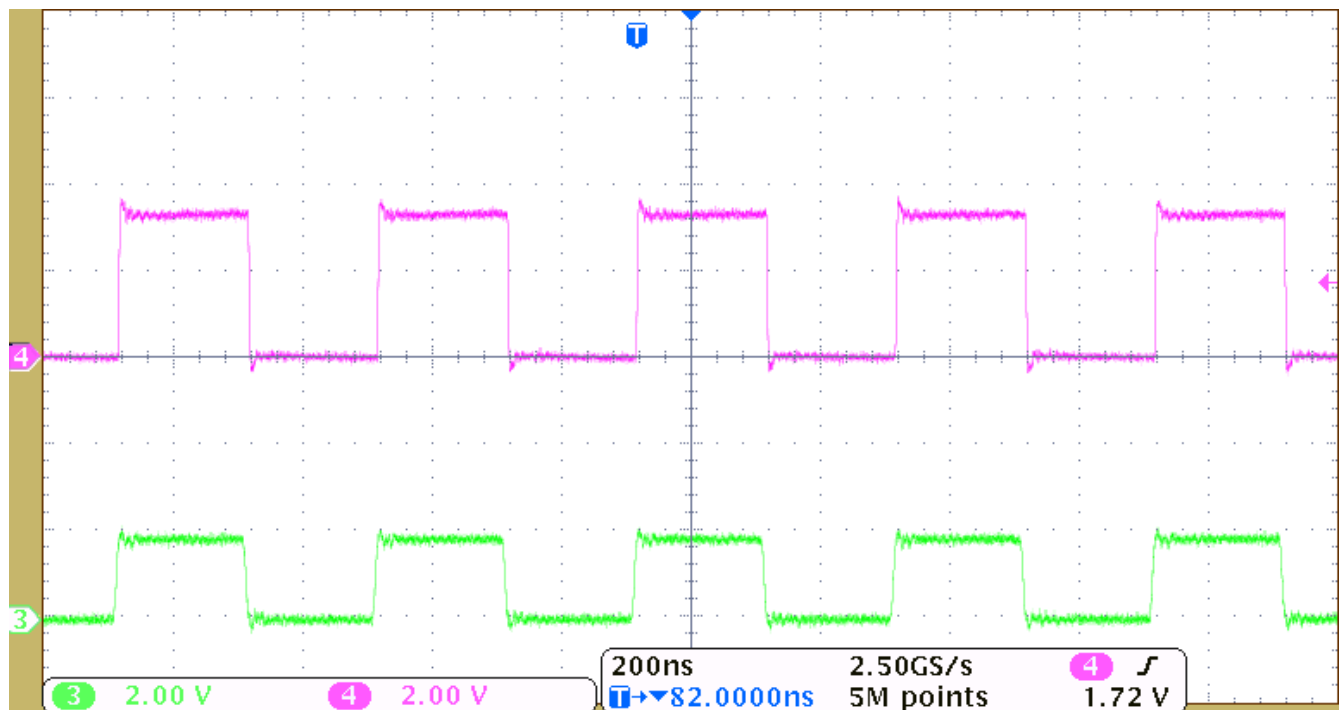


图 9-1. 2.5MHz 信号的电平转换

10 电源相关建议

运行期间，确保 V_{CCA} 始终小于等于 V_{CCB} 。在上电时序期间， V_{CCA} 大于等于 V_{CCB} 不会损坏器件，因此任一电源都可以首先斜升。此器件中的电路会在任一 V_{CC} 关闭 ($V_{CCA/B} = 0V$) 时禁用所有输出端口。输出使能 (OE) 输入电路被设计成由 V_{CCA} 供电，并且当 (OE) 输入为低电平时，所有输出被置于高阻抗状态。为了确保输出在加电或断电期间为高阻抗状态，OE 输入引脚必须通过一个下拉电阻器接至 GND，并且在 V_{CCA} 和 V_{CCB} 完全斜升且稳定前一定不能启用。对地下拉电阻器的最小值由驱动器的电流供源能力确定。

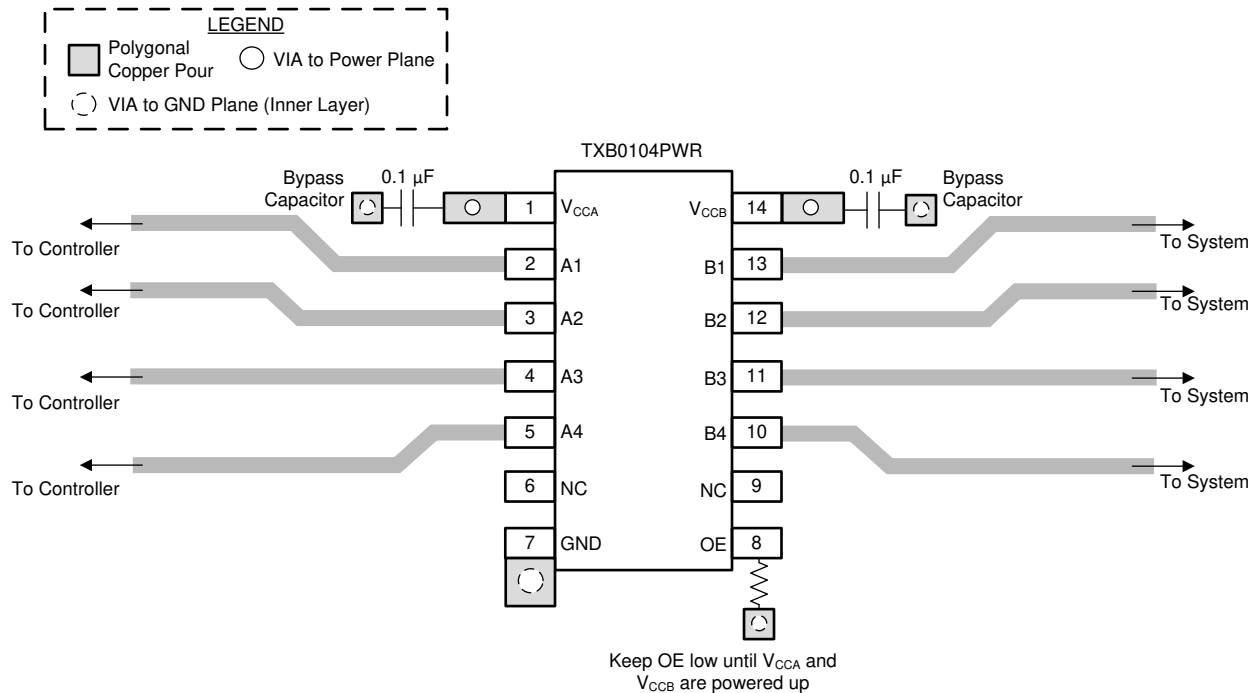
11 布局

11.1 布局布线指南

为了确保器件的可靠性，建议按照以下常见印刷电路板布局布线指南进行操作。

- 必须在电源上使用旁路电容器，并尽可能靠近 V_{CCA} 、 V_{CCB} 引脚和 GND 引脚放置。
- 为了避免过多负载，必须使用较短的布线长度。
- PCB 信号布线长度必须保持足够短，以使任何反射的往返延迟小于单稳态持续时间 (约 10ns)，从而确保任何反射在源驱动器处都遇到低阻抗。

11.2 布局示例



12 器件和文档支持

12.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

12.3 商标

BGA MICROSTAR JUNIOR™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.4 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

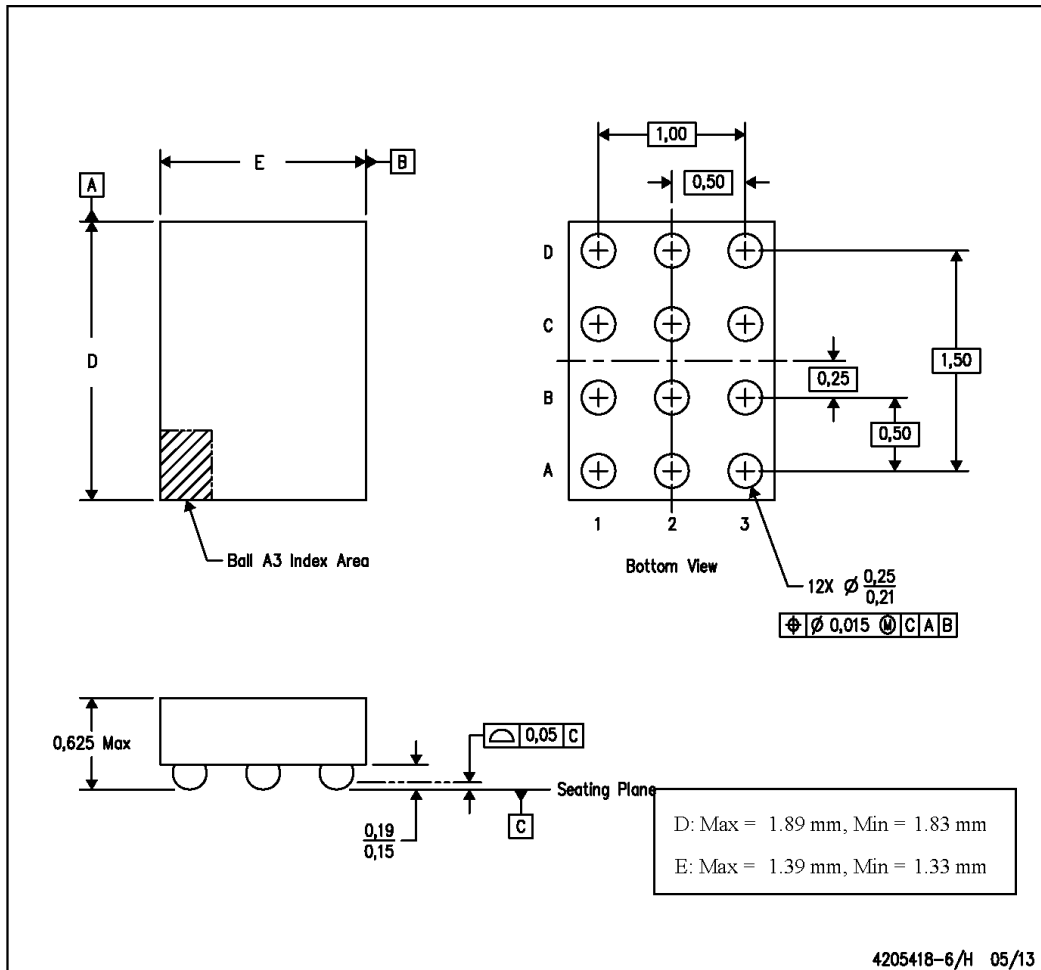
13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

MECHANICAL DATA

YZT (R-XBGA-N12)

(CUSTOM) DIE-SIZE BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TXB0104BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YE04	Samples
TXB0104D	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXB0104	Samples
TXB0104DG4	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXB0104	Samples
TXB0104DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXB0104	Samples
TXB0104DRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXB0104	Samples
TXB0104NMNR	ACTIVE	NFBGA	NMN	12	2500	RoHS & Green	SNAGCU	Level-2-260C-1 YEAR	-40 to 85	2AQW	Samples
TXB0104PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YE04	Samples
TXB0104PWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YE04	Samples
TXB0104RGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YE04	Samples
TXB0104RGYRG4	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YE04	Samples
TXB0104RUTR	ACTIVE	UQFN	RUT	12	3000	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(2KR, 2KV)	Samples
TXB0104YZTR	ACTIVE	DSBGA	YZT	12	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	2K	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXB0104 :

- Automotive : [TXB0104-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXB0104DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TXB0104NMNR	NFBGA	NMN	12	2500	180.0	8.4	2.3	2.8	1.15	4.0	8.0	Q2
TXB0104PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TXB0104RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TXB0104RUTR	UQFN	RUT	12	3000	180.0	9.5	1.9	2.2	0.7	4.0	8.0	Q1
TXB0104YZTR	DSBGA	YZT	12	3000	180.0	8.4	1.49	1.99	0.75	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS

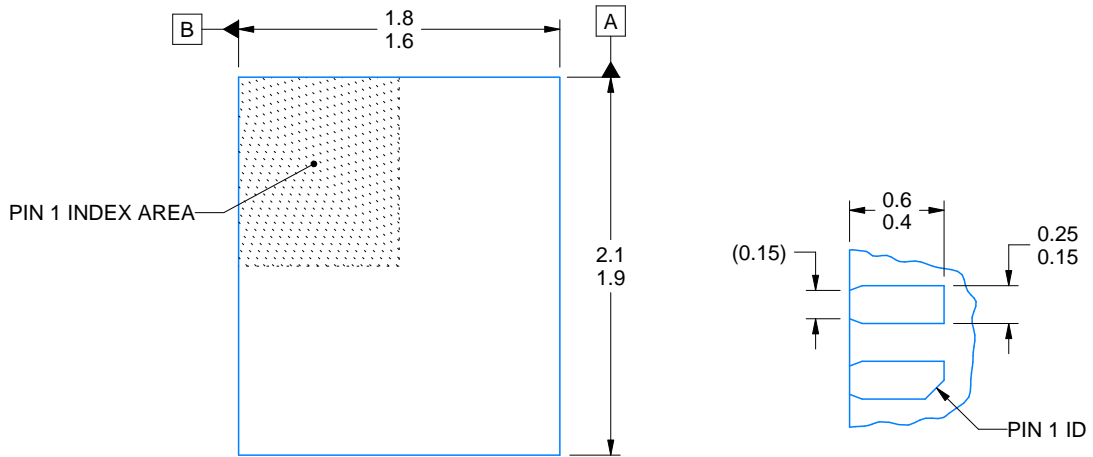

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXB0104DR	SOIC	D	14	2500	356.0	356.0	35.0
TXB0104NMNR	NFBGA	NMN	12	2500	210.0	185.0	35.0
TXB0104PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TXB0104RGYR	VQFN	RGY	14	3000	356.0	356.0	35.0
TXB0104RUTR	UQFN	RUT	12	3000	189.0	185.0	36.0
TXB0104YZTR	DSBGA	YZT	12	3000	182.0	182.0	20.0

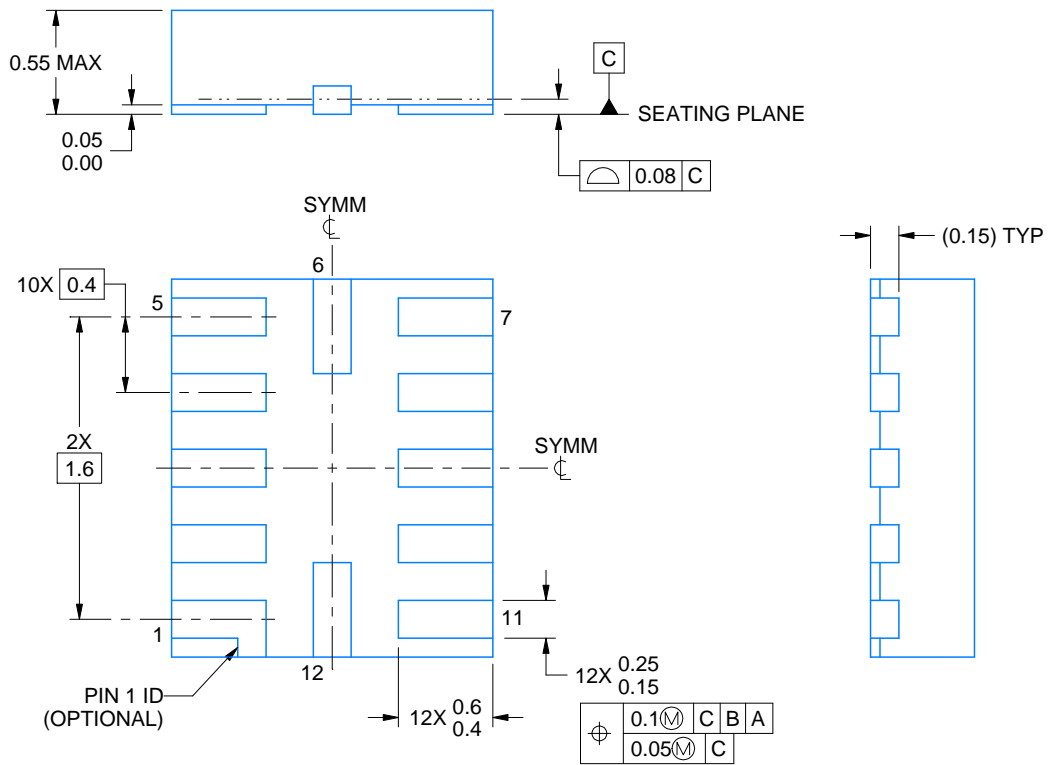
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TXB0104D	D	SOIC	14	50	506.6	8	3940	4.32
TXB0104DG4	D	SOIC	14	50	506.6	8	3940	4.32



OPTIONAL TERMINAL & PIN 1 ID



4220310/A 11/2016

NOTES:

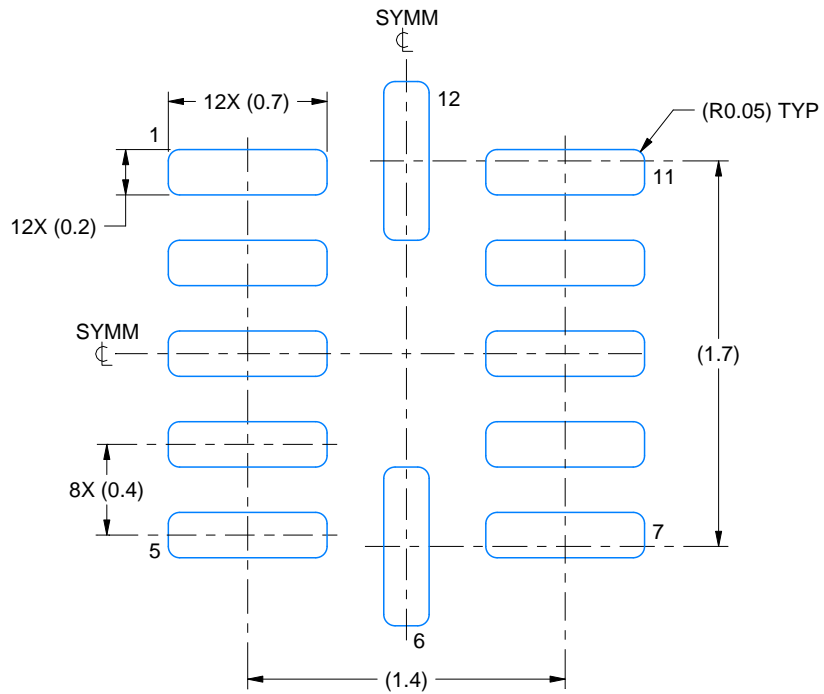
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

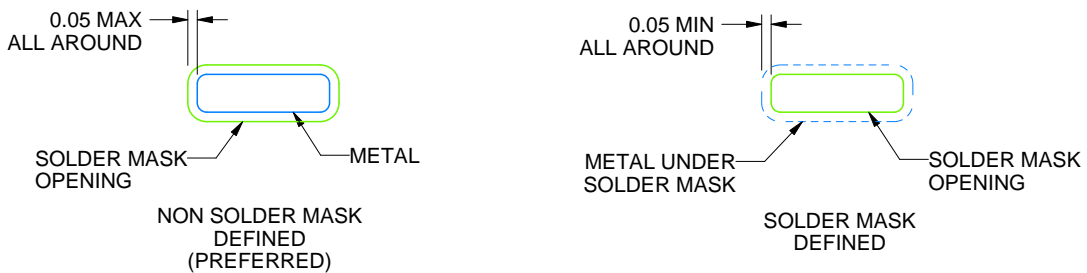
RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS

4220310/A 11/2016

NOTES: (continued)

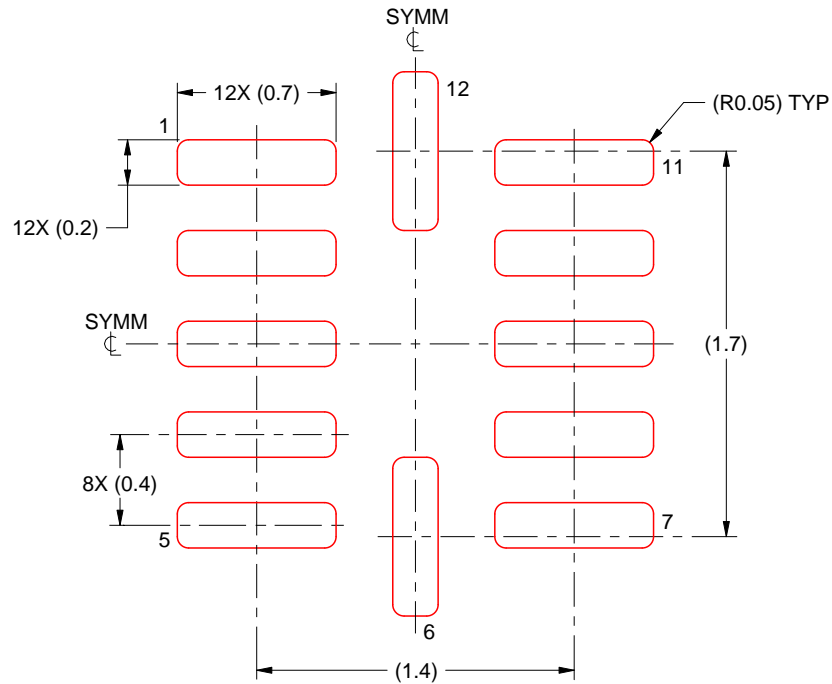
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

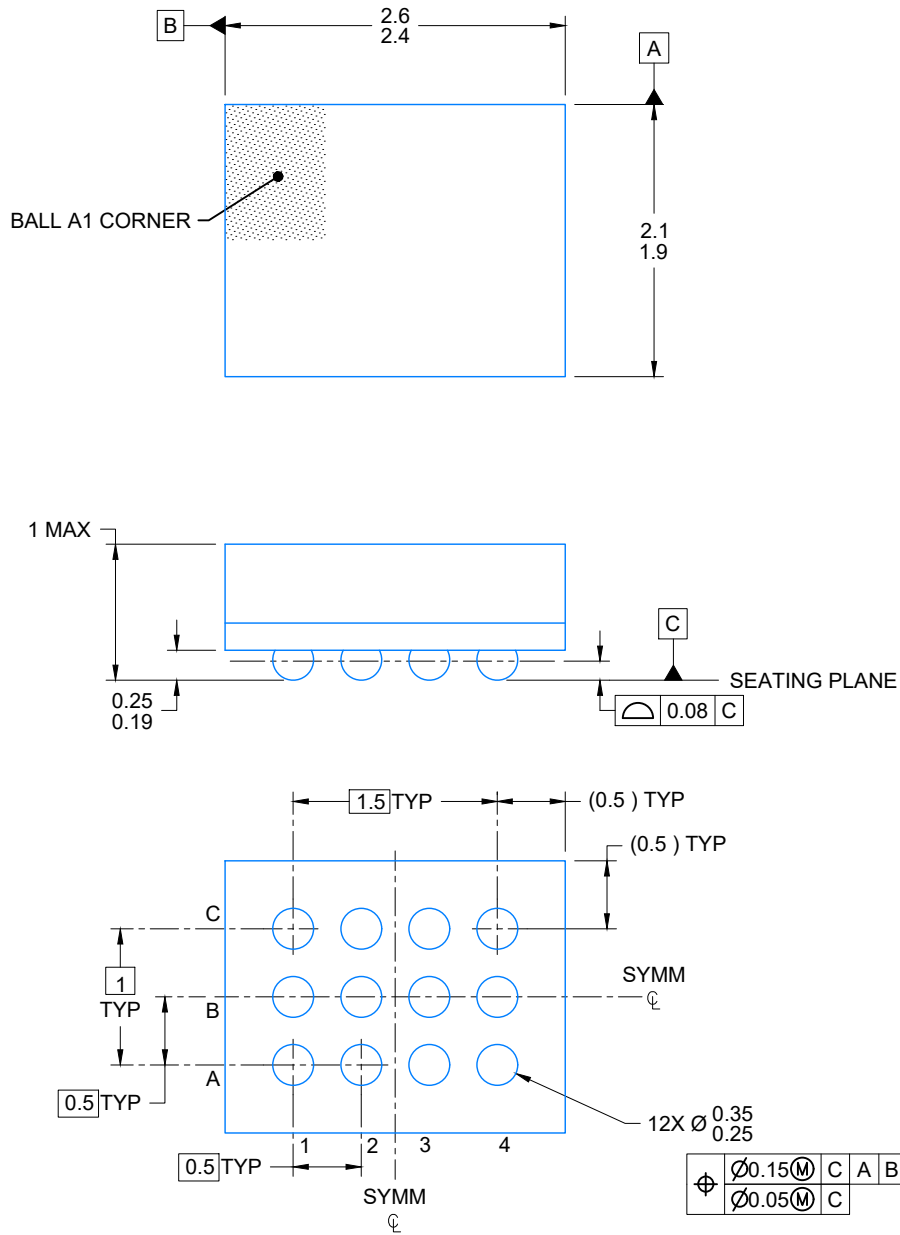


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 30X

4220310/A 11/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4225768/A 03/2020

NOTES:

NanoFree is a trademark of Texas Instruments.

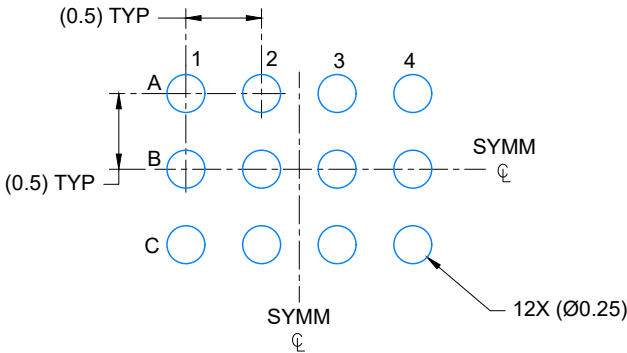
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

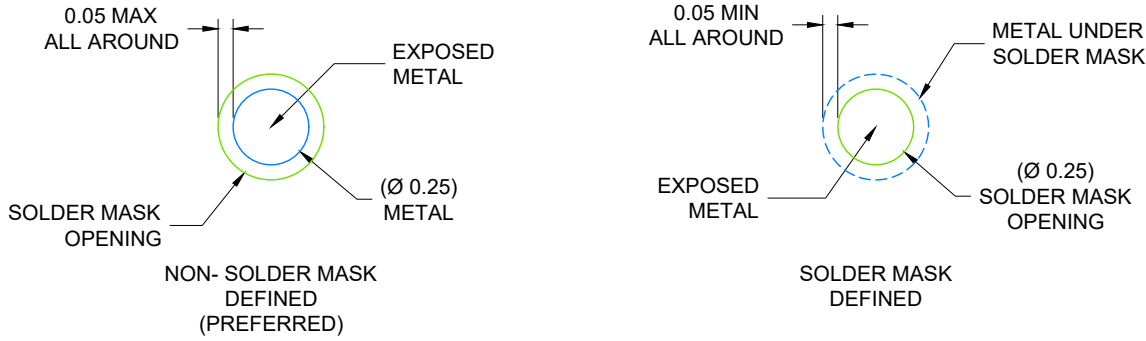
NMN0012A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE: 20X

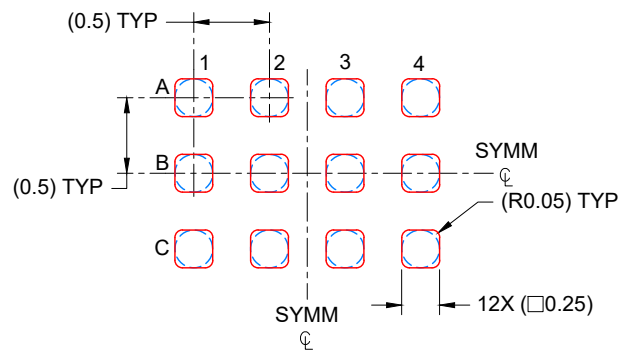


SOLDER MASK DETAILS
NOT TO SCALE

4225768/A 03/2020

NOTES: (continued)

- 3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).



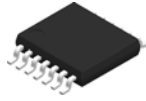
SOLDER PASTE EXAMPLE
 BASED ON 0.100 mm THICK STENCIL
 SCALE: 20X

4225768/A 03/2020

NOTES: (continued)

- 4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

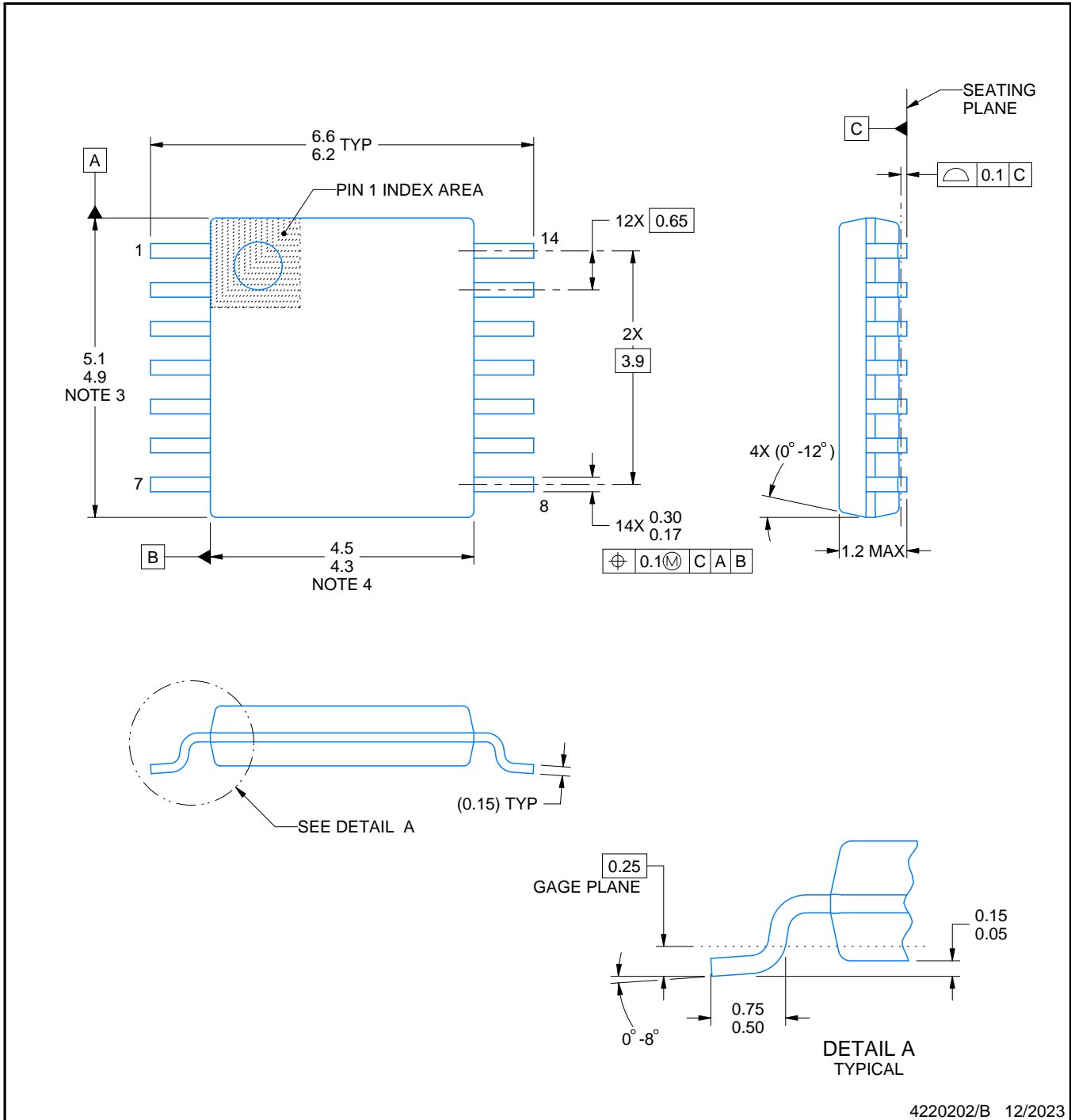
PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

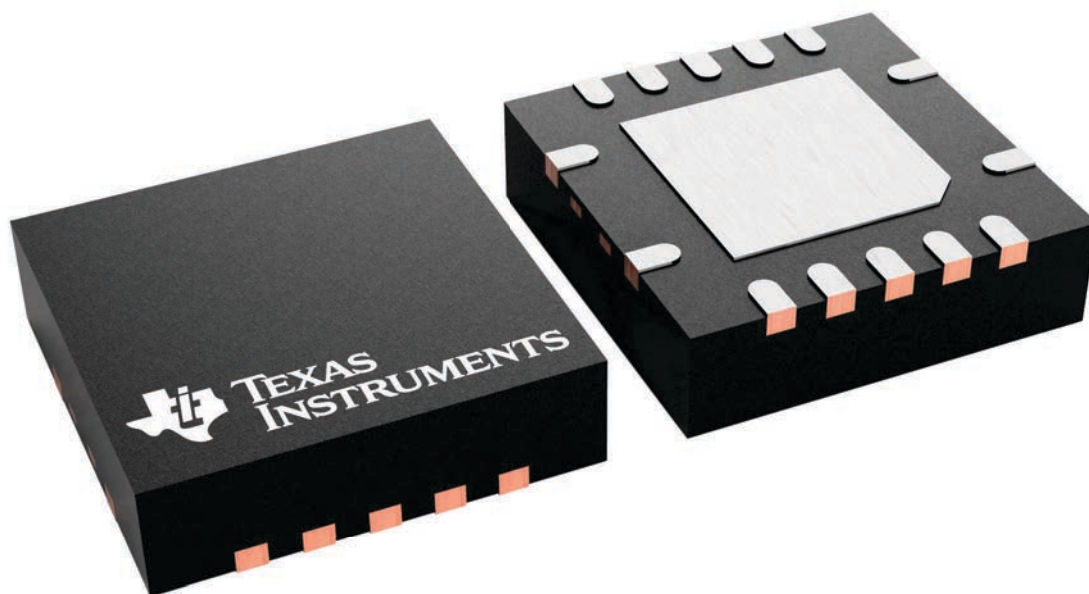
RGY 14

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

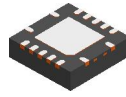
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231541/A

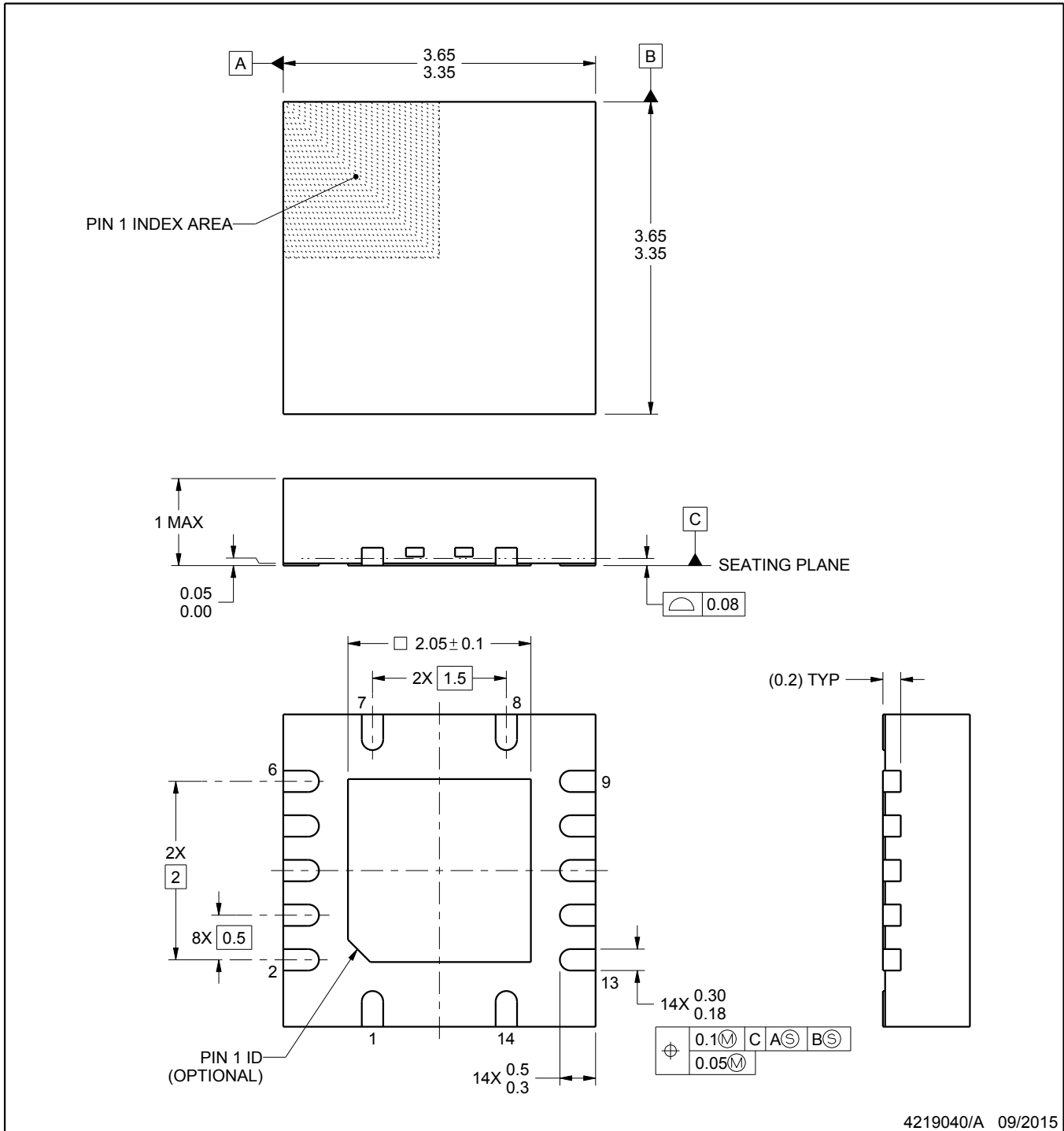
RGY0014A



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219040/A 09/2015

NOTES:

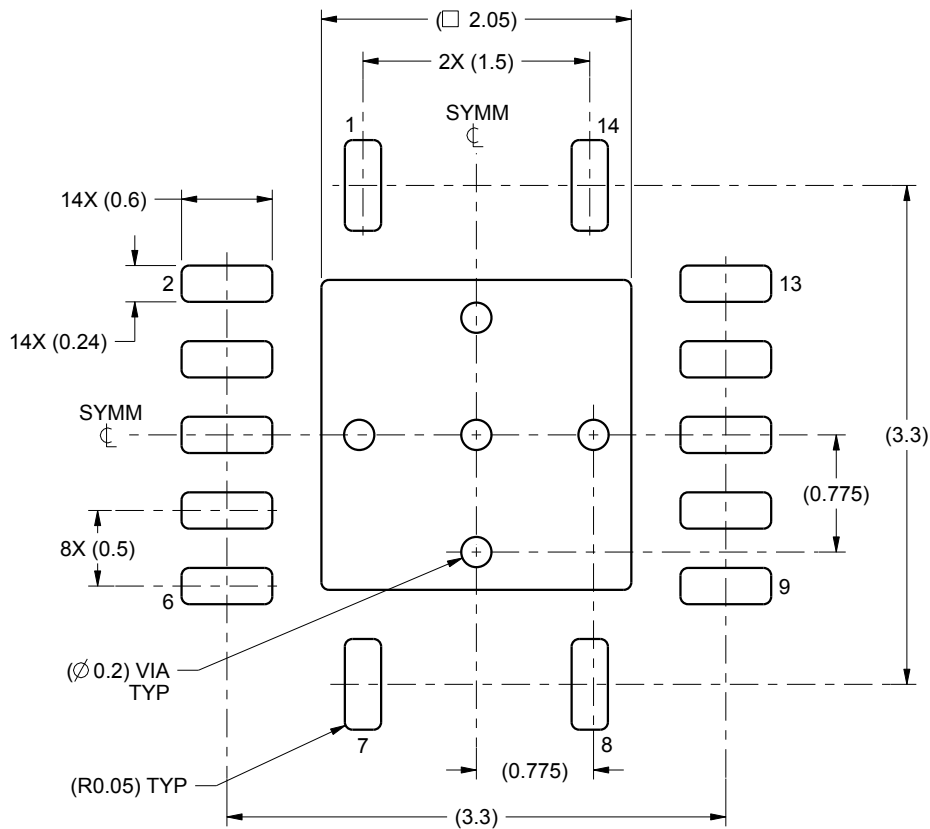
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

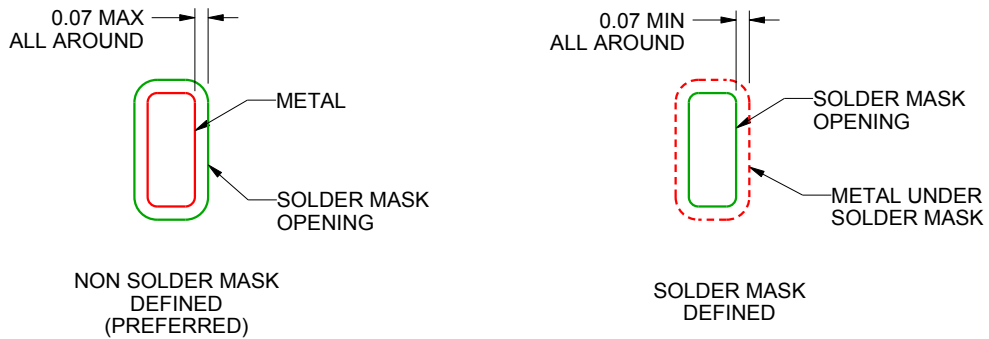
RGY0014A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4219040/A 09/2015

NOTES: (continued)

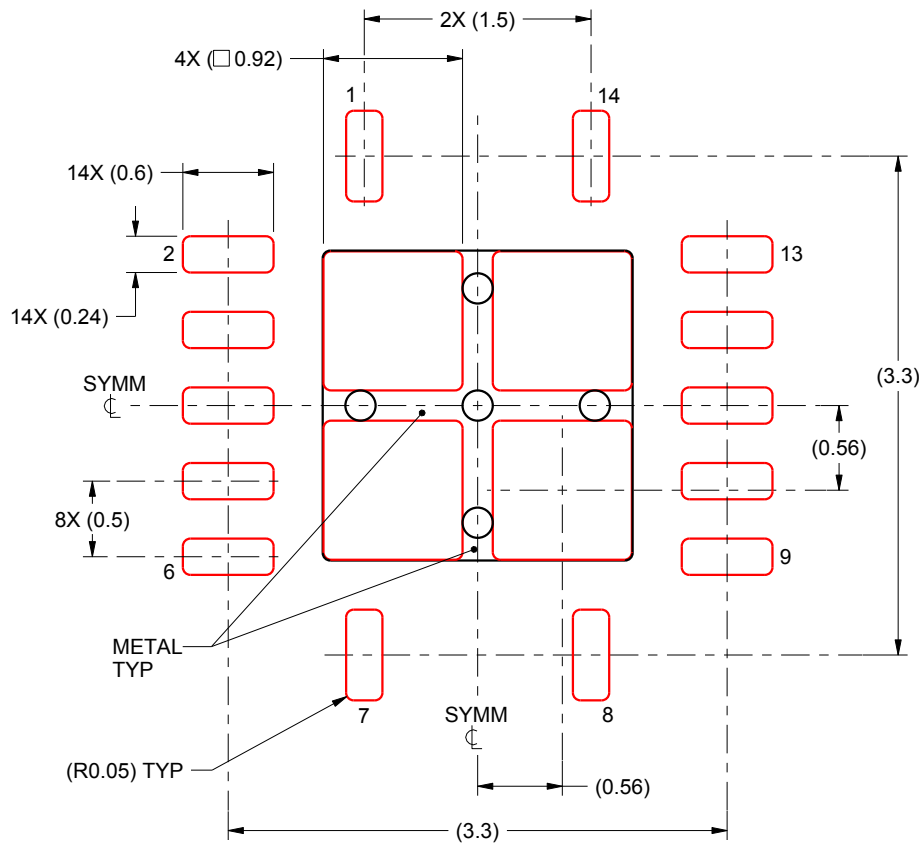
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN

RGY0014A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4219040/A 09/2015

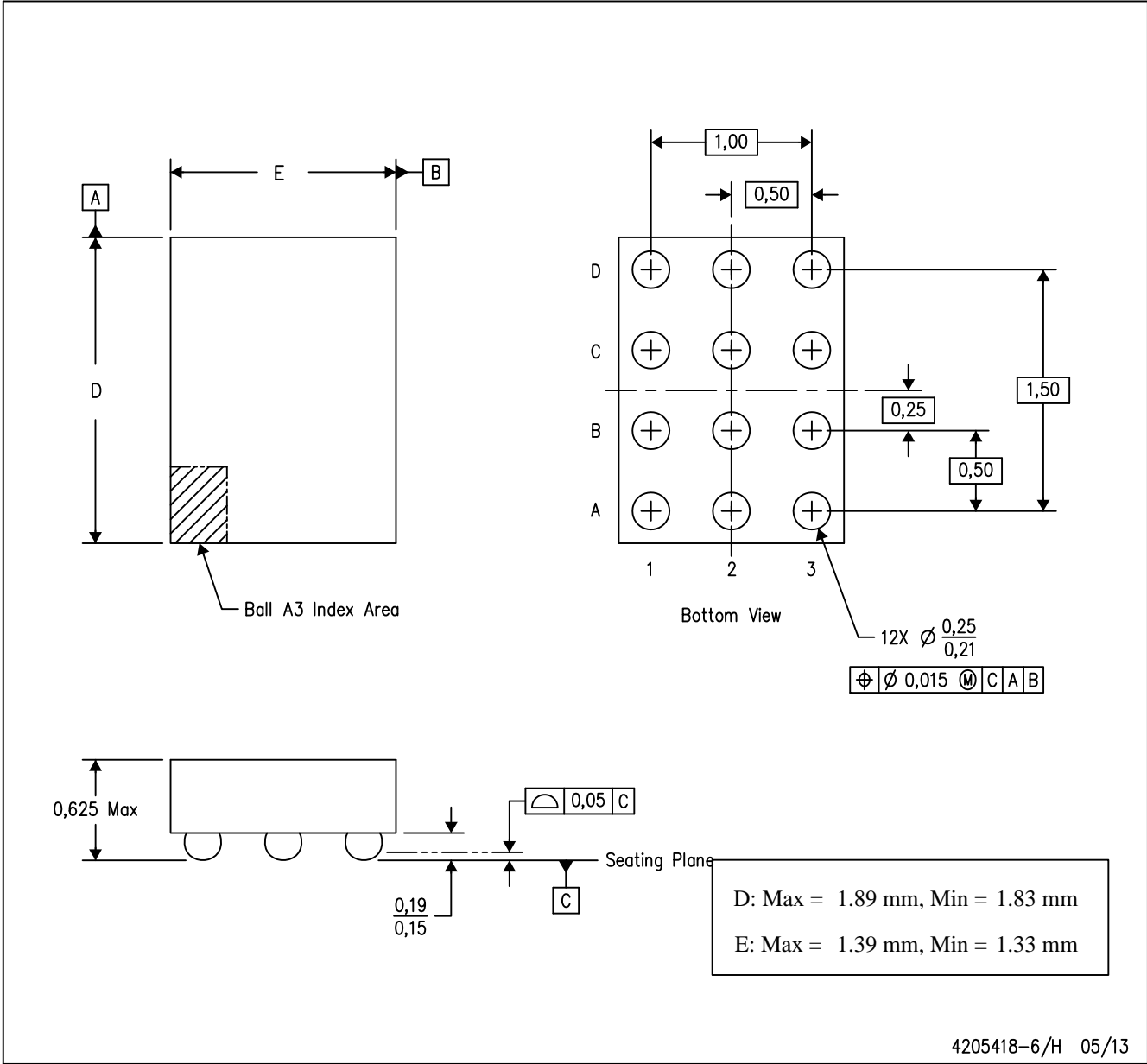
NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

YZT (R-XBGA-N12)

(CUSTOM) DIE-SIZE BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

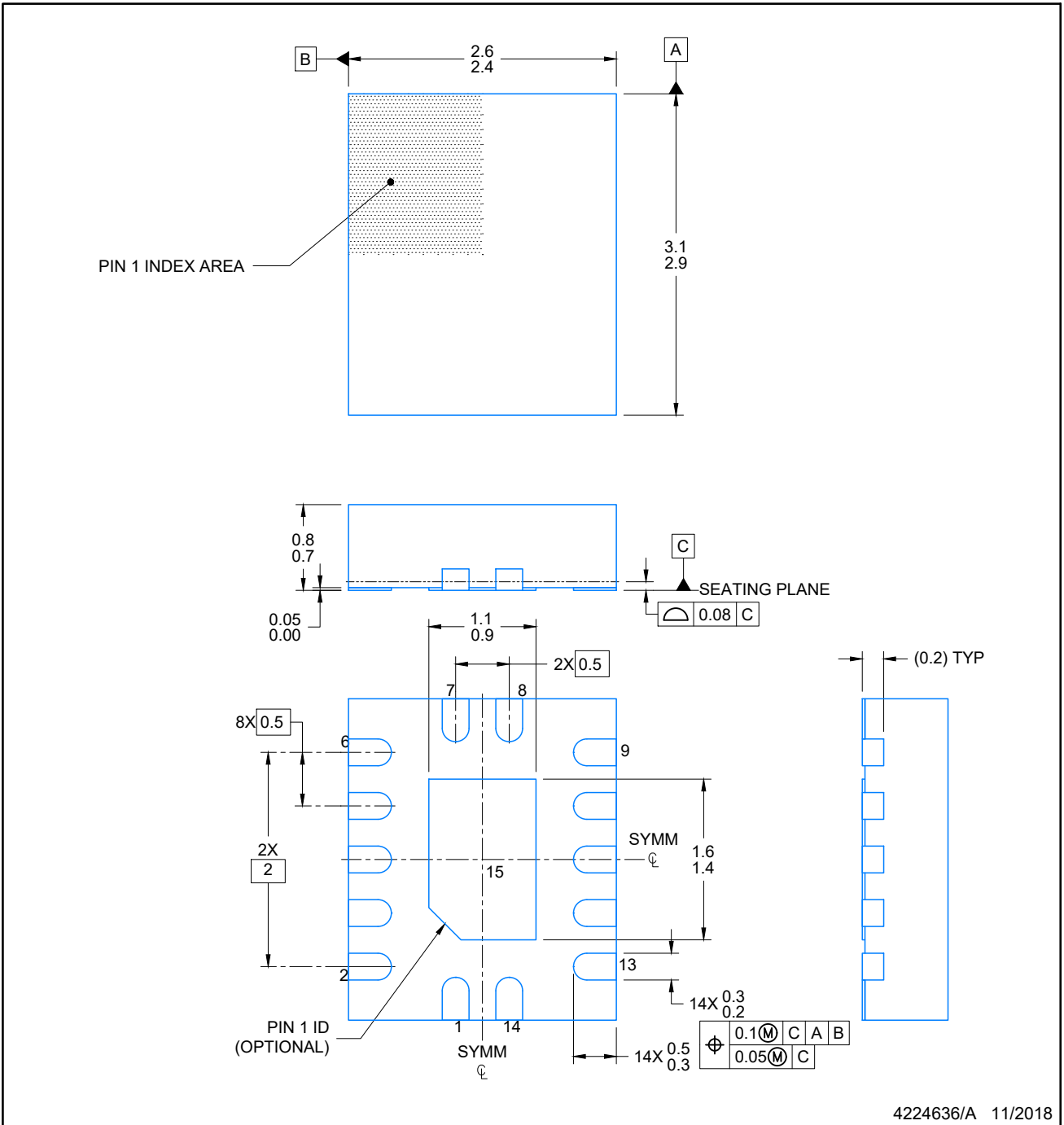
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227145/A



4224636/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

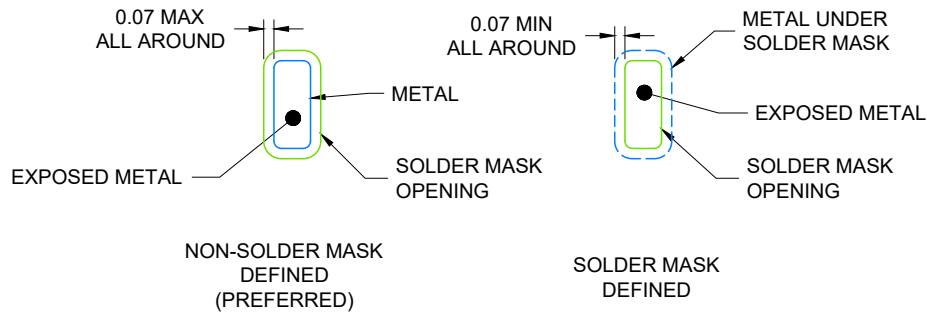
BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司