

摘要

Σ - Δ (也被称为 Δ - Σ) 模数转换器 (ADC) 通常用于模拟感应和测量应用, 在这些应用中, 高分辨率优先于快速采样频率。不过, 这些 ADC 并不像逐次逼近寄存器 (SAR) ADC 那样广为人知, 因此设计人员在使用这些 ADC 时可能会面临更多挑战。虽然 TI 提供各种分立式 ADC, 但一些 MSP430™ 微控制器 (MCU) 具有集成式 Σ - Δ ADC。本应用报告旨在介绍这些 Σ - Δ ADC, 其中简要说明了它们在实际应用中的工作原理, 比较了它们的主要特性并回答了常见难题。若要从总体上了解有关这些 ADC 的更多信息, 请观看 [使用 \$\Sigma\$ - \$\Delta\$ ADC 进行设计培训系列](#)。更多相关信息, 请参阅器件特定数据表 and 用户指南。

内容

1 引言: MSP Σ-Δ ADC 和常见应用	3
2 MSP Σ-Δ ADC 产品系列	3
3 Σ-Δ ADC 概述	4
4 MSP Σ-Δ ADC 特性	5
4.1 ADC 输入: 差分或单端	5
4.2 输入通道: 独立或多路复用	5
4.3 集成缓冲器	5
4.4 集成 PGA	5
4.5 失调电压校准: 内部或外部	5
4.6 电压基准: 内部或外部	5
4.7 ADC 调制器时钟频率: 固定或可调	5
4.8 采样率与数据速率	5
4.9 转换模式: 单次或连续	5
4.10 ADC 通道组	5
4.11 预加载	6
4.12 输出格式: 单极或双极数据	6
4.13 模块同步	6
4.14 架构: 离散时间与连续时间	6
5 常见 MSP Σ-Δ ADC 配置问题的解决方案	7
5.1 ADC 输入配置	7
5.2 ADC 时钟配置	9
5.3 ADC 结果	10
5.4 基准电压模块 (REF) 配置	10
5.5 硬件建议	11
6 常见问题解答	11
7 参考文献	12

插图清单

图 3-1. 典型 Σ - Δ ADC 方框图	4
图 5-1. 模拟输入等效电路示例	7
图 5-2. 抗混叠滤波器示例	9

表格清单

表 2-1. MSP Σ - Δ ADC 特性比较	3
---	---

商标

MSP430™ and TINA-TI™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言：MSP Σ - Δ ADC 和常见应用

多个 MSP430™ MCU 系列 (例如 MSP430AFE2xx、MSP430F67xxA 和 MSP430i20xx) 具有集成式 24 位 Σ - Δ (SD) ADC 模块，而其他传统系列 (例如 MSP430F42x、MSP430F47x 和 MSP430F20x3) 采用性能较低且功能较少的 16 位 SD ADC 模块。本文档主要讨论具有 24 位 SD ADC 模块的器件，但也可用作传统器件的参考文档。

与分立式解决方案相比，这些 MSP430 MCU 可通过将高性能模拟器件与数字模块组合为需要更少外部元件和更小 PCB 空间的片上系统 (SoC) 解决方案来实现高精度应用，例如具有单个传感器或小型阵列的被动红外 (PIR) 运动检测器、红外 (IR) 温度计、收益级电表和光伏逆变器。

2 MSP Σ - Δ ADC 产品系列

表 2-1 比较了 MSP430 MCU 中 SD ADC 模块的主要特性。

表 2-1. MSP Σ - Δ ADC 特性比较

参数	SD16	SD16_A	CTSD16	SD24_A	SD24_B	SD24	SDHS
MSP430 器件系列	F(E)42x(A)	F20x3 F(G)42x0 F(G)47x F47(1)xx	FG6x2x	AFE2xx	F67xx(1)(A)	i20xx	FR50xx FR60xx
独立 ADC (简称“通道”) 的数量 ⁽¹⁾	1、3	1、3、4、6、7	1	1、2、3	2、3、4、6、7	2、3、4	1
调制器频率范围	0.5 至 1 MHz	0.03 至 1.1 MHz	1.024 MHz	0.03 至 1.1 MHz	0.03 至 2.3 MHz	1.024 MHz	68 至 80 MHz
过采样率 (OSR) 范围	32 至 256	32 至 1024	32 至 256	32 至 1024	1 至 1024	32 至 256	10 至 160
最大 ADC 采样频率 (数据速率)	31.25 kHz	34.375 kHz	32kHz	34.375 kHz	2.3MHz ⁽²⁾	32kHz	8MHz
最大满量程 (FSR)	±500 mV	±500 mV	±928 mV	±500 mV	±930 mV	±928 mV	±500 mV
可编程增益放大器范围	1 至 32	1 至 32	1 至 16	1 至 32	1 至 128	1 至 16	0.5 至 34.5
用于 PGA 失调电压测量的内部短接	是	是	是	是	是	否	否
集成缓冲器	否	是 ⁽³⁾	是	否	否	否	否
分组 ADC 通道	是	是 ⁽³⁾	是	是	是	是	否
与外部模块 (例如 SAR ADC) 同步	否	否	否	否	是	否	否
调制器阶数	二阶	二阶	二阶	二阶	二阶	二阶	三阶
数字滤波器类型	SINC ³	SINC ³	SINC ³	SINC ³	SINC ³	SINC ³	CIC ⁷ (第 1 级) CIC ¹ (第 2 级)
架构	离散时间	离散时间	连续时间	离散时间	离散时间	连续时间	离散时间

1. ADC 通道的数量取决于器件。
2. 该采样频率是理论上的最大值，可能不会产生有意义的结果。
3. 并未在所有器件上都实现。更多信息请参见器件专用数据表。

3 Σ - Δ ADC 概述

模数转换器的功能是将现实世界的信号转换为抽象表示，以便进行数字处理。ADC 有几种不同的架构，包括斜坡、流水线、SAR 和 SD。每种架构都有其优点和缺点。例如，SAR ADC 支持的吞吐量通常比 SD ADC 高，但分辨率通常要低一些。此外，SD ADC 支持负输入电压，而大多数 SAR ADC 不支持。本应用报告重点介绍 SD ADC，您可以观看 [为您的应用选择最佳 ADC 架构培训系列](#) 的 [第 1 部分](#) 以了解有关不同 ADC 架构的更多信息。

典型的 Σ - Δ (也被称为 Δ - Σ) ADC 如图 3-1 所示，其中包含两个主要元件：调制器和抽取滤波器。在高层面上，调制器充当模拟前端，对模拟输入信号进行采样，将其转换为调制数字位流，然后馈入抽取滤波器。抽取滤波器包含一个数字滤波器和一个抽取器。数字滤波器将位流转换为模拟信号的过采样数字表示，抽取器对转换后的结果进行欠采样以产生数字输出。

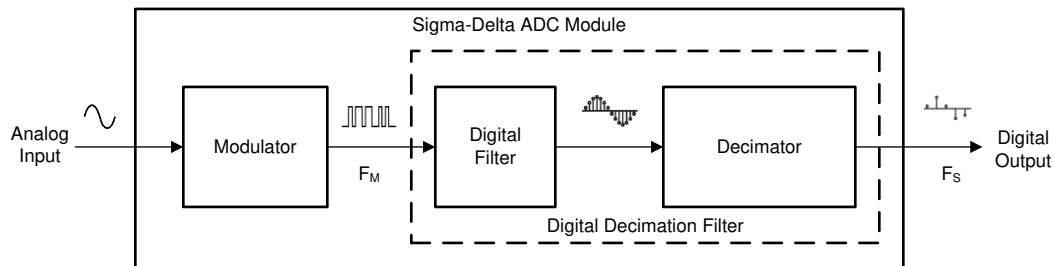


图 3-1. 典型 Σ - Δ ADC 方框图

若要了解有关 SD ADC 工作原理的更多信息，请观看 [为您的应用选择最佳 ADC 架构培训系列](#) 的 [第 3 部分](#) 和 [第 4 部分](#)。此外，请参阅器件特定数据表和用户指南。

4 MSP Σ - Δ ADC 特性

4.1 ADC 输入：差分或单端

差分输入测量正极引脚和负极引脚之间的电压差，而单端输入测量正极引脚和地面之间的电压差。SD ADC 和一些 SAR ADC 具有差分输入，但大多数 SAR ADC 具有单端输入。差分输入的主要优点是消除了共模噪声 - 如果每个输入端都存在噪声，则电压差就是没有噪声的信号。差分输入可用作单端输入，但动态范围会减半。

4.2 输入通道：独立或多路复用

表 2-1 中的 SD16、CTSD16 和 SDHS 模块具有带多路复用输入的单 ADC 通道，具体取决于器件。这些模块可能适合大多数应用，但每个输入都是按顺序测量的，而不是同时测量。如果抽取滤波器仍包含来自先前输入的样本，则在输入之间进行切换可能会导致同步问题和噪声。不过，表 2-1 中的其他 SD ADC 模块支持在其各个独立 ADC 通道上同时采样。

4.3 集成缓冲器

表 2-1 中的 SD16_A 和 CTSD16 模块具有集成缓冲器，具体取决于器件。在需要高阻抗外部电路（例如高阶无源滤波器）的应用中，这些缓冲器有助于防止外部电路影响 ADC 的最短稳定时间。

4.4 集成 PGA

表 2-1 中的 SD ADC 采用了具有各种范围的集成 PGA。PGA 无需外部运算放大器即可放大低振幅信号。请注意，对于每个通道，随着 PGA 增益设置的增大，FSR 会降低。

4.5 失调电压校准：内部或外部

表 2-1 中除 SD24 和 SDHS 之外的 SD ADC 模块包含用于简化 PGA 失调电压校准的功能。即使连接了外部电路，也可以通过软件启用内部短接以轻松测量该失调电压，而不是在外部将 ADC 输入端短接在一起。完成校准之后，可以分别手动从数字输出中减去或向其添加正失调电压或负失调电压。

4.6 电压基准：内部或外部

表 2-1 中的 SD ADC 模块都支持内部或外部电压基准。若要了解有关支持的电压范围的更多信息，请参阅器件特定数据表。

4.7 ADC 调制器时钟频率：固定或可调

表 2-1 中的 CTSD16 和 SD24 模块具有固定频率调制器时钟，而其他模块具有可调调制器时钟，支持更广泛的采样频率。可调调制器时钟有助于支持可能需要特定采样频率或相干采样的应用，在这种场景下，采样频率跟踪输入信号的频率，以确保每个输入周期具有固定数量的样本用于后处理。

4.8 采样率与数据速率

表 2-1 中的 SD ADC 模块具有不同的 OSR 范围和分辨率。过采样率 (OSR) 是模拟输入信号的采样率与数字输出的数据速率的抽取比。在 MSP 文档（包括数据表和用户指南）中，采样率通常被称为调制频率，数据速率通常被称为采样频率。

4.9 转换模式：单次或连续

表 2-1 中的 SD ADC 模块都支持单次或连续转换。单次转换对于需要较低采样频率的应用很有用，但每次转换都必须通过在软件中设置寄存器位或使用计时器来手动触发。连续转换需要手动启动，但随后会自动触发。这种方法更简单，并且由于触发器不需要 CPU 干预，可将更多的 CPU 带宽用于执行其他任务。

4.10 ADC 通道组

表 2-1 中具有多个通道的 SD ADC 模块支持通道组。通道组可以有多个并且可以具有不同的采样模式。通道组有助于实现多个通道之间的同步。

4.11 预加载

预加载表示 ADC 转换之间的部分采样延迟。当应用每个通道的预加载值后，下一次 ADC 转换会因特定数量的调制器时钟周期而延迟，其范围为零（无延迟）至 OSR 减 1（几乎为整个采样延迟）。此外，延迟是可以累积的 - 将初始预加载值和任何后续预加载值相加以产生总延迟。当该值超过 OSR 减一时，总延迟回滚。必须在软件中实现整个采样延迟。对于一组同时启动的通道，可以独立调整每个通道的预加载以对齐周期性（交流）信号。但是，相对于跟踪应用于每个通道的预加载，停止转换，更新预加载值，然后重新启动转换要容易一些。请注意，非周期性（交流）信号不需要预加载。有关如何使用预加载的更多详细信息，请参阅器件特定用户指南。

4.12 输出格式：单极或双极数据

表 2-1 中的 SD16_A 和 SD24_A 模块支持单极和双极格式，而其他 SD ADC 模块仅支持双极格式。单极格式忽略负输入信号，但双极格式支持正负输入。两种双极性格式是偏移二进制（输出值范围为零至 FSR）和二进制补码（输出值范围为 -FSR 至 +FSR）。

4.13 模块同步

表 2-1 中的 SD24_B 模块具有触发发生器，其行为类似于另一个通道，但会触发其他模块（例如 SAR ADC）以同步 ADC 转换。

4.14 架构：离散时间与连续时间

CTSD16 和 SD24 模块采用连续时间架构，而其他模块则采用离散时间架构。这两种架构之间的主要区别在于输入信号的采样位置。离散时间 SD ADC 模块使用开关电容器输入级对输入信号进行采样。连续时间 SD ADC 模块在调制器输出附近对输入信号进行采样。若要了解有关这两种架构的更多信息，请参阅《[连续时间 \$\Sigma\$ - \$\Delta\$ ADC](#)》。

5 常见 MSP Σ - Δ ADC 配置问题的解决方案

设计人员可能不太熟悉 SD ADC 模块，因此他们可能会在其设计的评估、开发甚至生产阶段遇到噪声高于预期或性能低于预期等问题。本节旨在提供快速解决常见 SD ADC 配置问题的指南。

5.1 ADC 输入配置

5.1.1 稳定时间超过建议的最小值

对于没有集成缓冲器的离散时间 SD ADC 模块，外部电路的源电阻、采样电容（通常随 PGA 增益设置而变化）和指定的调制频率都会因开关电容器输入级而影响 ADC 稳定时间。图 5-1 显示了 SD24_B 模块输入级的模拟等效电路，可以在《MSP430x5xx 和 MSP430x6xx 系列用户指南》的模拟输入特性一节中找到该图。

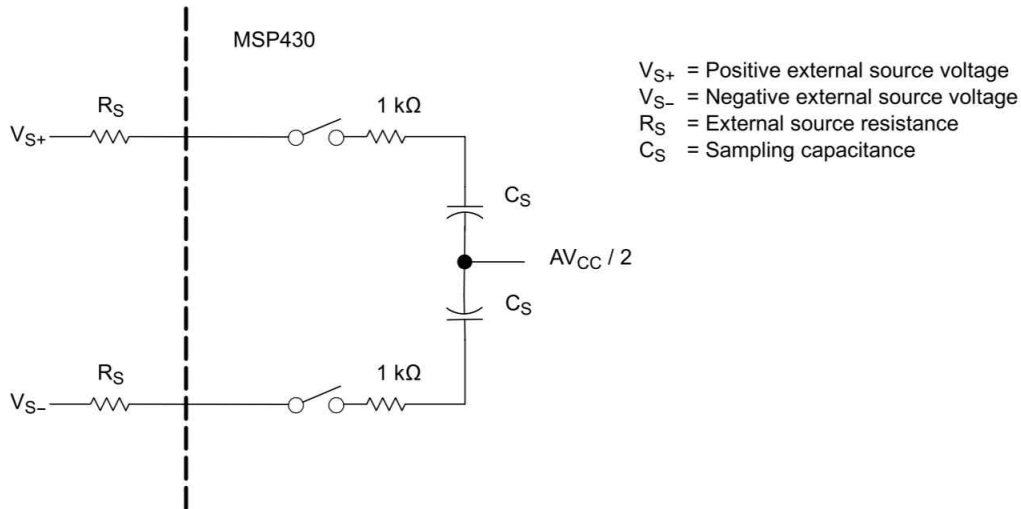


图 5-1. 模拟输入等效电路示例

如果实际稳定时间超过指定调制频率的最短稳定时间，则可能会在数字输出中观察到更多噪声，因为输入信号在下次采样之前不会完全达到稳定。有关用于计算最短稳定时间的公式，请参阅器件特定用户指南。例如，方程式 1 和方程式 2 显示了 SD24_B 模块的最短稳定时间计算公式，可以在《MSP430x5xx 和 MSP430x6xx 系列用户指南》的模拟输入特性一节中找到这些公式。

$$t_{\text{Settling}} \geq (R_S + 1 \text{ k}\Omega) \times C_S \times \ln \left(\frac{\text{Gain} \times 2^{17} \times V_{\text{Ax}}}{V_{\text{REF}}} \right) \quad (1)$$

其中

$$f_M = \left(\frac{1}{2 \times t_{\text{settling}}} \right) \text{ and } V_{\text{Ax}} = \max \left(\left| \frac{AV_{\text{CC}}}{2} - V_{\text{S}+} \right|, \left| \frac{AV_{\text{CC}}}{2} - V_{\text{S}-} \right| \right) \quad (2)$$

外部电路的电阻在 MSP 文档中被称为源电阻。不过，大多数设计中的外部电路可能包括电阻器、电容器和电感器网络。这可能会导致源电阻在不同的输入频率上发生显著变化，因此在本应用报告中其被称为源阻抗。

降低外部电路的源阻抗可以缩短稳定时间，但这种做法可能并不可行（例如，设计已经投入生产）。理想情况下，在初始开发阶段就应了解外部电路对稳定时间的影响。可以使用 TINA-TI™ 来模拟外部电路并计算最大源阻抗。

降低采样电容（降低 PGA 增益设置）也可以缩短稳定时间，但这种做法也可能是不可行的（例如，输入信号的振幅很小）。采样电容器代表阻抗，因为这些电容器不是纯阻性元件。

降低调制频率（请注意，这是模拟信号的实际采样率）是缩短稳定时间的最简单的方法，但这也会降低采样频率（数据速率）。

对于 CTSD16 和 SD24 等连续时间 SD ADC 模块，该架构不具有开关电容器输入级，因此最短稳定时间不适用。不过，这并不意味着源阻抗可以无限大。

5.1.2 输入信号的振幅超过 FSR

FSR 是输入信号的最大建议振幅。FSR 取决于指定的 PGA 增益和基准电压设置，并且因 SD ADC 模块而异。超过 FSR 会使数字输出中的噪声显著增大，因为 PGA 会变饱和。在使用内部电压基准时，在器件特定数据表中针对各种 PGA 增益设置提供了 FSR 值。而如果您使用外部电压基准，器件特定数据表也提供了用于重新计算 FSR 值的公式。

理想情况下，对于您的应用允许的最小 PGA 增益，输入信号的最大幅度应略小于 FSR。采用该方法的原因有两个：1) 信纳比 (SINAD) 性能随着输入信号振幅接近 FSR 而增加，以及 2) SINAD 性能随着 PGA 增益的增加而降低。不过，某些应用可能需要输出低振幅信号的传感器，这需要高 PGA 增益。例如，在某些计量应用中，低电阻分流器测量电流，但输出低振幅信号，因此需要高 PGA 增益。

对于均方根 (RMS) 输入，请确保先将 RMS 转换为峰值振幅，然后再将其与器件特定数据表中的峰值进行比较。方程式 3 显示了如何将正弦 RMS 振幅转换为峰值，但其他波形可能会使用不同的公式。

$$V_{\text{Peak}} = \sqrt{2} \times V_{\text{RMS}} \quad (3)$$

5.1.3 缺少抗混叠滤波器

输入信号的频率成分可能会以成倍的 ADC 采样率进行重复，导致与原始信号混叠。如果缺少抗混叠滤波器，则这些混叠会增加数字输出中的噪声，因为其频率超过了奈奎斯特速率。请注意，采样率实际上是调制频率，因此抗混叠滤波器的建议截止频率通常为调制频率的 1%。通常，抗混叠滤波器是使用连接到每个差分输入的外部一阶或二阶电阻电容 (RC) 滤波器来实现的。图 5-2 显示了抗混叠滤波器如何连接到 PIR 运动检测器设计中的差分 ADC 输入。若要了解更多信息，请观看 [混叠和抗混叠滤波器培训视频](#)。

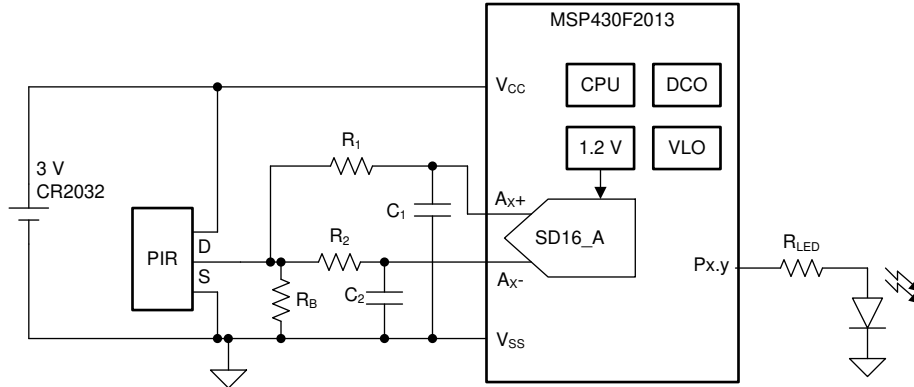


图 5-2. 抗混叠滤波器示例

5.2 ADC 时钟配置

5.2.1 错误的采样频率

如果您认为采样频率不正确，请确保准确测量采样频率。常见的方法包括在 SD ADC 中断服务例程 (ISR) 的开始和结束时切换通用输入/输出 (GPIO)，并使用逻辑分析仪或示波器测量 GPIO 脉冲的频率。请注意，采样频率等于数字输出的数据速率。在 MSP 文档中，调制器时钟被称为 F_{SD} 或 F_M ，采样频率被称为 F_S 。如 [方程式 4](#) 所示，采样频率由调制频率 (采样率) 与 OSR 之比决定。例如，如果调制频率为 1.024MHz，OSR 为 256，则采样频率 (数据速率) 为 4kHz。

$$F_S = \frac{F_M}{OSR} \quad (4)$$

如果采样频率不正确，请检查每个通道的时钟源、分频器和模式等调制器时钟设置是否正确。接下来，检查 OSR 设置。对于 MSP430i20xx 器件，确保包含用于校准 REF、DCO 和 SD ADC 模块的启动代码。否则，采样频率可能不正确。

此外，检查每个通道中的抽取滤波器的中断延迟设置。如果您忘记了该延迟，那么您可能会错误地认为采样频率不正确。中断延迟使抽取滤波器能够在触发第一个 SD ADC 中断请求之前达到稳定 (或充满)，并且最多可以进行七次转换，具体取决于模块。在单采样模式下，每次转换开始后都会发生延迟。在连续采样模式下，延迟在第一次转换开始后发生，但不会在后续转换之后发生，因为抽取滤波器已经达到稳定。如果输入信号发生显著变化且滤波器未正常稳定，则数字输出可能无效。

5.3 ADC 结果

5.3.1 意外的输出数据格式

如果出现意外的数字输出格式，请检查每个通道的格式设置。可以在器件特定用户指南中找到格式选项和寄存器设置。例如 SD24 模块，请参阅《[MSP430i2xx 系列用户指南](#)》的[输出数据格式](#)一节。

5.3.2 低分辨率

如果您使用的是 SD24_A、SD24_B 和 SD24 模块，那么您或许只能看到 16 位数字输出，而不是 24 位。每个模块以不同的方式处理抽取滤波器的数字输出。SD24_B 模块具有两个独立的结果寄存器，用于存储上下转换结果。SD24_A 和 SD24 模块具有单个结果寄存器，必须切换该寄存器才能读取完整的数字输出。对于所有这些模块，必须手动组合这些结果。通常，抽取滤波器输出的总位数取决于每个通道的 OSR 设置，数字输出到结果寄存器的映射取决于对齐设置。

5.3.3 数据解释

数字输出代表 \pm -FSR 范围内的输入信号（取决于格式）。不过，输出可能会转换为具有可理解单位（例如度或安培）的真实值。通常，该过程包括应用表示已知条件（例如 25°C）的已知输入信号，然后将相关数字输出与比例因子相乘，再在必要时加上或减去失调电压。比例因子还有助于避免最终结果中出现小数（例如，使用 2500°C 来表示 25.00°C）。失调电压可能包括单位转换失调电压和 PGA 失调电压。

5.4 基准电压模块 (REF) 配置

5.4.1 在内部基准电压和外部基准电压之间进行选择

请注意，SD ADC 模块都支持内部或外部电压基准。通常，内部基准电压可满足大多数应用的精度要求，因此不需要外部基准电压。这可以释放布板空间，简化电路板布局并降低总体系统成本。不过，外部基准电压通常可提供更高的精度和灵活的电压选项，从而能够支持振幅稍大的差分输入信号。

5.4.2 连接建议使用的电容器

应连接哪些电容器取决于使用的是内部基准电压还是外部基准电压。某些电容器用作缓冲器，而另一些电容器用于滤除噪声。器件特定数据表和用户指南介绍了应将哪些电容器连接到各个引脚及其应具有的电容量。如果这些电容器连接不正确，则可能会出现过大的噪声或其他意外行为。

5.4.3 延迟转换直到基准电压稳定

开启内部或外部基准电压后，确保在基准电压完全稳定后开始转换。否则，基准电压可能不会稳定，这会在数字输出中引入噪声。可以使基准电压持续保持开启，也可以在转换之间手动关闭和开启基准电压以省电。某些模块（例如 SD24_B）会在转换之间自动关闭内部基准电压。器件特定数据表应指定基准电压开启或稳定时间。可以在启动期间或转换期间使用示波器在外部测量基准电压以检测不稳定性。请注意，示波器探头可能会影响在基准电压引脚上观察到的电容并影响转换。

5.5 硬件建议

- 对于未使用的引脚、所需的外部连接 (VDSYS、VASYS) 和电容器值 (CVCORE、CVREF) ，遵循器件特定数据表中的所有建议
- 遵循 ADC 和 REF 模块的器件特定用户指南中的接地和噪声注意事项
- 在 AVCC 和 DVCC 之间放置一个 0Ω 电阻器，则之后无需为了滤除数字噪声而添加不同的电阻器 (例如 10Ω)
- 添加与建议的 CDVCC 和 CAVCC 电容器并联的 $0.1\mu\text{F}$ 去耦电容器，并使其靠近器件以滤除更多噪声
- 为 ADC 输入采用对称式 PCB 布线，以便匹配布线长度和阻抗

6 常见问题解答

如何计算有效位数 (ENOB) ?

对于交流输入，可以使用 [方程式 5](#) 和器件特定数据表中提供的 SINAD 值来计算 ENOB。对于直流输入，ENOB 等效值被称为有效分辨率，而数据表中未提供该数据。可以使用已知直流输入的多个样本的标准偏差来计算有效分辨率。直流输入的其他重要性能参数包括积分非线性 (INL) 和微分非线性 (DNL)。有关有效分辨率的更多详细信息，请参阅《[争议焦点：ENOB 还是有效分辨率？](#)》博客。

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02} \quad (5)$$

为何在数据表中找不到 Σ - Δ ADC 采样频率？

通常不提供采样频率，因为采样频率取决于调制器频率和 OSR。对于某些 SD ADC 模块，调制器频率和 OSR 是可调的，因此一对调制器频率和 OSR 组合会导致相同的采样频率，但具有不同的性能。

是否可以将差分 ADC 输入用作单端 ADC 输入？

可以，但请注意，此配置会将动态范围减半。若要了解有关动态范围的更多信息，请参阅《[模数规格和性能特性术语表](#)》。

共模输入电压和差分输入电压之间有何区别？

共模意味着在正负 ADC 引脚上施加相同的电压。在这种情况下，由于引脚之间没有电压差，差分电压将为零 (忽略任何噪声或失调电压)。可以同时施加共模输入和差分输入。例如，可以对两个引脚施加直流偏置，同时在引脚之间施加交流信号。有关绝对最大额定值，请参阅器件特定数据表。

使用了什么类型的抽取滤波器？

[表 2-1](#) 中除 SDHS 以外的 SD ADC 模块采用了二阶调制器和三阶 (SINC³) 抽取滤波器 (根据其频率响应的形状，也被称为梳状滤波器)。SDHS 模块具有三阶调制器和多级 CIC 抽取滤波器。若要了解有关抽取滤波器的更多信息，请参阅《 [\$\Delta\$ - \$\Sigma\$ ADC 中的数字滤波器类型](#)》和器件特定用户指南。

用户指南中的抽取滤波器的频率响应可以提供什么信息？

器件特定用户指南中的频率响应说明了各种输入频率下的衰减水平。陷波以采样频率（数据速率）的倍数出现，会使输入信号完全衰减。通常，最小采样频率基于奈奎斯特速率，但可以使用更高的采样频率来移动第一个陷波并减小输入信号的滚降衰减。增大采样频率可能会因较低的 OSR 而降低性能，并且会捕获更多的谐波含量，这种做法是否可取取决于应用。若要了解有关滚降衰减的更多信息，请阅读博客《[量化谐波失真 - SINC3 滤波器滚降的影响](#)》。

如果您决定在设计中使用分立式 ADC，请注意，某些 ADC 采用具有 50 或 60Hz 陷波的抽取滤波器，以特意滤除由交流电源供电的电源中的噪声，因此不应在计量应用中使用这些 ADC 来测量交流功率或电能。

是否可以将外部调制器与内部抽取滤波器一同使用？

可以，SD24_B 模块支持外部调制器。若要了解有关该配置的更多信息，请参阅[使用隔离式分流传感器的多相电能测量参考设计 \(TIDA-00601\)](#)。

7 参考文献

- 德州仪器 (TI)： [使用差分 \$\Delta\$ - \$\Sigma\$ ADC 测量单端 0 至 5V 信号](#)
- 德州仪器 (TI)： [\$\Sigma\$ - \$\Delta\$ ADC 的工作原理 \(第 1 部分\)](#)
- 德州仪器 (TI)： [MSP430F677xA、MSP430F676xA、MSP430F674xA 多相计量 SoC 数据表](#)
- 德州仪器 (TI)： [使用 MSP430F2013 的超低功耗运动检测](#)
- 德州仪器 (TI)： [模数规格和性能特性术语表](#)
- 德州仪器 (TI)： [MSP430i2xx 系列用户指南](#)
- 德州仪器 (TI)： [MSP430x2xx 系列用户指南](#)
- 德州仪器 (TI)： [MSP430x4xx 系列用户指南](#)
- 德州仪器 (TI)： [MSP430x5xx 和 MSP430x6xx 系列用户指南](#)
- 德州仪器 (TI)： [连续时间 \$\Sigma\$ - \$\Delta\$ ADC](#)
- [ADC 中的抗混叠](#)：并非所有信号都会呈现出它们显示的样子
- [使用 \$\Delta\$ - \$\Sigma\$ ADC 进行设计](#)：优化性能的系统设计注意事项
- [了解采样率与数据速率](#)
- [连续时间 \$\Delta\$ - \$\Sigma\$ ADC 和离散时间 \$\Delta\$ - \$\Sigma\$ ADC 之间有何差异？](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司