

Application Note

如何以及为何要在 EtherCAT® 应用中使用 DP83826



Kristen Mogensen, Gerome Cacho

摘要

本文档介绍如何将 DP83826 连接到 EtherCAT® ESC。

内容

1 引言.....	2
2 EtherCAT® 规范要求和建议.....	2
3 设置 PHY 的不同方法.....	4
3.1 使用 Strap 配置设置 DP83826 PHY 以支持 EtherCAT® 配置.....	5
3.2 使用串行管理接口设置 DP83826 PHY.....	9
4 参考资料.....	11
5 修订历史记录.....	11

插图清单

图 3-1. DP83826 增强模式示例.....	5
图 3-2. Strap 配置连接示例.....	6
图 3-3. 增强型自动加载流程图.....	7
图 3-4. DP83826 基本模式示例.....	9

表格清单

表 2-1. PHY 选择指南.....	2
表 2-2. PHY 选择指南.....	4
表 3-1. 2 级 Strap 配置电阻比.....	6
表 3-2. 用于 EtherCAT® 的 DP83826 引脚 Strap 配置.....	8
表 3-3. 有效 EtherCAT® 配置中的 DP83826 寄存器转储.....	10

商标

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

所有商标均为其各自所有者的财产。

1 引言

在开始 EtherCAT® 设计时，首先请查看 [EtherCAT® Protocol, Physical Layer, EtherCAT® Processing Unit, FMMU, SyncManager, SII EEPROM, Distributed Clocks Data Sheet](#)。此文档介绍了如何将以太网 PHY 连接到 EtherCAT® ESC。此外，还介绍了 ESC 和以太网 PHY 之间所需的接口。这些接口为 PHY 管理接口 (PHY MI) 和 EtherCAT 接口，在前面引用的数据表图 1 中进行了说明。第 4 章 (物理层通用功能) 和第 5 章 (以太网物理层) 介绍了 ESC 和 PHY 之间的接口。此处要了解的一些关键点包括：

- 处于复位状态的 ESC 必须使 PHY 处于禁用状态 (直到激活 ESC 才能建立链路连接)。
- MII 接口的 TX_CLK、COL、CRS、TX_ER 引脚具有特殊用途。有关详细信息，请参阅表 14 (特殊/未使用的 MII 接口信号)
- EtherCAT® 具有特殊的设置，可以通过多个步骤确定“链路检测”。请参阅第 5.6 节，了解详细信息
- LINK_MII 信号，这通常是 LED 输出信号，指示 100Mbit/s 全双工链路
- 增强的链路检测功能，可确保每隔大约 10µs 检查一次链路信号。请参阅第 5.6.2 节了解详情。

2 EtherCAT® 规范要求和建议

另一个需要研究的参考是 EtherCAT PHY 规范。内容详见 EtherCAT® 主页的 [应用手册 - PHY 选择指南](#)。表 2-1 展示了该文档版本 2.6 (2017-10-04) 的副本，以及 DP83826 的合规情况。此外，还提供了 DP83826 的其他数据表参考。

表 2-1. PHY 选择指南

PHY 选择指南要求	DP83826 合规情况	数据表参考章节 ⁽¹⁾
PHY 必须符合 IEEE 802.3 100Base-TX 或 100Base-FX。	DP83826 符合 IEEE 802.3 标准	9.1
PHY 必须支持 100Mbit/s 全双工链路。	DP83826 支持 10Mbit/s 和 100Mbit/s 全双工运行	9.5.1 ANAR (0x4)
PHY 必须提供 MII (或 RMII/RGMII) 接口。	DP83826 提供 MII 和 RMII ⁽²⁾ 接口连接	9.1、8.6 (延迟时序)
PHY 必须在 100Base-TX 模式下使用自动协商。	DP83826 具有由 strap 配置控制的自动协商功能	9.3.1、9.4
PHY 必须支持 MII 管理接口。	DP83826 支持最高时钟速率为 24MHz 的串行管理接口 (SMI)	9.3.11
PHY 必须支持 100Base-TX 模式下的 MDI/MDI-X 自动交叉。	DP83826 通过自动 MDIX 功能支持这一点	9.3.2、9.5 PHYCR (0x19)
PHY 链路中断反应时间 (链路中断到链路信号/LED 输出变化的时间) 必须小于 15µs，才能实现冗余操作。	DP83826 具有名为“FLD”的快速链路丢弃功能，可将启用链路中断指示之前的观察窗口时间缩短至 10µs	8.6 (链路接通时序)、9.3.16.2
PHY 不得修改前导码长度。	DP83826 不会修改前导码长度	不适用
PHY 不得使用 IEEE802.3az 节能以太网。	DP83826 支持 IEEE802.3az 标准。此功能默认为禁用	9.3.3.1
PHY 必须提供 RX_ER 信号 (MII/RMII) 或 RX_ER 作为 RX_CTL 信号的一部分 (RGMII)。	DP83826 通过标准接口 (包括 RX_ER 信号) 支持 MII/RMII	9.3.9、9.3.10
PHY 必须提供一个信号来指示 100Mbit/s (全双工) 链路，通常是可配置的 LED 输出。信号极性为低电平有效或针对某些 ESC 可配置。	DP83826 具有四个 ⁽³⁾ ⁽⁴⁾ 可能进行编程的 LED 输出，每个输出可显示 100Mbit/s (全双工) 链路	9.3.17、9.5 MLEDCR (0x25)、LEDX_GPIO_CFG (0x303 - 0x306) 和 LEDCFG (0x460)
PHY 地址应等于逻辑端口号 (0 - 3)。某些 ESC 还支持固定偏移量 (例如，偏移量 16，PHY 地址为逻辑端口号加 16 : 16-19)、任意偏移量，甚至是可单独配置的 PHY 地址。如果这些情况都不可行，PHY 地址应配置为逻辑端口号加 1 (1 - 4)，但在这种情况下无法使用某些功能 (例如，增强型链路检测)，因为除了可选的可配置 PHY 地址偏移量外，PHY 地址已在 ESC 内部完成硬编码。	DP83826 具有八个可使用 strap 配置电阻进行设置的 PHY 地址	9.4.1.1.1、9.4.1.2.1
PHY 配置不得依赖于通过 MII 管理接口进行的配置，也就是说，必须在上电后启用所需的功能，例如，采用默认设置或 strap 配置选项。PHY 的启动不应依赖 MII 管理交互，即 MDC 时钟，因为除非 EtherCAT® 主站要求，否则许多 ESC 都不通过管理接口与 PHY 进行通信 (只有具有 MI 链路检测功能和配置的 EtherCAT® IP 内核才能在没有主站交互的情况下进行通信)。	DP83826 具有自动加载 (bootstrap) 配置，可将 PHY 设置为允许 EtherCAT® 通信的特定模式。	5、9.4.1.1

表 2-1. PHY 选择指南 (续)

PHY 选择指南要求	DP83826 合规情况	数据表参考章节 ⁽¹⁾
连接到同一个 ESC 的所有 PHY 以及 ESC 本身必须共享相同的时钟源，因此可省略 TX FIFO。为实现这一目的，可让 PHY 的时钟源来自 ESC 时钟输出或让 PHY 和 ESC 的时钟源来自同一个石英振荡器。ESC10/20 使用 TX_CLK 作为时钟源，两个 PHY 必须共享相同的石英振荡器。	只要遵循该时钟源的规格，就可以使用 DP83826 的外部时钟源来解决这个问题。DP83826 也有一个时钟输出选项可用于提供第二个 PHY 的时钟	8.6 (25MHz 或 50MHz 输入时钟容差)、9.3.8
TX_CLK 和 PHY 的时钟输入之间的相位偏移可在 ESC 内部通过手动配置或自动方式进行补偿。PHY 和 ESC 必须共享相同的时钟源，因此时钟周期无法在器件之间改变。	此要求适用于 MAC 接口且与 PHY 无关	不适用
手动 TX 移位补偿：ET1100、ET1200 和 IP 内核提供了 TX 移位配置选项 (可配置的 TX_EN/TXD 信号延迟 0/10/20/30ns)，该选项可用于所有 MII 端口。因此，连接到同一个 ESC 的所有 PHY 必须在 TX_CLK 与 PHY 的时钟输入之间具有相同的固定相位关系，且容差为 $\pm 5\text{ns}$ 。每次 PHY 上电或建立链路时，相位关系必须相同。ESC10/20 使用 TX_CLK 作为器件时钟源，因此无需进行配置，但必须满足手动 TX 移位补偿的要求。	对于此规格，DP83826 的标称容差为 $\pm 2\text{ns}$ ，最大容差为 $\pm 4\text{ns}$	8.6 (延迟时序)
自动 TX 移位补偿：IP 内核分别针对每个端口支持自动 TX 移位补偿。借助自动 TX 移位补偿，不需要在每次 PHY 上电或建立链路时使 PHY 具有相同的固定相位关系。	此要求适用于 MAC 接口且与 PHY 无关	不适用

- (1) 对应于 [DP83826 确定性、低延时、低功耗、10/100Mbps 工业以太网 PHY](#) 数据表。
- (2) 请注意，RMII 接口的典型延时 (通常) 高于 EtherCAT® 规定的延时要求。
- (3) DP83826 提供了不同的 LED 引脚供使用，具体取决于 DP83826 所处的模式：增强或基本模式。
- (4) LED3 功能仅在 RMII 模式下可用。

表 2-2 展示了应用手册 - PHY 选择指南 文档版本 2.6 (2017-10-04) 的副本，以及 DP83826 对相关建议的遵从性。此外，还提供了 DP83826 的其他数据表参考。

表 2-2. PHY 选择指南

PHY 选择指南建议	DP83826 对建议的遵从性	数据表参考章节
接收和发送延迟应是确定性的，并且应尽可能小。	DP83826 基于 MII 接口的 RX 和 TX 信号延时为 $\pm 2\text{ns}$	8.6 (延迟时序)
如果使用标准最大长度为 100m 的电缆，为保持安全裕度，最大电缆长度应 $\geq 120\text{m}$ 。	DP83826 经测试的最大电缆长度在 150m 以上	1
ESD 容差应尽可能高 (4kV 或更佳) 。	DP83826 已在没有外部保护的情况下经过测试，根据 HBM，对于 MDI 引脚，可承受的 ESD 等级为 $\pm 5\text{kV}$ ，对于除 MDI 引脚外的所有引脚，可承受 $\pm 2\text{kV}$ ，而根据 CDM，对于所有引脚，均可承受 $\pm 0.75\text{kV}$ 。采取外部保护措施时，IEC 61000-4-2 ESD： $\pm 8\text{kV}$ 接触、 $\pm 15\text{kV}$ 空气，IEC 61000-4-4 EFT： $\pm 4\text{kV}$ @ 5kHz 和 100kHz	8.2、1
基线漂移应得到补偿 (为了在最大电缆长度下进行基线漂移测量，PHY 应符合 ANSI X3.263 DDJ 测试模式) 。	DP83826 经测试在补偿基线漂移方面具有出色的表现。建议将寄存器 0xB[0] 设置为 0，否则基线漂移测试将因为 PHY 丢弃链路而失败，原因是能量检测机制会将测试模式视为一次链路丢弃。	9.5.1 CR3 (0xB)、 9.3.16.2
如果只有 RX+ 和 RX- 线路之一断开连接，PHY 还应在 $15\ \mu\text{s}$ 的链路中断反应时间内检测到链路中断。	快速链路丢弃功能可在启用链路中断指示之前将观察窗口时间缩短至 $10\ \mu\text{s}$	8.6 (快速链路脉冲时序)、9.3.16.2
无论接收到的符号如何，只要这些符号有效，PHY 都应保持链路状态。	只要快速链路丢弃功能确定没有理由丢弃链路，PHY 就能够保持链路状态	9.3.16.2
用于 100Base-FX 的以太网 PHY 应该完全实现远端故障 (FEF) (生成和检测) 功能。	DP83826 为 100Base-TX PHY，不支持 100Base-FX	1
MDC 不应包含上拉、下拉电阻器，因为某些 ESC 会将此信号用作配置输入信号。	MDC 具有内部下拉电阻 (标称 $10\text{k}\Omega$)，定义上拉时必须考虑到这一点	8.5、6、7
理想情况是将自动协商广播限制为 100Mbit/s (全双工) (通过硬件使用 strap 配置选项进行配置) 。	广播可以通过 strap 配置进行设置	9.4.1
功耗应尽可能低。	在 3.3V VDDA 和 VDDIO 电平条件下，通过 MII 接口连接的 100BaseTX 在最坏情况下的总功耗为 67mA	8.5 (功耗 [工作模式最坏情况，...])
I/O 电压：当前的 ASIC 和 FPGA ESC 应支持 3.3V 电压，对于最新的 FPGA ESC，还建议支持 2.5V、1.8V I/O。	DP83826 支持 3.3V 和 1.8V I/O 电压	8.3、9.1
根据 I/O 电压，采用单电源。	支持 3.3V 单电源	8.3、9.1
PHY 应使用 25MHz 的时钟源 (石英振荡器或 ESC 输出) 。	DP83826 支持晶体和振荡器输入	10.2.4.1 (25MHz 输入时钟容差)
应支持工业温度范围。	DP83826 支持 -40°C 至 105°C 的温度范围	8.3

3 设置 PHY 的不同方法

为了将 PHY 设置为正确的模式以使其能够在 EtherCAT® 环境中工作，必须使用串行管理接口或使用 strap 配置来进行一些设置。此设置就像将 PHY 编程为以特定模式进行设置一样。以下两节说明了如何设置 PHY。

3.1 使用 Strap 配置设置 DP83826 PHY 以支持 EtherCAT® 配置

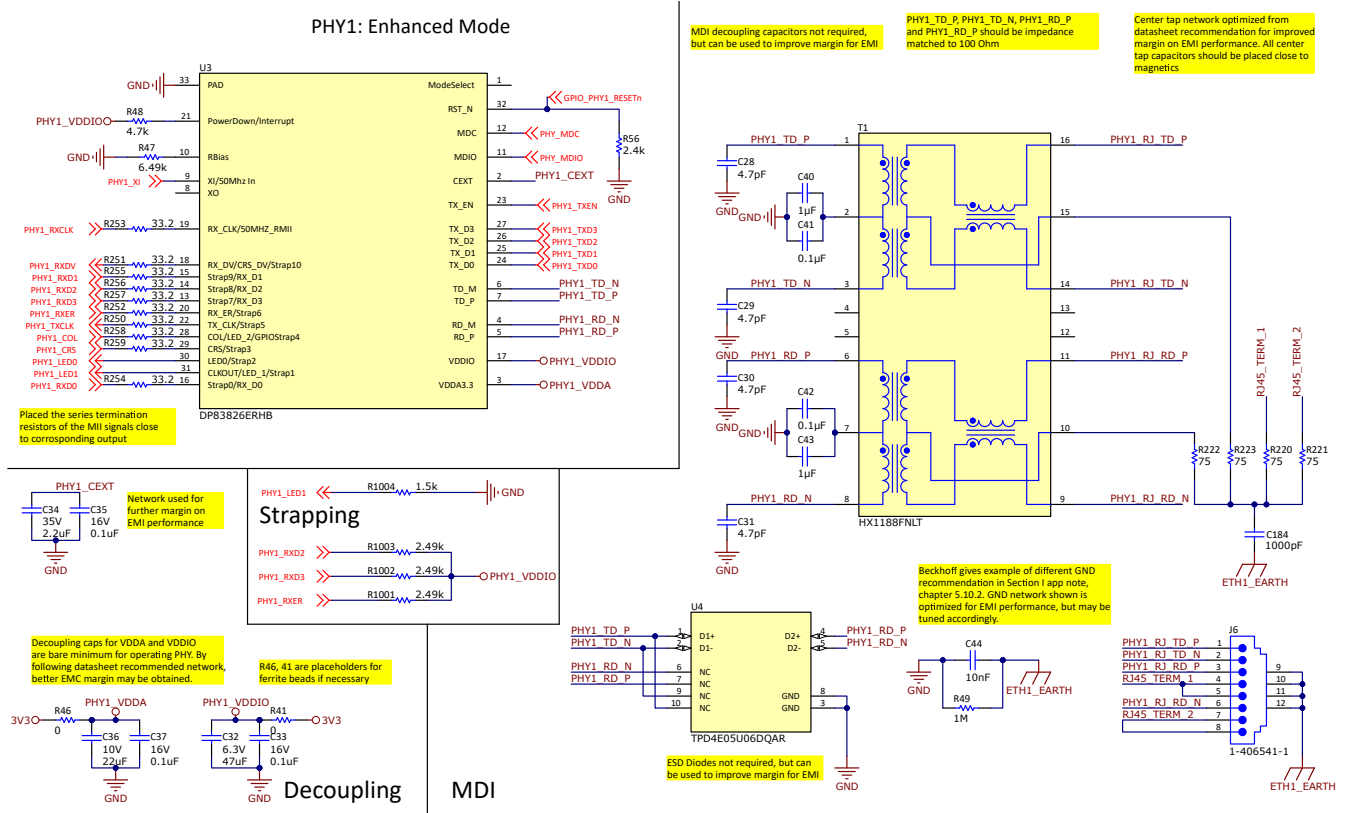


图 3-1. DP83826 增强模式示例

3.1.1 Strap 配置选项

DP83826 确定性、低延时、低功耗、10/100Mbps 工业以太网 PHY 数据表中描述硬件自举配置的部分描述了如何在不使用串行管理接口 (SMI) 的情况下配置器件。数据表的这一部分介绍了每种模式下的配置选项：增强和基本模式。如果不使用 SMI 对 PHY 进行编程，则必须在硬件中将 DP83826 设置为增强模式，从而启用 EtherCAT 功能。

将 PHY 设置为在 EtherCAT® 系统中工作时，需要注意 PHY 具备一个 LED，该 LED 设置为显示 100Mbit 全双工，并且信号极性为低电平有效或可针对某些 ESC 进行配置。

要定义 LED 极性，可使用以下电路进行高电平有效或低电平有效极性配置。PHY 有一个内部电路可测量所需的极性并根据输入信号自动配置。下图展示了高电平有效下拉 strap 配置电路和低电平有效上拉电路的建议网络。R_p 用于定义 strap 配置网络，而 R_{CL} 是用于保护 LED 元件的限流电阻。

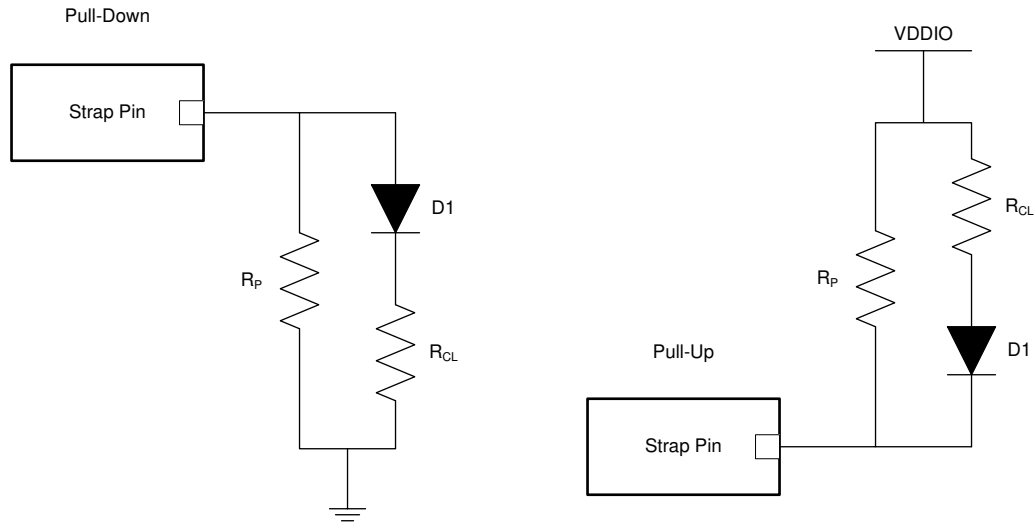


图 3-2. Strap 配置连接示例

在某些情况下，在设置 strap 配置之前，该自动 LED 功能已被禁用。有关更多详细信息，请参阅数据表的第 9.4.1 节 - 硬件自动加载配置。

参考表 3-1 可以确定用于自动加载 PHY 的电阻值。

表 3-1. 2 级 Strap 配置电阻比

模式	建议的电阻	
	R_{HI} (k Ω)	R_{LO} (k Ω)
内部 10kΩ 下拉 (PD) 引脚		
0 (默认值)	断开	断开
1	2.49	断开
内部 10kΩ 上拉 (PU) 引脚		
0	断开	1.5
1 (默认值)	断开	断开

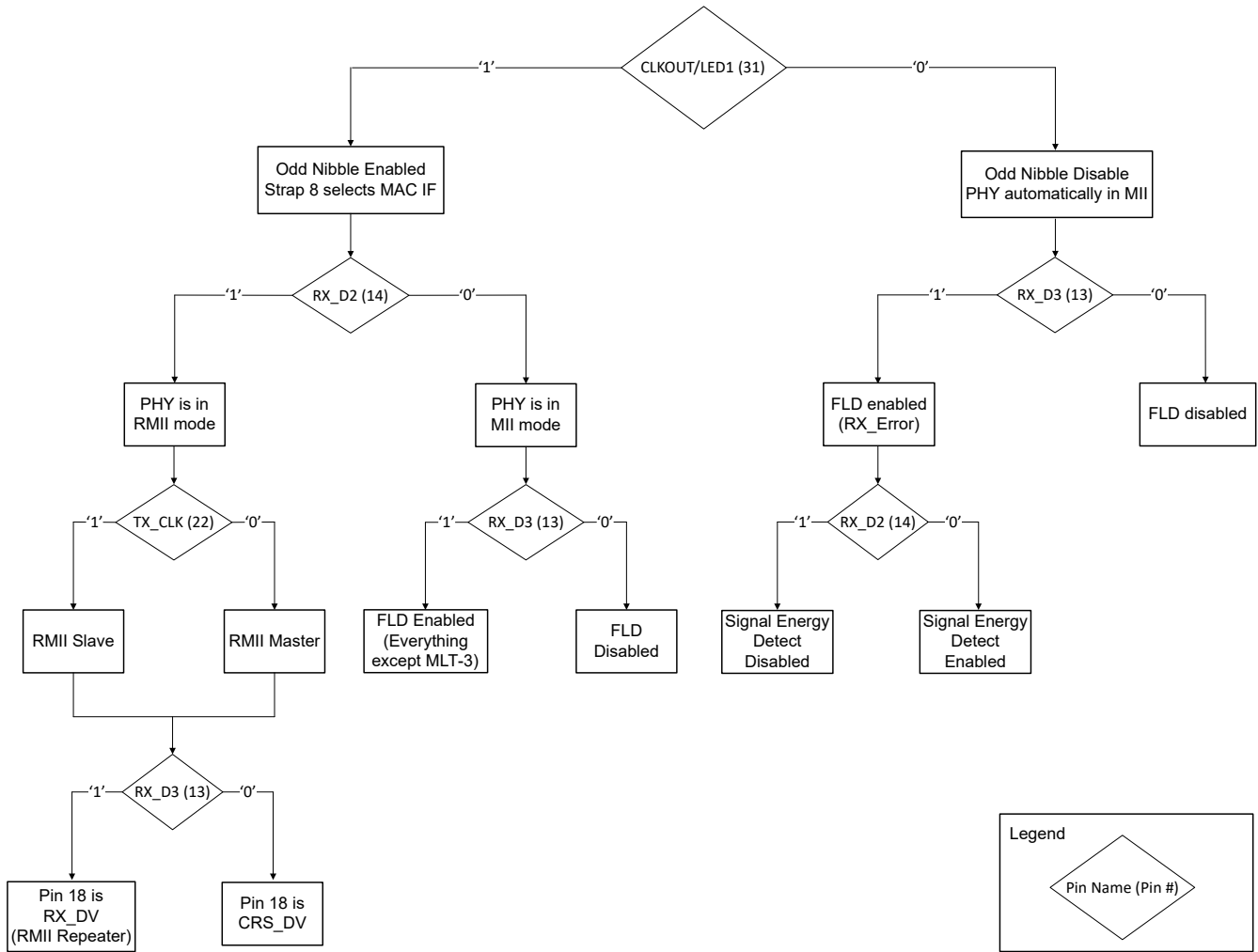


图 3-3. 增强型自动加载流程图

该表中的信息表明必须以特殊方式启用快速链路断开功能。仅启用快速链路断开功能，该功能使用 RX 错误计数进行检测。将 DP83826 器件设置为在 EtherCAT 系统中使用增强模式运行时，请使用表 3-2 中所示的配置。

表 3-2. 用于 EtherCAT® 的 DP83826 引脚 Strap 配置

Strap 配置编号 引脚 (引脚名称)	增强模式功能	默认值	Strap 配置设置
Strap 配置 0 引脚 16 (RX_D0)	自动协商配置 如果禁用自动协商，则强制进行 100Mbps 通信	0	0 (启用自动协商)
Strap 配置 1 引脚 31 (CLKOUT/LED1)	奇半字节检测配置 启用后，如果 PHY 在线上看到未完成的半字节数据，则会损坏数据并产生 RX 错误。还会选择 MII 作为 MAC 接口	1	0 (禁用奇半字节检测)
Strap 配置 2 引脚 30 (LED0)	PHY_ADD0	0	使用上拉定义地址。
Strap 配置 3 引脚 29 (CRS/LED3)	PHY_ADD1	0	使用上拉定义地址。
Strap 配置 4 引脚 28 (COL/LED2)	PHY_ADD2	0	使用上拉定义地址。
Strap 配置 5 引脚 22 (TX_CLK)	RMII 模式配置 (主/从)	0	0 (主模式) 由于 Strap 配置 1 强制 PHY 进入 MII 模式，因此无需考虑该 Strap 配置
Strap 配置 6 引脚 20 (RX_ER)	引脚 31 上的功能 (CLKOUT 或 LED1) 此引脚仅在 POR 时锁存，不会在硬件复位时重新锁存	0	1 (LED1)
Strap 配置 7 引脚 13 (RX_D3)	奇半字节禁用模式：为 RX 错误机制启用快速链路丢弃功能 奇半字节启用模式：为除 MLT-3 之外的所有机制启用快速链路丢弃功能 RMII 模式：中继器可配置	0	1 (为 RX 错误启用 FLD)
Strap 配置 8 引脚 14 (RX_D2)	奇半字节禁用模式：如果启用信号检测 (引脚 13)，请配置信号能量检测机制 奇半字节启用模式：选择 MAC 接口	0	1 (禁用信号能量检测功能)
Strap 配置 9 引脚 15 (RX_D1)	可自动 MDIX 配置	0	0 (启用自动 MDIX)
Strap 配置 10 引脚 18 (RX_DV)	自动 MDIX 禁用模式：设置 MDI 或 MDIX	0	0 (MDIX) 由于启用了自动 MDIX 功能，因此不需要。
引脚 1 (ModeSelect)	模式选择：增强或基本模式	1	1 (增强模式)

3.2 使用串行管理接口设置 DP83826 PHY

此设计使用了串行管理接口方法对 PHY 进行编程。请注意，在本例中，PHY 处于基本模式，以强制依赖于寄存器编程。

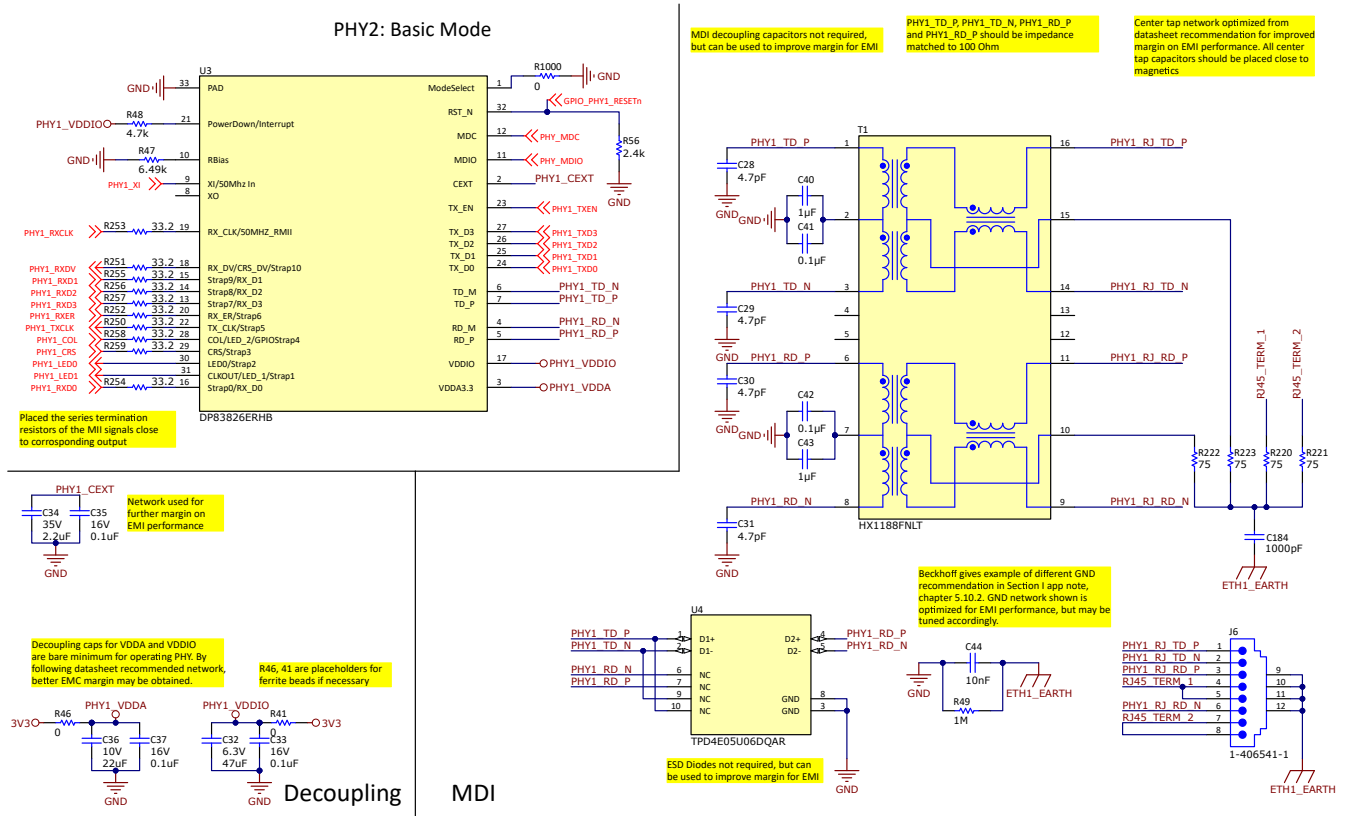


图 3-4. DP83826 基本模式示例

3.2.1 编程选项

DP83826 寄存器设置

在设置 DP83826 以用于 EtherCAT® 时，以下寄存器的写入值如下：

- LED 0**
Write to PHY register 0x19 value 0x8020 (*Auto-MDIX enable and enable LED0 config*)
Write to PHY register 0x18 value 0x0080 (*Active High polarity*)
- LED 1**
Write to PHY register 0x460 value 0x0005 (*100Mbit speed*)
Write to PHY register 0x469 value 0x0004 (*Active High polarity*)
Write to PHY register 0x304 value 0x0008 (*Set pin 31 (LED1) Auto negotiate enable configuration*)
Write to PHY register 0x04 value 0x01E1 (*Advertise which modes PHY support*)
Write to PHY register 0x09 value 0x0020 (*Enable Robust Auto MDIX*)
Write to PHY register 0x00 value 0x3300 (*Enable Auto negotiate and restart process*) **odd-nibble Detection Disable Configuration**
Write to PHY register 0x0A value 0x0001 (*Disable Odd-nibble detection*)
- Fast Link-Drop Enable**
Write to PHY register 0x0B value 0x0008 (*Enable FLD with correct FLD features RX Error count*)

利用前面的写入功能，现在可从两个 PHY 中读出以下寄存器设置。

表 3-3. 有效 EtherCAT® 配置中的 DP83826 寄存器转储

寄存器地址	MDIO PHY 地址 0x01
0x0	0x3100
0x1	0x786D
0x3	0xA111
0x4	0x1E1
0x5	0xCDE1
0x6	0xD
0x7	0x2001
0x8	0x0
0x9	0x24
0xA	0x100
0xB	0x0
0xF	0x0
0x10	0x4615
0x11	0x10B
0x14	0x0
0x15	0x0
0x17	0x49
0x18	0x480
0x19	0x8C21
扩展寄存器 ⁽¹⁾	
0x25	0x41
0x304	0x8
0x460	0x5
0x469	0x4

(1) 扩展寄存器访问需要一个包含 4 步的过程

4 参考资料

1. 德州仪器 (TI) , [DP83826 低功耗 10/100 以太网 PHY 数据表](#)。
2. 德州仪器 (TI) , [KSZ8081 至 DP83826E 系统更换 应用手册](#)。
3. Beckhoff , [PHY Selection Guide 应用手册](#)。
4. Beckhoff , [EtherCAT® Protocol, Physical Layer, EtherCAT® Processing Unit, FMMU, SyncManager, SII EEPROM, Distributed Clocks Data Sheet 数据表](#)。

5 修订历史记录

Changes from Revision B (March 2022) to Revision C (October 2023) Page

• 更新了摘要.....	1
• 添加了数据表参考.....	2
• 更新为使增强模式配置优先于基本模式.....	4
• 更新了 strap 配置表.....	5
• 添加了 PHY 的流程图和示例配置.....	5
• 更新了 DP83826 基本模式示例 图像.....	9
• 更新了寄存器转储表.....	9

Changes from Revision A (March 2021) to Revision B (March 2022) Page

• 添加了 使用 Strap 配置设置 DP83826 PHY 以支持 EtherCAT® 配置 主题.....	5
--	---

Changes from Revision * (June 2020) to Revision A (March 2021) Page

• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了整个出版物中提到 EtherCAT 的旧术语实例.....	1
• 在以太网 PHY 的建议部分中更新了基线漂移测试要点.....	9

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司