

使用 UCC28780 控制器和 UCC5304 隔离式同步整流驱动器实现零电压开关反激拓扑



摘要

本应用报告介绍了 UCC28780 有源钳位反激控制器如何与隔离式驱动器 UCC5304 配合使用，产生零电压开关反激 (ZVSF) 电源，从而与传统准谐振 (QR) 反激拓扑相比，在有竞争力的价格下实现更高的效率和功率密度。

内容

1 引言.....	2
2 拓扑概述.....	3
3 ACF 和 QR 之间的拓扑差异.....	4
4 应用简图.....	5
5 ZVSF 的优势和优点.....	6
6 使用 UCC28780 + UCC5304 实现 ZVSF 拓扑.....	7
6.1 UCC28780 主要特性.....	7
6.2 UCC5304 主要特性.....	7
6.3 主要规格.....	7
6.4 功率级参数.....	8
6.5 详细原理图说明.....	8
7 PMP21552 EVM.....	11
8 PMP21552 性能结果.....	12
8.1 效率.....	12
8.2 待机功耗.....	13
8.3 “微负载” (0.25W) 效率.....	13
8.4 传导 EMI.....	14
8.5 辐射 EMI.....	15
8.6 开关波形.....	17
9 总结.....	18
10 参考文献.....	18

商标

USB Type-C™ are trademarks of USB Implementers Forum.

所有商标均为其各自所有者的财产。

1 引言

由于开关损耗和变压器漏感能量的耗散，传统的定频反激变换器和准谐振 (QR) 反激变换器在其功率密度和上开关频率能力方面受到限制。有源钳位反激 (ACF) 变换器通过实现零电压开关 (ZVS) 和将泄漏能量回收到输出端，从而克服了这些限制。然而，这些好处不是免费的。ACF 需要一些额外的组件来实现这些好处：一个第二初级高侧开关、高侧驱动器/电平转换器、更大的钳位电容器等等。

本应用手册介绍了另一种 ZVS 反激 (ZVSF) 拓扑。该 ZVSF 拓扑仅实现 ZVS，即不回收泄漏能量。与 QR 和定频设计相比，ZVS 通过减小功耗来增加开关频率，因此变压器尺寸更小和功率密度更高。这为 ACF 提供了一种更简单、元件数量更少、性能中等的替代方案，就性能和元件数量复杂性而言，它介于 QR 和 ACF 之间。

对于中密度大容量应用而言，ZVSF 拓扑是一个很好的替代方案。本应用手册展示了如何通过次级侧同步整流 (SR)，将 ACF 控制器 UCC28780 与隔离式驱动器 UCC5304 配合使用，从而实现 ZVSF 拓扑。

2 拓扑概述

图 2-1 展示了总体拓扑架构以及一些典型波形。

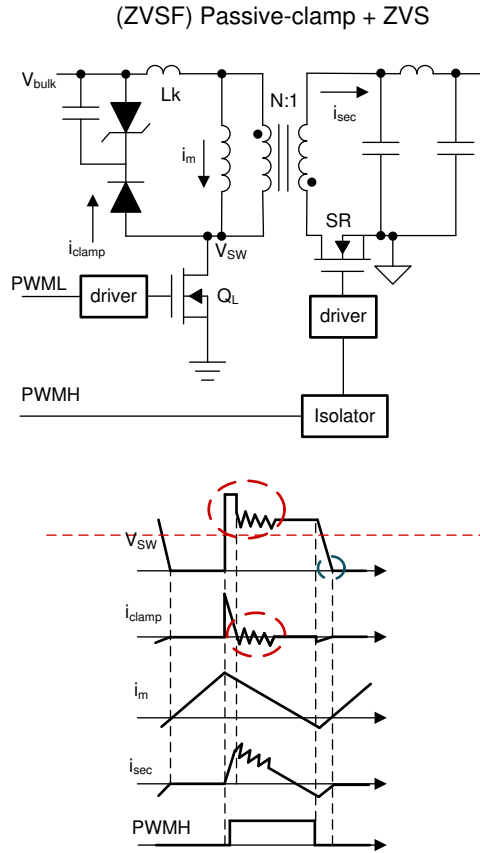


图 2-1. ZVSF 拓扑方框图和波形

与传统 QR 或定频反激拓扑相同，初级侧使用钳位缓冲器来限制初级 FET 上因漏感产生的 V_{ds} 应力，并且在钳位器中耗散大部分漏感能量。钳位器可以是 TVS 类型（如图 2-1 所示）或 RCD 缓冲器。

ZVSF 控制器在重负载下以转换模式 (TM) 运行，其中初级 FET 和次级同步整流器 (SR) 相互驱动，其间具有自适应死区时间。控制环路调节初级导通时间，进而调节初级励磁电流峰值，从而调节输出电压。次级 SR 导通时间延长至正常零电流点之外，以便允许在变压器中产生负励磁电流。当 SR 关断时，与负电流相关的能量使总漏极节点电容放电，当漏电压下降到接近零时，初级 FET 的下一个导通点出现，即 ZVS 导通。

3 ACF 和 QR 之间的拓扑差异

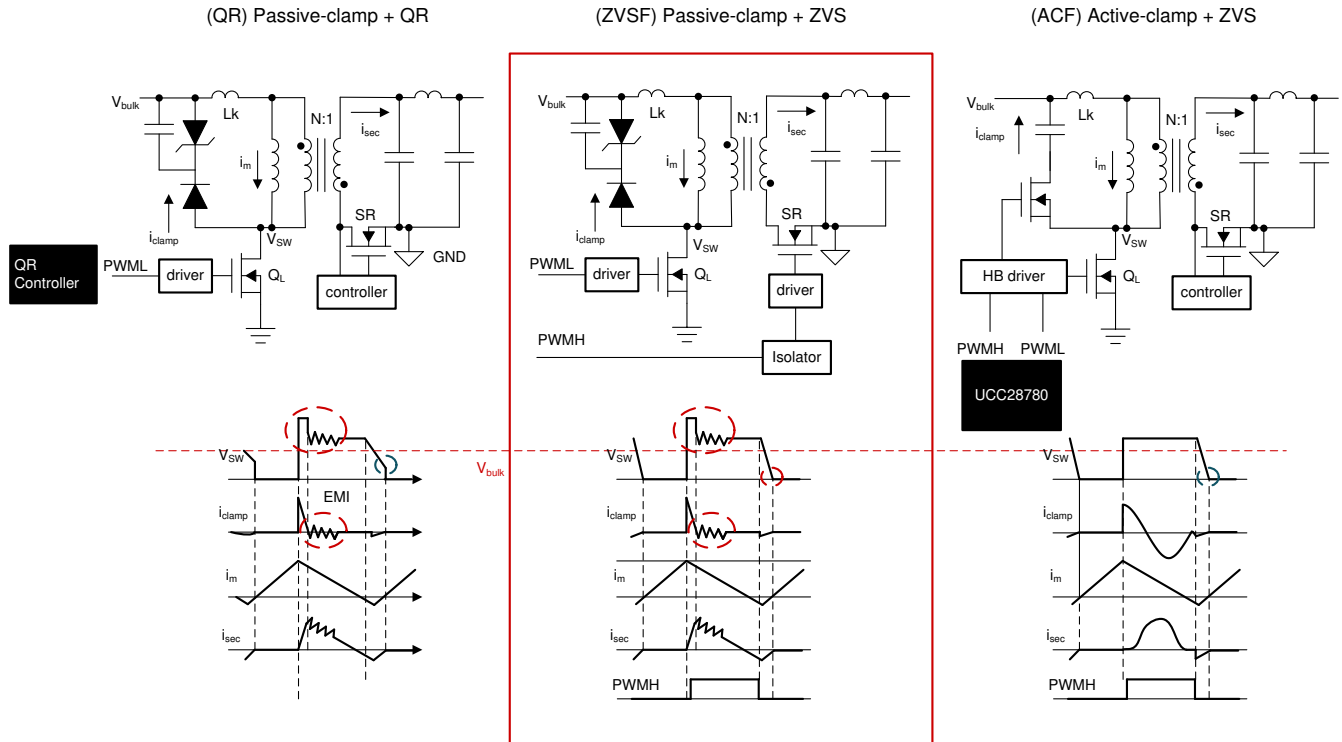


图 3-1. QR 和 ACF 之间的 ZVSF 的拓扑方框图和波形比较

图 3-1 展示了 ZVSF 电源电路和波形与 QR (而非 ACF) 更相似。对于 QR 和 ZVSF, 漏感能量不会再循环, 而是主要在初级钳位中耗散。假设变压器匝数比设计为反射电压近似于最小输入电压 (典型的 QR 设计目标), 在最小输入电压和最大额定输出电压下, 由于磁化电感和等效开关节点电容之间的自然谐振振铃, QR 设计通常已经接近 ZVS 运行。

然而, 在高线输入电压下, 即使在谐振环的第一个波谷接通时, 瞬时电压也不为零, 这点非常重要。因此, QR 设计只能在最小输入电压 (V_{IN}) 下实现 ZVS。对于宽输出电压范围应用 (例如 USB-C PD 和 PPS 充电器) 而言, ZVS 只能在 V_{IN} 最小, V_{OUT} 最大, V_{OUT} 电平较低, 且反射电压也较低时实现, 因此谷值切换将发生在有限的非零电压电平, 且不实现 ZVS。

通过将 QR 控制器转换为 UCC28780, 并将本地次级侧 SR 控制器更改为隔离式 SR 驱动器 UCC5304, 可以将现有的 QR 设计转换为 ZVSF。UCC28780 的 PWMH 输出通过隔离式驱动器代替 SR 控制器。根据 V_{IN} 和 V_{OUT} 电平产生刚好足够的负电流, ZVSF 拓扑就可以在整个 V_{IN} 和 V_{OUT} 范围内实现 ZVS, 并在整个工作范围内将任何 QR 级增强为 ZVSF 级。

4 应用简图

图 4-1 展示了使用 UCC28780 初级侧控制器和 UCC5304 隔离 SR 驱动器的应用简图。

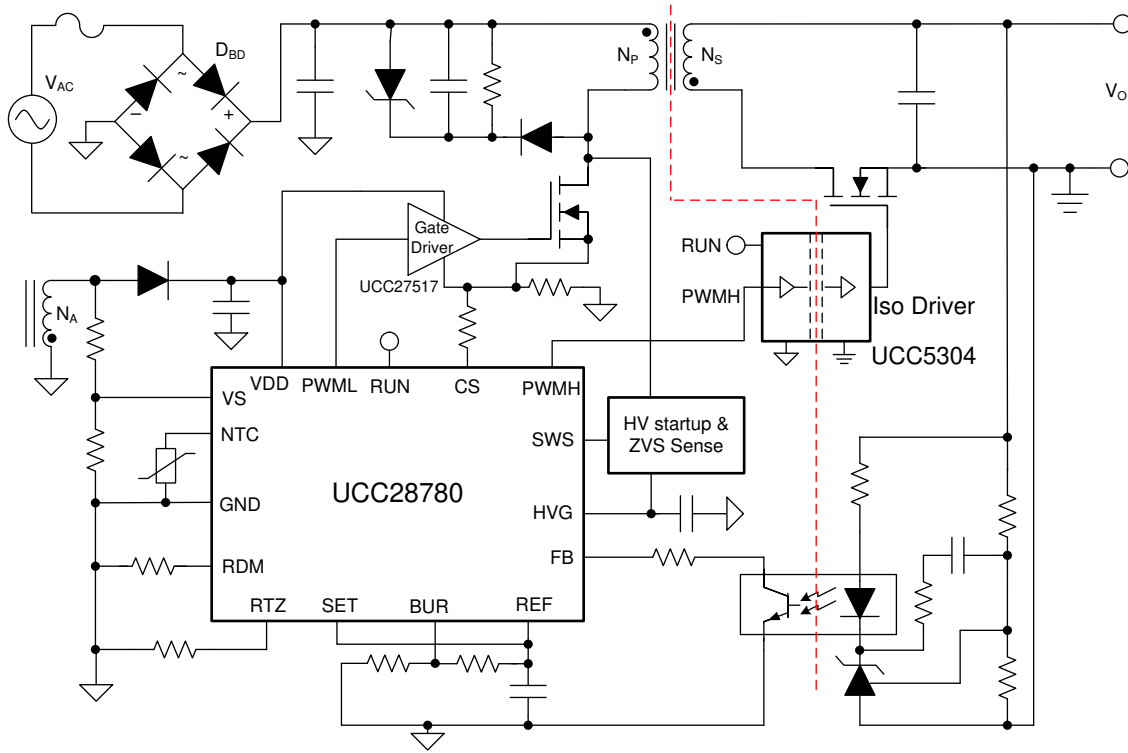


图 4-1. ZVSF 应用简图

UCC28780 SWS 引脚间接感应初级 FET 漏极电压，并且 SR 接通持续时间随着负载电流和大容量电容器电压的变化而自动调整，以实现 ZVS，实现最小过剩负磁电流，最大程度地提高效率。初级侧 RCD 缓冲器用于钳制初级 FET V_{DS} 。外部低端驱动器用于将逻辑电平 PWML 驱动信号连接到初级 FET 栅极。

UCC5304 隔离式驱动器用于驱动 SR 穿过初级和次级之间的增强型隔离栅。较短的传播延迟 (典型值为 28ns) 可确保较短的 SR FET 体二极管导通时间，有助于提高效率。

5 ZVSF 的优势和优点

表 5-1 总结了 ZVSF 在关键应用中高于 QR 的优点和优势。

表 5-1. ZVSF 在某些关键应用中高于 QR 的优点和优势总结

终端设备/应用	ZVSF 高于 QR 的价值	优点/结果说明
宽输入范围适配器	ZVS 的优点实现了更佳的高压线路效率以及高频小巧的变压器	QR 在 230Vac 下为 91.5~92% ZVSF 在 230Vac 下约为 93%
仅高压线路或 PFC 前端	ZVS 比 QR 的第一个谷底转换效率更高	QR 在 230Vac 下约为 93% ZVSF 在 230Vac 下约为 94% ACF-GaN 在 230Vac 下约为 95%+
宽 V_{OUT} PD 或 PPS	在整个 V_{OUT} 范围内实现 ZVS	商用 QR 在 230Vac/5Vdc、15W 下，约为 88% 商用 ZVS 辅助 IPD2105 在 230Vac/5Vdc、10W 下约为 82% ZVSF 在 230Vac/5Vdc、15W 下约为 90%
针对中等密度的中高频设计	高频 QR 设计 → 在高压线路下效率/热性能有限 ZVSF 频率更高、变压器更小 → 90V 下的效率和 QR 一样，但高压线路效率更高 可实现高频和中等功率密度，无需 GaN	低频 65W QR (约 60kHz) 需要 RM10 大小 (或类似) 的变压器 65W ZVSF (180kHz 至 200kHz) 可使用 RM8 大小的变压器

6 使用 UCC28780 + UCC5304 实现 ZVSF 拓扑

如图 6-1 所示，UCC28780 控制器和 UCC5304 驱动器的组合，可通过可用的 IC 轻松实现 ZVSF 拓扑。如前所述，使用原理图示例，可以轻松地将现有 QR 设计转换为 ZVSF。

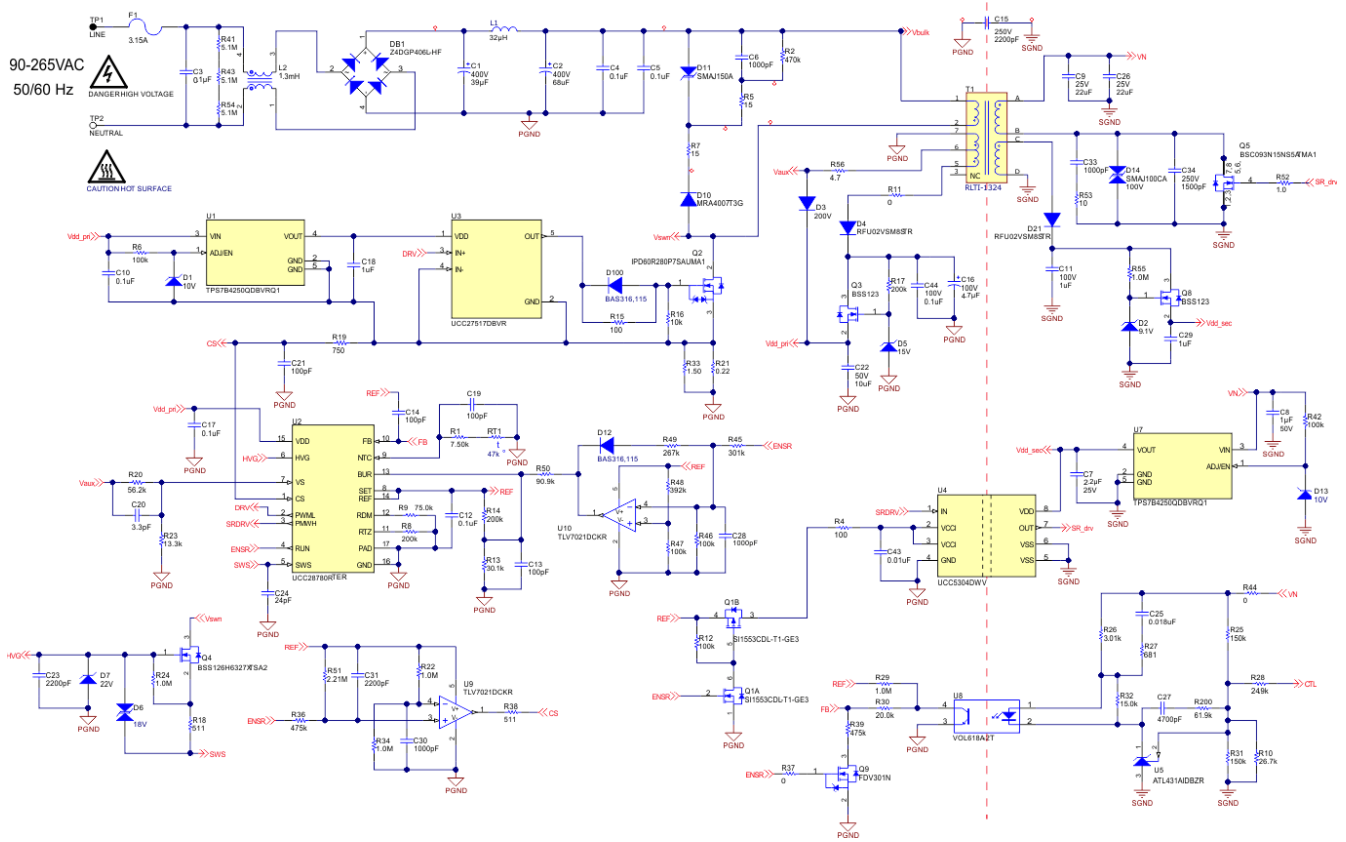


图 6-1. 使用 UCC28780 + UCC5304 的 PMP21552 65W ZVSF 原理图 (局部)

6.1 UCC28780 主要特性

- 自适应 ZVS 控制
- 通过 RDM 和 RTZ 调节时间，用于不同尺寸的功率 FET
- 通过 BUR 引脚可编程突发模式阈值
- 输入欠压检测和保护
- 广泛的保护 - 过载、过热、输出过压、过流、短路和引脚故障
- RUN 引脚，允许在待机和轻载时对外部隔离式驱动器进行电源管理

6.2 UCC5304 主要特性

- 增强隔离至 7kV_{peak}，5kV_{RMS}
- 单通道 SOIC-8 宽体封装，适用于 > 8.5mm 的爬电距离
- 快速传播延迟，典型值 28ns，最大值 40ns
- 共模瞬态抗扰度 (CMTI) > 100V/ns
- 4A/6A 峰值拉电流/灌电流，实现 SR 的快速导通和关断
- 次级侧 VDD 的宽工作电压范围为 5V 至 18V

6.3 主要规格

表 6-1 列出了 PMP21552 主要规格参数。

表 6-1. PMP21552 主要规格参数

参数	符号	值	单位
最小输入电压 (在大容量电容上)	VDCin _{min}	75	V
最大输入电压 (在大容量电容上)	VDCin _{max}	375	V
输出电压 (最大 PD 范围)	V _{OUT}	20	V
输出负载电流 (最大)	I _{OUT}	3.25	A)
效率 (目标)	η	93	%
次级整流器正向压降	V _d	0.1	V
允许的最大初级 FET V _{DS} 应力 (600V 额定值的 90%)	V _{DS_max_pri}	540	V
允许的最大初级 SR FET V _{DS} 应力 (150V 额定值的 90%)	V _{DS_max_pri}	135	V
最低目标开关频率 (满负载, VDCin _{min})	f _{sw_min}	110	kHz
谐振电压转换时的占空比丢失	K _{RES}	8	%

6.4 功率级参数

选择 $N_{ps} = 5$ - 这样可提供约 100V 的反射电压, 并且为初级 FET 和次级 SR 的最大 V_{DS} 应力目标实现了良好的折衷方案。

$$N_{ps} := 5$$

$$D_{MAX} := \frac{N_{ps} \times (V_{OUT} + V_d)}{VDCin_{min} + N_{ps} \times (V_{OUT} + V_d)} = 0.573$$

$$L_M := \frac{D_{MAX}^2 \times VDCin_{min}^2 \times \eta}{2 \times V_{OUT} \times I_{OUT}} \times \frac{1}{f_{sw_min}} \times (1 - K_{RES}) = 110.366 \mu H \quad (1)$$

6.5 详细原理图说明

6.5.1 EMI 滤波器

差模 (DM) 滤波由 C3 提供, PI 滤波器由 C1 + L1 + C2、C4、C5 组成。

共模 (CM) 滤波由 CM 扼流线圈 L2 和 Y 电容 C15 提供。

变压器 T1 内的屏蔽/CM 平衡层也有助于降低 CM 噪声。

接地变压器磁通带 (至 PGND) 和 EMI 滤波器周围的以及主开关节点上方的铜屏蔽层也有助于降低 EMI。

6.5.2 功率级

变压器 T1 采用次级绕组夹在两个半初级绕组之间的交错式结构; 磁化电感约为 110μH, $N_{ps} = 5$, 漏电感约为 1.8μH (约 1.65%)。

选择初级 MOSFET Q2 = IPD60R280P7S 以便在 $R_{DS(on)}$ 和栅极电荷/电容之间做出合理的权衡。设置反射电压为 100V (在 20V 输出时), 阻尼 RCD 缓冲器, 以允许使用 600V FET, 并且仍然实现 90% 的降额裕度。

次级侧 SR Q5 = BSC093N15 150V FET, 以再次提供超过 90% 的降额裕度。

6.5.3 RCD 缓冲器

R2、C6 和 D10 是 RCD 钳位缓冲器的主要元件。选择慢恢复型 D10，以减少缓冲器消耗的泄漏能量。增加阻尼电阻 R5 和 R7 以抑制泄漏环（参见 V_{DS} 波形，在第 8.6 节中），从而提高 EMI 并略微降低最大 V_{DS} 峰值。增加 TVS D11，以钳制短时瞬态事件下的 V_{DS} 峰值。

6.5.4 低端驱动器

低端驱动器 U3 用于将控制器的 TTL 电平 PWM 信号电平转移到驱动 FET Q2 所需的高电平。当 V_{dd_pri} 过高时，LDO U1 向 U3 提供约 10V 的调节轨以钳制栅极驱动电平。

6.5.5 HV 启动和 SWS 感应

高压衰竭型 FET Q4 (BSS126) 用于在启动时为 V_{dd_pri} 充电，消除典型的启动泄漏电阻器链，节省待机功耗，并实现更短的启动时间。相关元件 D6、D7、C23、C24、R18 和 R24 在各种可能的工作模式（启动、引脚/元件故障等）下为 Q4 提供各种保护。

启动完成后，Q4 将执行附加功能，即感应开关节点电压，以检测 UCC28780 的 SWS 输入的 ZVS，同时阻止高压。

6.5.6 I_{pk} 调整电路

如原理图中所示，调节励磁电流 i_M 的峰值，从而随着负载功率和输入电压的变化调节输出电压。

在较轻的负载下，如果励磁电流的峰值 (I_{pk}) 有所增加，效率会提高，这是因为轻负载下较高的 I_{pk} 会提高每个周期的效率，减少所需的周期数（平均开关频率），从而提高轻载时的整体效率，并降低待机功耗。

通过在 CS 引脚上形成开关分压器，U9 和相关元件 C30、C31、R22、R34、R36 和 R51 可在轻负载和待机模式下提高 I_{pk} 。

6.5.7 突发模式迟滞电路

选用 U10 和相关元件 D12、R45、R46、R47、R48、R49、R50 和 C28 来增加 BUR 引脚阈值的附加迟滞，以便减少突发模式转换时可能出现的可听噪声。

6.5.8 至 UCC5304 的开关供电轨

Q1B、R12、R4 和 C34 为隔离式 SR 驱动器 U4 实现了开关供电轨 - 当 ENSR/RUN 信号在 SBP/LPM 模式下长时间变低时，连接到 U4 的 VCCI 轨有效断开，以节省偏置和待机功耗。

6.5.9 双绕组辅助偏置

变压器上使用了两个初级侧辅助绕组，以便更有效地克服 V_{OUT} 范围很宽的问题。通过 D3、R56 将引脚 6 上的抽头直接连接到 V_{dd_pri} ，以便在 V_{OUT} 为 12V 至 20V 时提供 V_{dd_pri} 电源（下辅助率与主次级侧之比为 1:1）。当 $V_{OUT} < 12V$ 时，引脚 5 上的上部抽头（与主次级的净比约为 3:1）为 V_{dd_pri} 供电，在 V_{OUT} 低至 4V 时，采用较高的比率将辅助轨升压至大约 12V。

当 $V_{OUT} > 12V$ 时，需要 LDO Q3、R17、D5、C44、C16 和 C22 来限制上轨产生的辅助轨。当 V_{OUT} 足够高时，选择 D5 将 LDO 调节电压设置得足够低，以使下轨直接输出的馈电产生偏置，从而提高整体效率。

6.5.10 有源波纹消除电路

Q9、R37 和 R39 用于在突发模式下增加 FB 引脚的滞后性，稳定突发模式下的运行，并提供一致的突发长度。

6.5.11 UCC5304 的次级侧辅助偏置

将次级参考辅助绕组 C-D 连接到 D21、C11 及 LDO Q6、R55、D2 和 C29，以生成用于隔离驱动器输出的次级偏置轨 VDD。当 V_{OUT} 处于 5V 电平时，主次级的 2:1 匝数比确保 SR FET 具有足够的栅极驱动电平。LDO Q6/D2 会在更高的 V_{OUT} 电平下限制 VDD 轨道。为了提高 15-20V 高 V_{OUT} 电平下的效率，使用第二 LDO U7 直接从 V_{OUT} 为 VDD 供电。

6.5.12 ATL431 反馈调节和 USB Type-C™ PD 接口

反馈调节电路 U5、C27、R32、R26、R25 和 R31 用于对 FB 引脚引出的电流进行闭环控制，以便将 V_{OUT} 稳定在所需的电平。增加 R27 和 C25，以提高相位，确保控制环路的稳定性。R28 连接到 USB-C PD 控制器，以控制流经 R28 的电流大小，从而设置 USB Type-C 负载器件所需的 PD 电压。

7 PMP21552 EVM

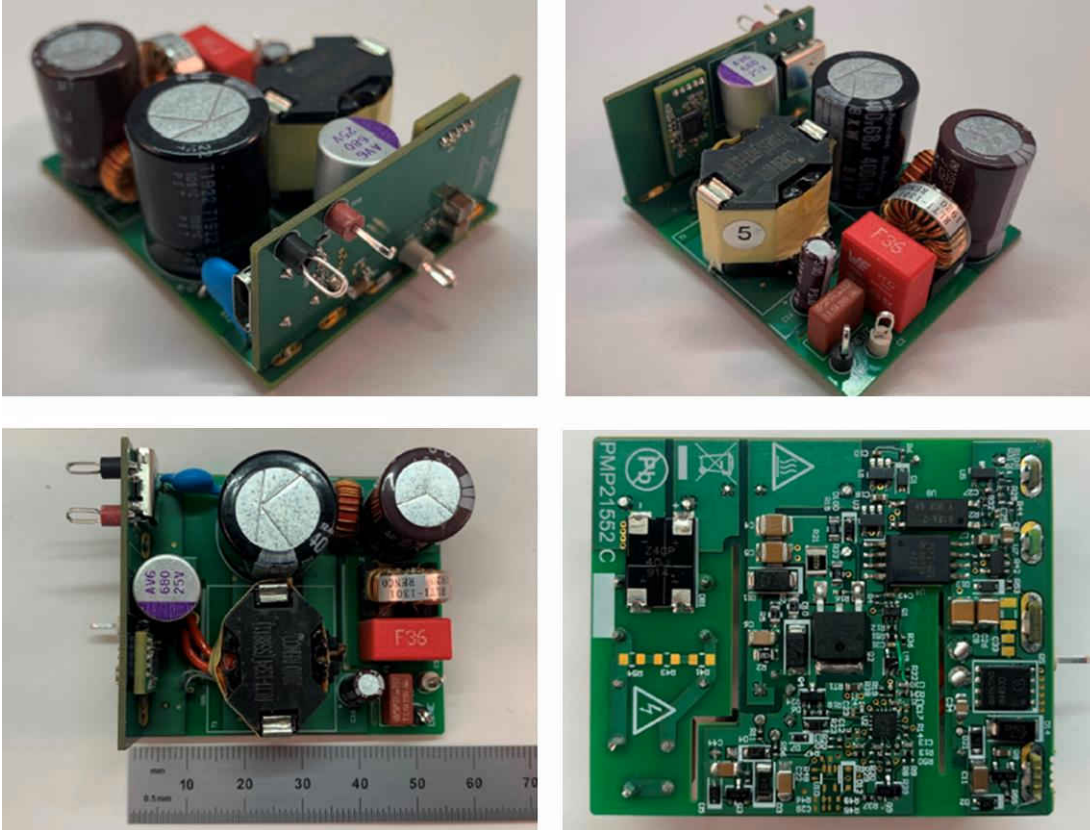


图 7-1. 使用 UCC28780 + UCC5304 的 PMP21552 65W ZVSF 参考设计 PCB 组装

PMP21552 是 65W USB-C PD 适配器已发布的参考设计，其在 ZVSF 拓扑中使用 UCC28780 和 UCC5304 芯片组。该设计采用紧凑的 62cc 尺寸（开放式框架尺寸 $45 \times 55 \times 25\text{mm}$ ），并支持 5V/3A、9V/3A、15V/3A 和 20V/3.25A。在 90-265VAC 的整个范围内，满载效率高达 92.5%。初级侧开关采用硅超结 FET，变压器尺寸为 RM8，该设计通过了 EN55022 B 级带余量的传导和辐射发射。

8 PMP21552 性能结果

PMP21552 设计和性能的完整详情可从 [65W USB Type-C ZVS-反激式变换器参考设计](#) 在线获得。此处突出显示所选的性能优点。效率数据不包含 USB Type-C 电缆损耗。

8.1 效率

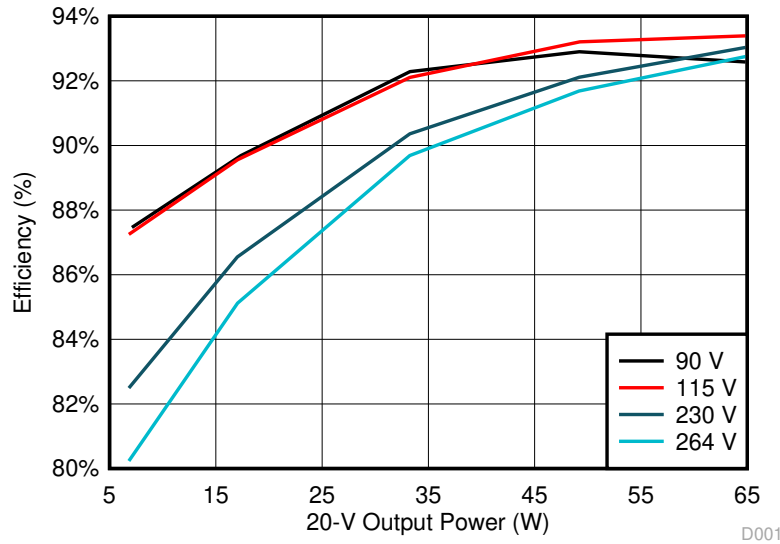


图 8-1. PMP21552 65W ZVSF 在 20V 输出下的效率与负载/线路间的关系

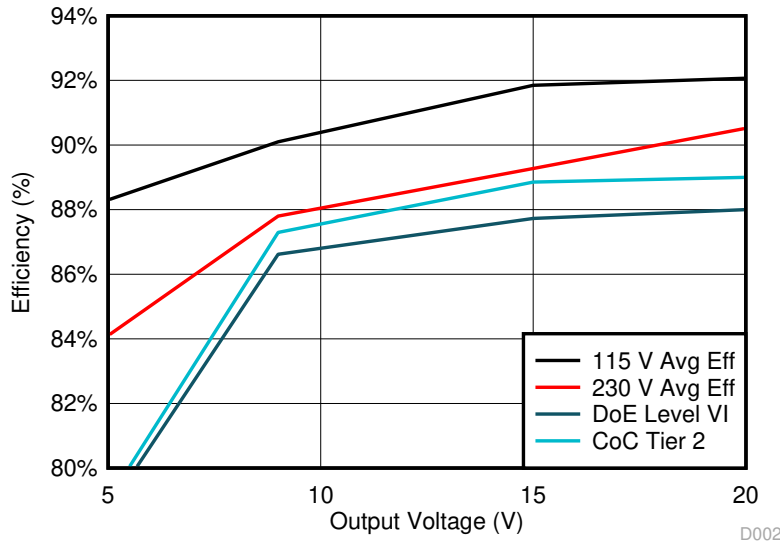


图 8-2. PMP21552 65W ZVSF 平均效率与 V_{OUT} 和线路间的关系

8.2 待机功耗

表 8-1 列出了待机功耗测量结果。

表 8-1. 待机功耗测量结果

待机功耗 (5V , 无负载)	
115Vac	230Vac
26mW	30mW

8.3 “微负载” (0.25W) 效率

表 8-2 列出了“微负载”测量结果。

表 8-2. “微负载”测量结果

20V 时“微负载”的输出功率为 250mW		
	115Vac	230Vac
输入电源	370mW	394mW
效率	68%	63%

8.4 传导 EMI

8.4.1 通过 EN55032 B 级带余量的 QP 和 AVG

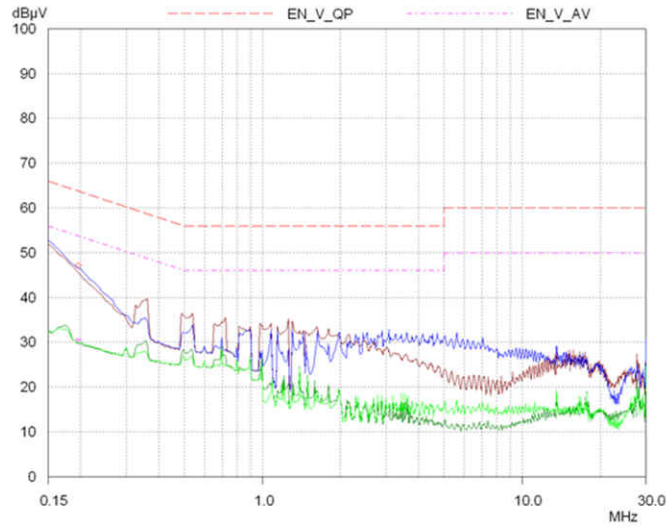


图 8-3. PMP21552 65W ZVSF QP 和 AVG 在 115V、20V、65W、接地负载下的传导发射；L1 (L) 和 L2 (N)

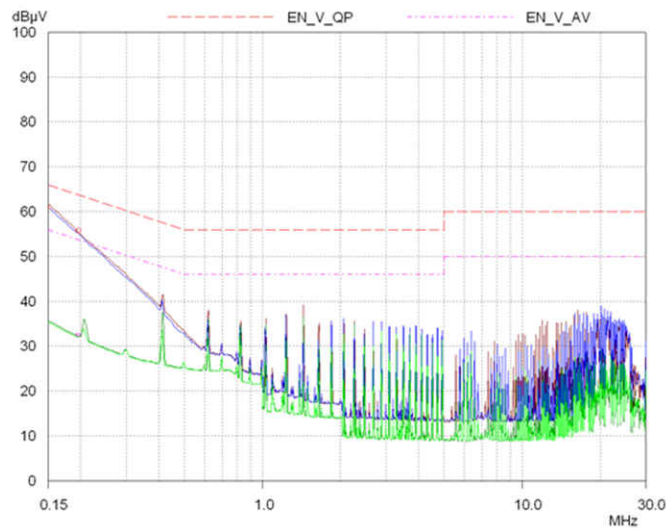


图 8-4. PMP21552 65W ZVSF QP 和 AVG 在 230V、20V、65W、接地负载下的传导发射；L1 (L) 和 L2 (N)

8.5 辐射 EMI

8.5.1 通过 EN55032 B 级带余量的垂直和水平极化

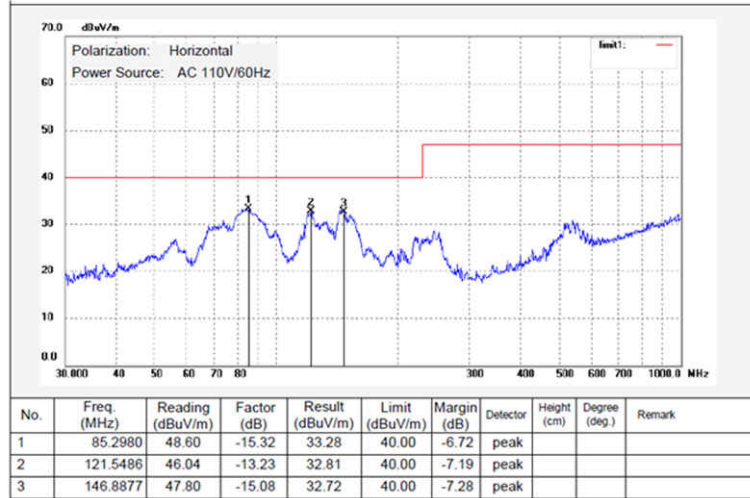


图 8-5. PMP21552 65W ZVSF 在 115V、20V、65W、接地负载、水平极化下的辐射发射

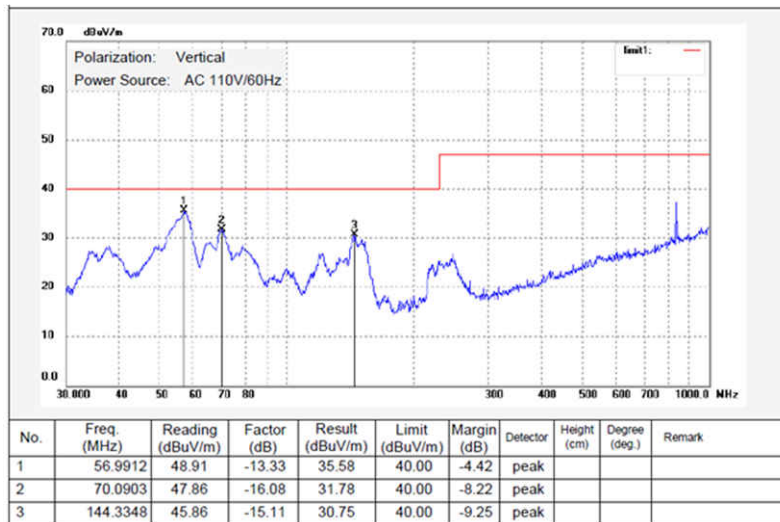


图 8-6. PMP21552 65W ZVSF 在 115V、20V、65W、接地负载、垂直极化下的辐射发射

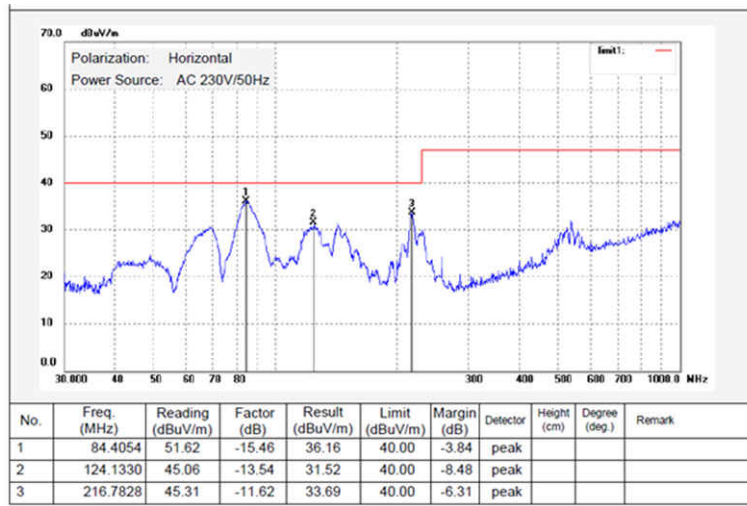


图 8-7. PMP21552 65W ZVSF 在 230V、20V、65W、接地负载、水平极化下的辐射发射

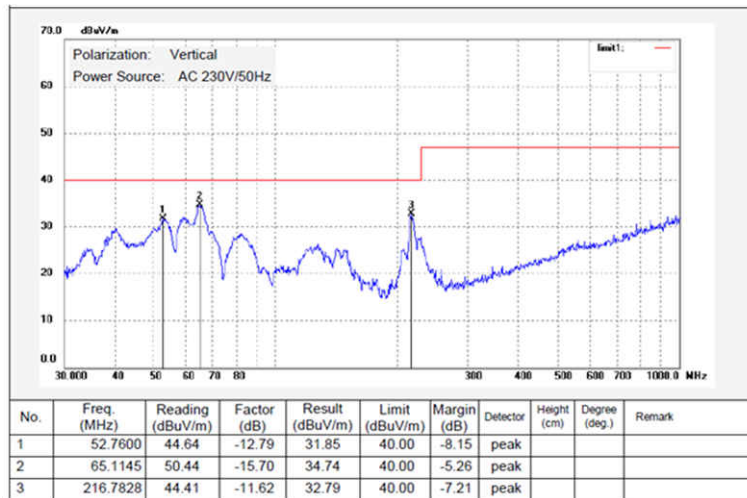


图 8-8. PMP21552 65W ZVSF 在 230V、20V、65W、接地负载、垂直极化下的辐射发射

8.6 开关波形

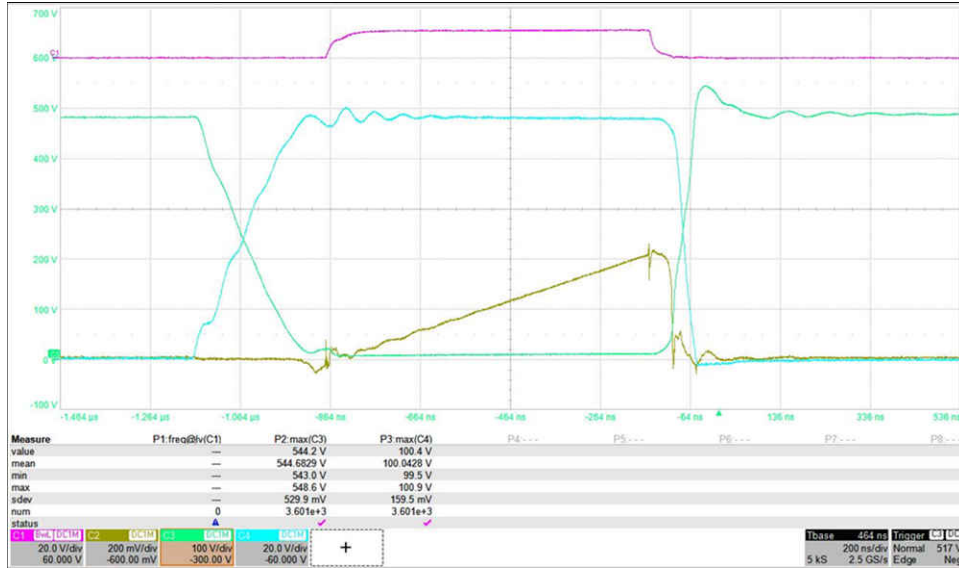


图 8-9. 264V 输入、20V、65W 输出下的 PMP21552 65W ZVSF 波形；Ch1 : Pri Vgs；Ch2 : Pri Vrcs；Ch3 : Pri Vds；Ch4 : sec SR Vds

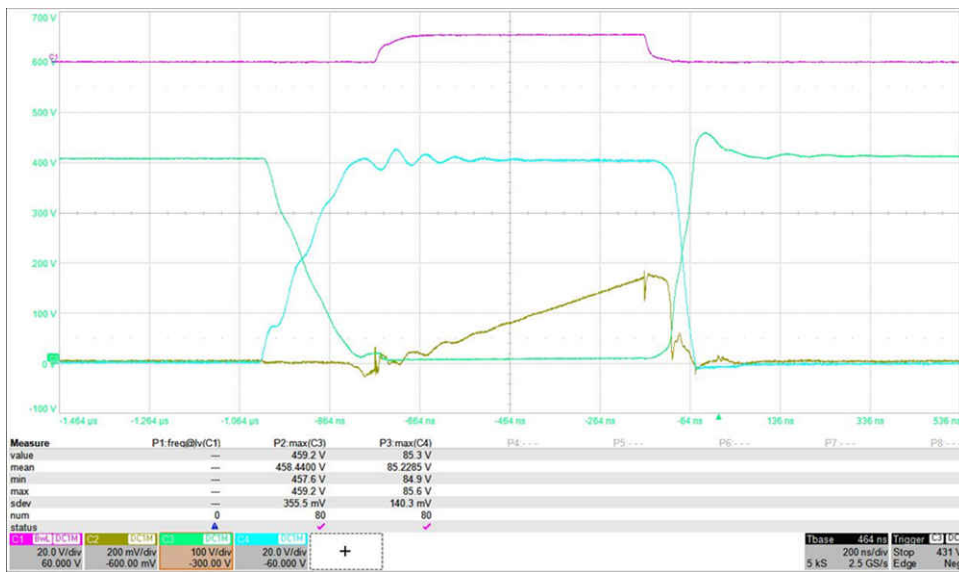


图 8-10. 264V 输入、5V、15W 输出下的 PMP21552 65W ZVSF 波形；Ch1: Pri Vgs；Ch2: Pri Vrcs；Ch3: Pri Vds；Ch4: sec SR Vds

9 总结

对于要求更高效率和更高功率密度，或要求更高开关频率和更小尺寸的大容量应用而言，可以考虑 ZVSF 拓扑。其性能优势高于 QR 和定频单开关反激拓扑。虽然它无法提供与 ACF 相同的效率和功率密度性能，但它确实是一种更简单、元件数量更少的替代方案。

TI 可提供 UCC28780 和 UCC5304 芯片组，以实现拓扑，并提供 PMP21552 参考设计，帮助用户入门。

10 参考文献

- UCC28780 产品文件：<http://www.ti.com.cn/product/cn/UCC28780>
- UCC5304 产品文件夹：<http://www.ti.com.cn/product/cn/UCC5304>
- ZVSF 参考设计 PMP21552 文件夹：<http://www.ti.com.cn/tool/cn/PMP21552>
- ACF-Si 参考设计 PMP21479 文件夹：<http://www.ti.com.cn/tool/cn/PMP21479>

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司