

AFE77 JESD204B 调试手册

Zhizhao Niu

China Key Account Team

摘要

随着高速数据转换器的数据吞吐量越来越大，大部分高速数据转换器的接口渐渐从传统的 LVDS 接口转变成 JESD204 接口。JESD204 接口相比于 LVDS 接口能够节省数据传输使用的差分对数量，节省板面积和功耗。JESD204 接口协议描述了数据转换器和接收器（FPGA/ASIC）之间数据传输的方式。自 2006 年初版 JESD204 协议发表以来，已经经过了多个版本迭代，如今 JESD204B 和 JESD204C 标准已经得到了广泛的应用。并且 JESD204B/C 的接口速率也成为衡量高速器件能力的关键指标。但是由于 JESD204B/C 协议内容比较抽象复杂，并且需要对系统有一定的了解，这也让 JESD204B/C 接口的调试工作成为项目执行过程中最耗时的工作之一。TI AFE77 系列零中频架构射频收发器广泛应用于宏站和小站平台，基于对端数字芯片成本和实际带宽需求的考量，大部分用户选择使用 JESD204B 接口。因此，本文将 AFE77 为例，说明 JESD204B 接口的工作原理，建链流程，并总结相应的调试方法。

目录

1	引言	2
2	AFE77 JESD204B 模块详解	2
	2.1 JESD204B 协议概述.....	2
	2.2 AFE77 JESD204B 协议分层及架构.....	3
	2.2.1 Data Generation.....	3
	2.2.2 Transport layer.....	3
	2.2.3 Link Layer.....	4
	2.2.4 Physical Layer.....	5
	2.2.5 Clock Generator.....	5
3	AFE77 JESD204B/C 建链流程	6
	3.1 AFE77 JESD204B 可支持的配置模式.....	6
	3.2 AFE77 JESD204B 建链流程.....	6
	3.3 AFE77 JESD204B 告警.....	8
4	JESD204B 调试方法	9
	4.1 JESD204B RX 常见告警解决方法.....	9
	4.2 JESD204B RX 具体排查思路.....	10
	4.3 物理层 Serdes 调试方法:.....	11
	4.3.1 Serdes Lane 极性检查.....	12
	4.3.2 Serdes 眼图检查.....	12
	4.3.3 使用 PRBS 码验证物理层稳定性.....	12
	4.3.4 重置 Serdes 模块.....	13

4.4	选择RBD最优值:	14
4.4.1	RBD的限制条件:	14
4.4.2	最优RBD选择方法:	15
5	建链过程中CAPI调用.....	15
6	参考文献.....	16

图		
Figure 1.	JESD204B接口协议分层以及系统架构	3
Figure 2.	LMFSHd=4-8-4-1-0, N'=13对应的组帧格式	4
Figure 3.	AFE77 RX通道LMFSHd=28810组帧模式	5
Figure 4.	AFE77 TX/RX/FB通道支持的JESD204B Link数量.....	6
Figure 5.	AFE77 SYNC\ in 和SYNC\ out 不同配置模式	6
Figure 6.	JESD204B ILAS帧结构	7
Figure 7.	JESD204B ILAS中第二个多帧中的器件配置表.....	8
Figure 8.	不同RBD值对确定性延迟的影响	14

1 引言

AFE77 系列 Transceiver 芯片含有 4 个 ZIF 的发射通道, 4 个 ZIF 的接收通道和最多 2 个 RF sampling 的反馈通道。AFE77 的高集成度以及良好的动态范围, 使得它非常适合用于 4G 和 5G MIMO 产品中, 对于接收和发送 2G, 3G, 4G, 5G 信号能够提供良好的性能。除了优异的射频性能外, AFE77 支持 JESD204B 和 JESD204C 接口, 发送和接收端最多能够支持 8 条 Serdes 差分对, 每一条 Serdes 差分对能够支持最高 29.5Gbps 的传输速率。在实际应用中, AFE77 广泛应用于宏站和小站中。基于 ASIC/FPGA 成本和实际带宽的考量, 使用 JESD204B 接口的场景居多。本文将以前 AFE77 JESD204B 接口为例, 对 JESD204B 协议分层, 建链流程以及调试方法进行介绍。希望有助于读者进行前期的系统设计以及后期调试。

2 AFE77 JESD204B 模块详解

2.1 JESD204B 协议概述

JESD204B 协议于 2011 年正式发布, 相比于之前的 JESD204 和 204A 协议加入了确定性延迟 (deterministic latency feature) 的特性。同时将帧时钟改成了 device 时钟, 最高支持的速率是 12.5G。JESD204B 主要分成以下三种类型:

- Subclass 0: 不支持确定性延迟, 向下兼容 JESD204A
- Subclass 1: 通过使用 SYSREF 去对齐 TX 和 RX 设备, 适用于数据速率大于 500MSPS 的应用。
- Subclass 2: 通过使用 SYNC 信号去对齐 TX 和 RX 设备, 适用于数据速率小于 500MSPS 的应用。

在高速数据转换器器件中，数据速率通常大于 500MSPS，JESD204B Subclass 1 应用最为广泛。AFE77 支持的 JESD204B 就是 Subclass 1 型。下文将展开讨论 AFE77 的 JESD204B 模块。

2.2 AFE77 JESD204B 协议分层及架构

JESD204B 接口协议和以太网协议类似，被分成多个层次，每个层次具有不同的功能，最终层层级联起来实现复杂的高速串行总线功能。JESD204B 协议按照每层的功能分成传输层，链路层和物理层，如下图 1 所示。本节将以 AFE77 JESD204B TX 方向为例，介绍每一层的重要功能模块和主要参数。JESD204B RX 方向可以看作是对 JESD204B TX 方向对数据的反向处理。相比于 JESD204B TX 方向，RX 方向还包含了复杂的 JESD204 告警检测机制。

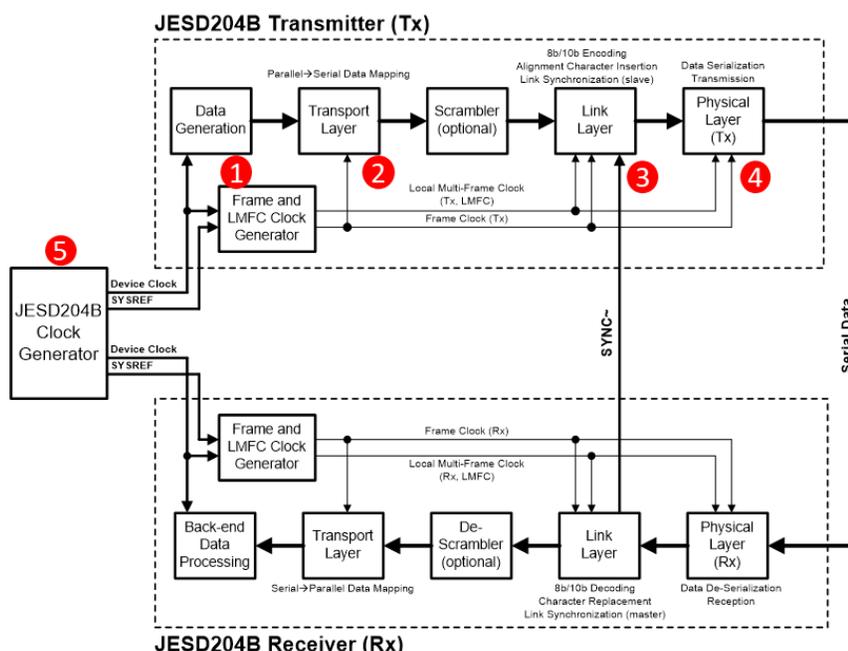


Figure 1. JESD204B 接口协议分层以及系统架构

2.2.1 Data Generation

通常指的是 ADC 或者 FPGA/ASIC 等产生数据的器件。数据最初是以并行的方式产生的，数据位数由 ADC 的 bit 数或者 FPGA/ASIC 发送位数确定。

2.2.2 Transport layer

传输层的作用是将 ADC 或者 FPGA/ASIC 产生的数据按照一定的规则映射到非扰码八字节 (Octet)。传输层通过以下几个参数对数据映射的规则进行描述。

- L: 一个 link 中 Lane 的数量。
- M: 每一个 ADC/DAC 器件中转换器的个数，在无线系统中都是采用 complex 的数据形式 (例如，16bit 的 I 和 16bit 的 Q)，因此每一个通道对应 2 个转换器。

- F: 每一帧中八字节的个数。
- S: 每一帧周期内每个转换器采样数量。
- K: 多帧中帧的个数，204B 规定多帧中 K 最大为 32。
- HD: High-Density bit, 当一个 sample 被分在不同的 Lane 上传输时需要写 1。
- N': 每一个 sample 含有的 bit 数。AFE77 支持 16bit 和 12bit 的 ADC 位数，在某些特殊场景中，为了减少整体数据吞吐量，会使用 12bit 的 ADC 位数。

对于同一个 JESD204B Link 来说，发送端和接收端的传输层参数必须一致，否则无法成功建链。以 LMFSHd=4-8-4-1-0, N'=13 的组帧形式如下图 2 所示。

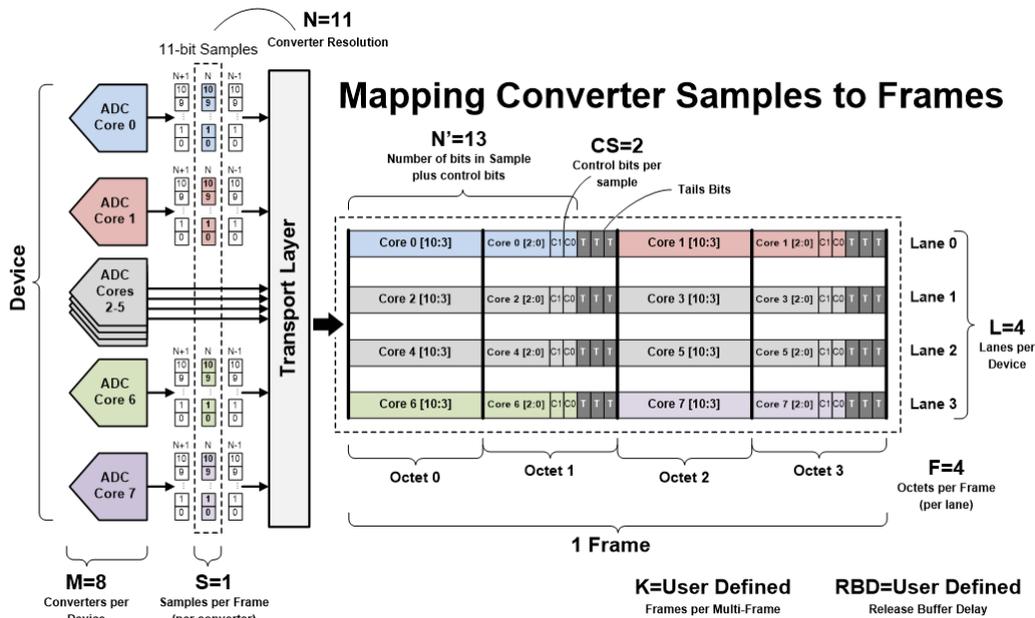


Figure 2. LMFSHd=4-8-4-1-0, N'=13 对应的组帧格式

传输层后紧跟的是加扰模块。加扰模块可以选择性的对八字节进行加扰加扰的好处有两点：1) 可以通过延展频谱尖峰来降低 EMI 效应，防止在 ADC 和 DAC 的输出频谱中出现杂散。2) 解耦原始数据和 lane 上数据流频谱的关系，防止某些特定的数据格式因为传输介质的频率选择特性出现误码。对于 JESD204B 协议，在链路层含有 8B/10B 编码模块，所以用户可以自行选择是否对数据进行加扰。

2.2.3 Link Layer

链路层是 JESD204B 建链的核心，它包含了 8B/10B 编码以及建链过程的控制。后文会有专门的章节讨论基于 AFE77 的 JESD204B 建链过程，并详细解释其中用到的 C 函数。考虑 8B/10B 编码开销之后，可以计算出在 Serdes 上每条 Lane 的速率。根据不同的 LMFSHdN' 的数值可以用下面的公式计算出每条 Lane 的速率，例如配置 AFE77 的 JESD204B TX 侧 LMFSHd=2-8-8-1-0, 基带速率是 245.76MSPS, ADC bit=16 时 Lane 的速率为:

$$\text{Lane rate} = \text{Interface rate} * 10/8 * N' * M / L = 245.76 \text{MSPS} * 1.25 * 16 * 8 / 2 = 19.66 \text{Gbps}$$

这种配置下 AFE77 的组帧方式如下图 3 所示。AFE77 还支持其他组帧方式，在进行设计时，根据接口速率，8b/10b 编码，数据转换器位数，传输差分对数量，link 数量，可以在 AFE77 数据手册找到对应的组帧方式。

Octet	1	2	3	4	5	6	7	8
Lane 1	RX1_i0[15:0]		RX1_q0[15:0]		RX2_i0[15:0]		RX2_q0[15:0]	
Lane 2	RX3_i0[15:0]		RX3_q0[15:0]		RX4_i0[15:0]		RX4_q0[15:0]	

Figure 3. AFE77 RX 通道 LMFSHd=28810 组帧模式

2.2.4 Physical Layer

物理层主要负责发送或者接收经过链路层处理之后的数据。包含了完成高速串/并转换的 Serdes 模块，时钟以及时钟数据恢复模块（CDR, Clock and Data Recovery），并且定义了数据传输的速率范围，接口电平参数。AFE77 内含有两个 Serdes 内核，每一个内核包含 4 条 TX Lane, 4 条 RX Lane 以及 1 个 Serdes TX PLL 和 1 个 Serdes RX PLL。在物理层中还包含了信号调理模块，Serdes TX 侧具有可调节的 3 抽头 FIR 滤波器，Serdes RX 侧含有 CTLE, DFE，它们会根据输入信号对均衡参数进行自适应调节，从而消除线性和非线性因素引起的码间干扰。后面章节也会重点介绍物理层在建链过程中常见的问题以及解决方法。

2.2.5 Clock Generator

时钟发生器的主要作用是产生器件时钟和 SYSREF 时钟。器件时钟用于产生 ADC/DAC 和 FPGA/ASIC 的采样时钟或者工作时钟。SYSREF 信号是一种低频同步信号，通过该信号可以重置和同步 JESD204B 设备（ADC/DAC/FPGA/ASIC）上的本地多帧时钟（LMFC），从而保证 JESD204B 的 TX 和 RX 侧具有相同的基准，并结合适当的 RBD 去实现确定性延迟。也可以说 JESD204B subclass 1 标准是通过 SYSREF 去实现 JESD204B 系统的确定性延迟。为了保证链路的稳定性以及确定性延迟，时钟需要满足以下两点条件：

- SYSREF 信号在整个系统多次重启和全温范围内和器件 clock 保持确定的相位关系。
- 两个时钟的相位还需要满足器件时钟对 SYSREF 进行采样时的 Setup 和 Holdup 时间要求。

如果不满足以上两点要求，可能导致系统在多次建链过程中链路延迟发生变化，而无线系统中数字预失真（DPD）的工作需要固定的链路延迟，如果延迟变化过大，会导致 DPD 算法不收敛。而为了让系统中两个时钟的相位保持固定，通常会采用一个主时钟发生器去为 JESD204B 的 RX 和 TX 器件提供器件时钟和 SYSREF 时钟，并且该时钟发生器具有保持两个输出时钟的相位固定的能力。有的系统中也会使用 FPGA 对器件时钟和 SYSREF 时钟处理后再送给 AFE77。而板上布线长度的差异也会造成两个时钟之间相位变化，这种情况可以通过调整 SYSREF 相位的方式去弥补。TI 的 LMK04828 和 LMK5C33216 系列时钟能够支持输出的器件时钟和 SYSREF 相位固定，并且具有可调器件时钟和 SYSREF 时钟相位的能力。

3 AFE77 JESD204B/C 建链流程

3.1 AFE77 JESD204B 可支持的配置模式

AFE77 系列 Transceiver 芯片在进行 JESD204B 建链时，4 个发射通道，4 个接收通道和 2 个反馈通道可以分别建成一个 link 或者两个 link。下图 4 描述了 AFE77 使用 JESD204B 接口时可能的建链方式。AFE77 含有 4 个 SYNC\ input 和 4 个 SYNC\ output 引脚，最多可以支持 4 个 CMOS SYNC\ input 和 4 个 CMOS SYNC\output 或者 2 个差分 LVDS SYNC\ input 和 2 个差分 LVDS SYNC\output，如图 5 所示。从提高系统鲁棒性的角度上，建议将 AFE77 TX/RX/FB 通道分别建成两个 JESD204B Link。

CHAINS	CONFIG	DESCRIPTION
RX, FB chains	4 links	2 links for RX and 1 link for each FB chain; each link for up to 2 SerDes lanes
	3 links	2 links for RX and 1 link for FB chain; each link for up to 2 SerDes lanes
	2 links	1 link for RX and 1 link for FB; each link for up to 4 SerDes Lanes
	1 link	1 Link for RX chains for up to 8 SerDes Lanes (only for 8b/10b encoding)
	2 links shared	RX and FB sharing SerDes lanes: 2 links each one for up to 4 SerDes lanes
	1 link shared	RX and FB sharing SerDes lanes: 1 link for up to 4 SerDes lanes
TX chains	2 links	Each link for up to 4 SerDes lanes
	1 link	Single link for up to 8 SerDes lanes (only for 8b/10b encoding).

Figure 4. AFE77 TX/RX/FB 通道支持的 JESD204B Link 数量

TYPE	SYNC\ SIGNAL BALLS			AFE7769 BALLMAP
LVDS	SYNCbIN 1	SYNCbINP1	SYNCINB	V5
		SYNCbINM1	SYNCINA	U5
	SYNCbIN 2	SYNCbINP2	SYNCIND	C5
		SYNCbINM2	SYNCINC	D5
CMOS	SYNCbIN1		SYNCINB	V5
	SYNCbIN3		SYNCINA	U5
	SYNCbIN2		SYNCIND	C5
	SYNCbIN4		SYNCINC	D5
LVDS	SYNCbOUT 1	SYNCbOUTP1	SYNCOUTB	Y5
		SYNCbOUTM1	SYNCOUTA	W5
	SYNCbOUT 2	SYNCbOUTP2	SYNCOUTD	A5
		SYNCbOUTM2	SYNCOUTC	B5
CMOS	SYNCbOUT1		SYNCOUTB	Y5
	SYNCbOUT2		SYNCOUTD	A5

Figure 5. AFE77 SYNC\ in 和 SYNC\ out 不同配置模式

3.2 AFE77 JESD204B 建链流程

JESD204B 建链是在链路层（link layer）完成的，目的是为了实现在 JESD204B TX 侧和 RX 侧的帧同步。建链流程分为三个步骤，码组同步（Code Group Synchronization），帧同步（Initial Frame Synchronization）和 Lane 同步（Initial Lane Synchronization）。本章节将按顺序描述 JESD204B 的建链流程以及在不同阶段内可能出现的问题和解决方法。

- **FPGA/ASIC 和 AFE77 物理层 Serdes 复位与解复位：** 进行建链的第一步需要对 FPGA/ASIC Serdes TX 进行复位和解复位，并使能 FPGA/ASIC 的 Serdes TX 发送数据，可以发送 PRBS 码，也可以通过使用 AFE77 的 C 函数 “jesdTxSetSyncOverride” 将 SYNCB 信号拉低从而让 FPGA/ASIC 开始发送 K 码。这样的目的是提前帮助 AFE77 Serdes 模块中的 CTLE 进行自适应，缩短自适应时间。第二步是将 AFE77 的物理层进行复位解复位，AFE77 的物理层均衡模块会根据 FPGA/ASIC 发送的数据对 CTLE 进行自适应。需要注意的是，静态初始化配置中的包含了这部分内容，但是在单独的 JESD 建链函数 “relinkJesd” 中并没有对 AFE77 物理层进行初始化的操作。所以当用户初次对 AFE77 进行初始化、JESD204B 建链时不需要额外的复位操作。但是当 AFE77 进行重新建链时，需要使用 “SerdesReset” 函数先对 AFE77 物理层进行复位。当 AFE77xx Serdes 自适应完成之后，可以进入下一阶段对 AFE77 内部的 JESD204B 状态机进行重置。
- **JESD204B 状态机初始化：** 在建链开始之前需要让 JESD204B 状态机处于正确的状态。在静态配置和 C 函数 “relinkJesd” 都已经包含了对 JESD204B 状态机初始化的操作，用户不用进行额外的操作。
- **使能 SYSREF 信号：** JESD204B Subclass 1 中需要通过 SYSREF 信号来将 JESD 接收端和发送端各自的 LMFC 和器件时钟进行对齐，随后 JESD204RX 侧和 TX 侧将 LMFC 作为标尺去记录数据到达的时间。并结合弹性缓冲区（RBD）实现确定性延迟。因此，确保 SYSREF 信号已经到达 JESD204B 的 TX 和 RX 设备，并且与各自器件时钟之间的相位关系满足 2.2.5 节中的两个条件十分关键。只有当 JESD204B TX 和 RX 侧检测到 SYSREF 时才会使能 LMFC，否则就没有 LMFC。JESD204B 的 TX 和 RX 侧检测到 SYSREF 之后，对齐 LMFC，JESD204B RX 侧才会通过 SYNCB 信号发出建链的请求。
- **码组同步：** JESD204B RX 侧将 SYNCB 信号拉低，建链开始。JESD204B 的 TX 侧检测到 SYNCB 信号为低时，开始持续发送 K28.5 码进行码组同步，当 JESD204B 的 RX 侧所有 Lane 上接收到 4 个连续 K28.5 码后将 SYNCB 拉高从而完成 CGS。
- **初始 Lane 同步：** 当 JESD204 TX 侧检测到 SYNCB 信号被再次拉高后，会在下一个 LMFC 的上升沿处停止发送 K28.5 码，开始发送 ILA 系列码来完成 Frame 和 Lane 的同步。ILAS 含有 4 个多帧的长度，每一个多帧的第一个 octet 总是以 K28.0 (or /R/)0x1C 开始，最后一个 octet 总是以 K28.3 (or/A/)0x7C 结束。第二个多帧中第二个 octet 总是 K28.4=0x9C 来表示 JESD 配置数据的开始。器件的配置信息从第二个多帧中的第三个 octet 开始且每一个 octet 的映射关系，如下图 7 所示。每一个多帧都含有 Alignment Symbols(A)去检查对齐的状态，如图 6 所示。在 RX 侧收到后 ILAS 后 JESD204B 完成 Lane 同步。用户数据会在 ILAS 后发出。

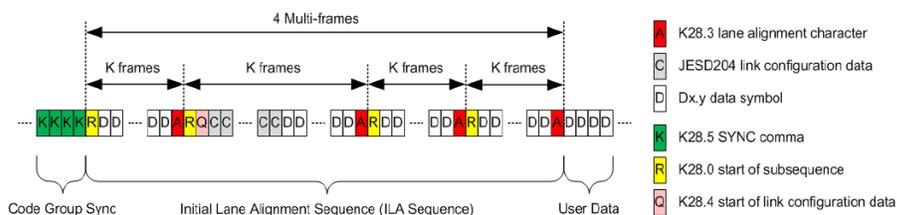


Figure 6. JESD204B ILAS 帧结构

Table 21 — Mapping of link configuration fields to octets

Configuration octet no.	Bits							
	MSB	6	5	4	3	2	1	LSB
0	DID<7:0>							
1	ADJCNT<3:0>				BID<3:0>			
2	X	ADJDIR<0>	PHADJ<0>	LID<4:0>				
3	SCR<0>	X	X	L<4:0>				
4	F<7:0>							
5	X	X	X	K<4:0>				
6	M<7:0>							
7	CS<1:0>		X	N<4:0>				
8	SUBCLASSV<2:0>			N<4:0>				
9	JESDV<2:0>			S<4:0>				
10	HD<0>	X	X	CF<4:0>				
11	RES1<7:0> - Set to all X							
12	RES2<7:0> - Set to all X							
13	FCHK<7:0>							

Figure 7. JESD204B ILAS 中第二个多帧中的器件配置表

3.3 AFE77 JESD204B 告警

AFE77 能够监控并上报多个 JESD204B 和 Serdes 模块告警，当 JESD204B 建链失败或者出现链路延迟不稳定情况时，可以使用以下两个 AFE77 的 C 函数去检查 JESD204B 状态机的状态以及告警的具体信息。

- getJesdRxAlarms: 回读所有的 JESD204B Lane 告警和 Serdes FIFO 告警。
 - JESD204B 的 Lane 告警存在一个寄存器的多个 Bit 中，通过回读寄存器的值可以快速的定位信息，如下所示：
 - Bit[7] = multi-frame alignment error.
 - Bit[6] = frame alignment error.
 - Bit[5] = link configuration error.
 - Bit[4] = elastic buffer overflow (bad RBD value).
 - Bit[3] = elastic buffer match error.
 - Bit[2] = code synchronization error.
 - Bit[1] = 8b/10b not-in-table code error.
 - Bit[0] = 8b/10b disparity error.
 - JESD204B 的 Serdes FIFO 告警可以监控每一条 Lane 上的 FIFO 是否发生读写错误。同样，FIFO 告警也储存在一个寄存器的多个 Bit 中，如下所示：
 - Bit[1] = write_error : High if write request and FIFO is full (NOTE: only released when JESD block is initialized with init_state);
 - Bit[0] = read_error : High if read request with empty FIFO (NOTE: only released when JESD block is initialized with init_state);

- **getJesdRxLinkStatus:** 回读 JESD204B 状态机当前的状态。
 - 返回值对应了 JESD204B 状态机不同的状态:
 - 0: Idle state. No change in state.
 - 1: CGS Passed. Still in K characters mode.
 - 2: JESD204B Link is up.

需要注意的是，JESD204B 的建链状态以及告警信息都在 JESD204B 的 RX 侧，所以对于 AFE77 的上行方向，需要在 FPGA/ASIC 侧去回读这些信息。

4 JESD204B 调试方法

前面章节描述了 JESD204B 的协议分层以及建链流程。本节将主要介绍 JESD204B 建链过程中常见告警以及相应的调试方法。本章的调试思路在 TI 的 AFE77, AFE79, AFE80 系列 Transceiver 芯片中也同样适用，只是对应的寄存器和函数名有一些差异。AFE77 的寄存器是按照分页的方式组织的，所以在读写对应寄存器时，需要先打开对应的页，下表内列出了在 JESD204B 调试时常用到的寄存器页地址和寄存器地址。

Table 1. AFE77 JESD204B 常用告警调试寄存器描述

功能	寄存器页地址	寄存器地址	寄存器描述
JESD_SH_STATE_TX0	JESD_DAC[0]: 0x15,0x02 JESD_DAC[1]: 0x15,0x20	0x130[7:0]	JESD 同步头状态指示: 0b01 表示已经同步, 否则表示未同步。0x130[1:0]=lane0,0x130[3:2]=lane1 0x130[5:4]=lane2,0x130[7:6]=lane3
JESD_CS_STATE_TX0		0x12a[7:0]	JESD 码组同步状态指示: 0b01 表示已经同步, 否则表示未同步。 0x12a[1:0]=lane0,0x12a[3:2]=lane1 0x12a[5:4]=lane2,0x12a[7:6]=lane3
JESD_FS_STATE_TX0		0x12c[7:0]	JESD 帧同步状态指示: 0b01 表示已经同步, 否则表示未同步。 0x12c[1:0]=lane0,0x12c[3:2]=lane1 0x12c[5:4]=lane2,0x12c[7:6]=lane3
JESD_SYSREF_MONIT OR_FLAG		0x143[0] 0x143[2]	Bit0:写 1 清除 JESD_SYSREF_MONITOR_FLAG。 Bit2:回读 JESD_SYSREF_MONITOR_FLAG, 1 表示 AFE77 已经收到 SYSREF, 0 表示未收到。
CTLE_State	Serdes[0]: 0x15,0x04 Serdes[1]: 0x15,0x40	0x701E[3:0]	Serdes CTLE 自适应完成标志。注意回读 0x701E 时需要回读两次, 并且以第二次的结果为准。当回读值为 0xF, 说明所有 lane 的自适应已经完成。 Serdes[0]页的 0x701E[3:0]与 lane 的对应关系为: bit0->lane3, bit1->lane2, bit2->lane0, bit3->lane1。 Serdes[1]页的 0x701E[3:0]与 lane 的对应关系为: bit0->lane1, bit1->lane0, bit2->lane2, bit3->lane3。 如果自适应完成则对应 bit=1。

4.1 JESD204B RX 常见告警解决方法

当系统出现 JESD204B 建链失败时，可以首先使用 C 函数 “getJesdRxAlarms” 去回读对应的 JESD204B Lane 告警和 FIFO 告警。对于不同的告警，下表中总结了相应的解决方案。

Table 2. JESD204B 常见 FIFO 告警类型以及解决方案

FIFO 告警类型	告警可能的原因	对应的解决方案
write_error: High if write request and FIFO is full (NOTE: only released when JESD block is initialized with init_state)	这类告警来自于 JESD204B 模块和 Serdes 物理层模块之间的 FIFO。当 FIFO 中的读写时钟失配，指针相撞时，会发出告警。	这类告警是 Sticky 的，在回读时需要先清除告警后再回读，0x2d[5]写 1->0。如果清除告警后回读告警仍存在，可能的原因是： <ol style="list-style-type: none"> 1. FIFO 的读写时钟来自于不同的时钟域，读时钟来自于 JESD204B 模块，写模块来自于 Serdes 物理层模块。去检查 Serdes 的读写时钟速率是否匹配。 2. 修改 0x2d bit1~bit5 FIFO 读写指针的 offset 值。
read_error: High if read request with empty FIFO (NOTE: only released when JESD block is initialized with init_state)		

Table 3. JESD204B 常见 lane 告警类型以及解决方案

Lane 告警类型	告警可能的原因	对应的解决方案
8b/10b disparity error	收到的码型极性相反	实际上即使是极性反了，K码还是收得到的，接收端会尝试两种RD分别解码，不会出现not in table这个告警。但是，204B规定了第一个K码的RD为-1，因此极性反了会解出RD为+1的K码，这种情况下就会报8b/10b disparity error 错误。
code synchronization error	码组同步失败，状态机返回到码组同步 CS_INIT 的最初状态	在一段时间内收到了 3 个错误的码元会触发错误。这个告警正常不会单独出现，需要结合其他告警一起看”
Elastic buffer overflow	Elastic buffer 溢出，多帧长度大于 RBD 的最大缓冲值，RBD 设置不合理，导致 RBD 释放点需要等到下一个 RBD 的释放点	需要优化 RBD 值
link configuration error	Link 配置错误	检查 ASIC/FPGA/AFE ILAS 设置；用高速示波器解码第一个非 K28.5 的码元，检查 ILAS 序列的内容。
frame alignment error	帧同步失败	确保 F 对于发射和接收侧是相同的
multiframe alignment error	多帧同步失败	确保 K 对于发射和接收侧是相同的

需要注意的是，由于 JESD204B 建链过程比较复杂，引起建链不成功的因素很多。同一种告警可能是多个因素共同作用的结果。因此当系统出现告警后，除了按照上面表格中的解决方案进行排查外，还可以按照下一节中整理的完整过程进行排查。

4.2 JESD204B RX 具体排查思路

- 第一步，确保 Serdes Lane 的极性，TX 和 RX 侧 lane 的映射关系是正确的，并且 Serdes 的眼高和眼宽具有一定余量。其中，眼图有余量又要求了 Serdes 物理层中的 CTLE 已经完成了自适应，Serdes PLL 已经锁定。Serdes 物理层的调试方法将在 4.3 节中详细介绍。
- 第二步，确定连续多个 K28.5 码被 AFE77 正确识别。可以通过回读 0x130[7:0]，“JESD_SH_STATE_TX0”寄存器去判断。

- 该寄存器每两个 bit 表示一条 lane 的 K28.5 码同步状态，如果对应 bit 回读值为 0b01 说明 K28.5 码已经被识别。
- 如果回读为 0b00，则需要去检查 AFE77 是否将 SYNCB 拉低，ASIC/FPGA 侧有没有发送 K28.5 码，时钟是否正常，眼图是否完整。
- 第三步，检查 CS（码组同步）状态。用户也可以使用 AFE77 的 C 函数“getJesdRxLinkStatus”去回读 JESD 的状态。函数会返回 4bit 的信息。前两 bit 反应前 4 条 serdes lane 的状态，后两 bit 反应后 4 条 serdes lane 的状态。
 - 0b00: 表示 JESD 状态机处于空闲状态。
 - 0b01: 表示 CGS 已经完成，但是仍处于识别 K 码的阶段。
 - 0b10: 标志 JESD link 已经完成建链。

如果用户没有编译 C 函数，也可以手动读取 0x12a[7:0] “JESD_CS_STATE_TX0” 寄存器的值去判断状态机的状态。8 条 lane 分成两组，可以分别通过分布在两页中的 0x12a [7:0] “JESD_CS_STATE_TX0” 寄存器查询。如果回读的 CS 状态为 0b10，说明码组同步已经完成。否则说明码组同步没有完成。此时需要结合其它告警进行调试。

- 第四步，检查 FS（帧同步）状态。可以通过回读 0x12c[7:0] “JESD_FS_STATE_TX0” 寄存器去判断帧同步是否完成。如果对应 lane 的两个 bit 回读为 0b01（对应十进制数值为 1），说明已经完成了 frame 同步。否则说明 frame 没有完成同步。FS 状态错误的可能原因有以下几种：
 - 是否有历史错误记录。检查告警是否有任何历史错误产生，如果是这种情况，需要手动清除历史告警。
 - 检查 AFE77 是否正常的收到了 SYSREF 信号。可以通过检查 SYSREF flag 寄存器的值来判断
 - 首先将 JESD DAC 页内的 0x143 寄存器 bit0 “CLEAR_JESD_SYSREF_MONITOR_FLAG” 写 1 将历史数据清除掉。
 - 回读相同寄存器的 bit2 “JESD_SYSREF_MONITOR_FLAG” 的值去检查是否收到 SYSREF。1 为 AFE77 已经收到了 SYSREF，0 为没有收到。
 - RBD 设置值不合适。更改 RBD 值，并检查其是否有效。如何找到最优 RBD 的值将在 4.4 节中详细介绍。

4.3 物理层 Serdes 调试方法：

如前文所述，为了满足信号完整性的要求，提供更可靠的 JESD204B 链接，AFE77 的 JESD204B 物理层 Serdes 模块中加入了 CTLE，DFE 自适应均衡模块。Serdes 模块状态正常对保证 JESD204B 建链十分重要。下文将重点介绍 Serdes 中需要注意的事项。

4.3.1 Serdes Lane 极性检查

AFE77 的 Serdes 模块支持内部 Lane 极性翻转功能，给系统设计带来方便的同时也需要用户格外注意。ASIC/FPGA 和 AFE77 的 Serdes Lane 极性要一致。如果不一致需要在配置中将 AFE 或者 ASIC 的 pin 脚极性进行反转，以下表为例，AFE77 SRX1/3 的硬件连接和 ASIC 的 STX1/3 是相反的，因此需要在 AFE77 的初始化序列中将极性反过来，否则在 JESD204B 建链过程中虽然仍然可以识别 K 码，CS 状态正常，但是无法识别后续的数据。

Table 4. JESD204B serdes lane 极性配置实例

ASIC Serdes pins	AFE77 Pin	是否反转
STX1+	SRX1- (Y2)	是
STX1-	SRX1+(Y3)	是
STX2-	SRX2-(V1)	否
STX2+	SRX2+(W1)	否
STX3+	RX3-(R1)	是
STX3-	SRX3+(T1)	是
STX4-	SRX4-(M1)	否
STX4+	SRX4+(N1)	否

4.3.2 Serdes 眼图检查

确定了 Serdes Lane 的极性是正确的之后，Serdes 眼图的质量也是影响 JESD204B 建链成功的关键因素，通常要求 Serdes 的眼高在 800mV 左右。如果眼高较差，可以使用以下 C 函数去进一步调试。

- 第一步，可以使用“getSerdesStatus”函数去检查眼图质量以及 CTLE 的参数。
 - getSerdesEyeInmV: 回读出以 mV 为单位的眼高。
 - getSerdesEye: 使用这个函数可以输出眼图。

如果发现眼图没有张开，可以通过回读 Serdes [0]和 Serdes[1]页中的 0x701E 寄存器去判断每一条 Lane 的 CTLE 和 DFE 参数是否自适应完成。对应 bit 和 lane 的对应关系请参照表 1。如果 4 条 lane 都完成了自适应则 0x701E=0x0F。需要注意 AFE77 serdes 部分的寄存器是 16bit 的而 AFE77 SPI 回读是 8bit，所以需要回读两次并以第二次回读值为准。

4.3.3 使用 PRBS 码验证物理层稳定性

如果眼图正常，下一步可以通过使能 AFE77 内部的 PRBS Generator 和 Checker 去验证链路的长期稳定性。AFE77 内部 Serdes TX) 侧含有 PRBS Generator, SerdesRX 侧含有 PRBS Error Counter, 可以通过使能 PRBS 伪随机码的方式检查物理层稳定性。AFE77 支持 4 种 PRBS 模式, PRBS9, PRBS15, PRBS23 和 PRBS31。这种 PRBS 测试只存在于 Serdes 物理层内部和 JESD204B 传输层和链路层没有关系。具体步骤如下:

- ASIC/FPGA 侧使能 PRBS generator。

- AFE77 SRX 侧使用 “enableSerdesRxPrbsCheck” 使能 PRBS Checker。使能后，PRBS Error counter 开始计数。
- 使用 AFE77 “getSerdesRxPrbsError” 回读 SRX 侧 Error Counter 统计的 PRBS 出现错误的次数。多次回读，如果这个数一直在变化，那就说明存在 PRBS error，需要继续调整 Serdes 物理层的参数。
- 可以通过重新使能 PRBS Checker 的方式让 Error 归零。

4.3.4 重置 Serdes 模块

当 AFE77 和 FPGA/ASIC 发生 JESD204B 断链后，必须将 Serdes 重置之后再开始新的建链流程。这是因为当断链发生时，Serdes Lane 上的数据信号会出现突变，从而导致 Serdes 内的自适应参数发生变化。如果不重置 Serdes，会导致眼图异常，建链失败。下面将通过两个案例帮助读者理解在什么情况下需要重置 Serdes。

- 案例 1：为了节能减排，运营商希望在没有用户接入或者低流量的情况下，将部分 AFE77 处于睡眠模式以降低 AFE77 的功耗。AFE77 为这个需求提供了灵活的接口，允许客户灵活的配置在睡眠模式下需要关闭的模块。其中，在深度睡眠模式下，用户可以选择将 AFE77 内部的 Serdes 模块关闭，这将导致 JESD204B 断链。当唤醒 AFE77 时，由于之前 Serdes Lane 上的数据已经中断，旧的自适应参数失效，Serdes 需要重新进行自适应后进行建链。
- 案例 2：为了在系统异常时，防止突变的大信号损毁 PA，AFE77 集成了 PAP(Power Amplifier Protection)模块。当用户需要验证异常数据触发 PAP 保护性能时，可能会采用将 ASIC/FPGA 侧的 Serdes Lane 直接关掉制造大的数据突变。此时，Serdes Lane +/-电压均为 Vcm。如果之后没有重置 Serdes，而是直接使能 SYSREF 开始新的建链，就会发现 JESD204B 建链失败。这个实验有两点需要改善：
 - 1) 当 JESD204B TX 侧的 Serdes 关闭之后，Serdes Lane 的 +/-电平为 Vcm，这就相当于将 Serdes lane 的差分输出变成 0V，数据异常变化，导致 Serdes 自适应参数变化，JESD204B 断链。因此，在下一次建链之前需要将 Serdes 重置，重新进行自适应得到新的参数。
 - 2) 为了验证大的数据变化触发 PAP 时，应当将基带 IQ 数据变为 0，而不是将 Serdes 的数据变成 0。此时，虽然基带 IQ 数据是 0，但是由于 JESD204B IP 内会对数据进行 8B/10B 编码，所以仍然有变化的数据传输在 Serdes Lane 上，不会断链，Serdes 也不需要重置。当要恢复数据时，只需要修改基带 IQ 数据。

对 Serdes 模块重置的步骤如下：

- 第一步，使能 ASIC/FPGA 发送任意数据。如果 ASIC/FPGA 没有发送，使能 Serdes Reset 函数会导致 Serdes 重置失败。
- 使能 SerdesReset 函数对 Serdes 模块进行重置。
- 需要为 Serdes 均衡参数自适应提供足够的时间，通常有以下两种方式进行：

- 执行完 SerdesReset 函数后等待 5~8s，当 Serdes 自适应完成后再进行建链。
- 使用轮询自适应状态寄存器 0x701E 的方式去确认自适应状态。这种方式可以节省系统等待时间。需要注意由于 0x701E 寄存器是 16bit 的，所以需要连续回读两次 0x701E 寄存器，并且以第二次的结果为准。

4.4 选择 RBD 最优值:

为了补偿不同 Serdes Lane 之间的偏移，JESD204B RX 侧内部集成了一个弹性缓冲区（RBD）。RBD 会去吸收不同 Lane 的偏移，并且在输出端将所有 Lane 对齐后释放。因此，在系统中找到可在全温范围内和重启周期中工作的最佳 RBD 值对于整个系统的稳定性至关重要。

4.4.1 RBD 的限制条件:

如何选择一个合适的 RBD 值是实现确定性延迟的关键。在设定 RBD 值时需要考虑以下三方面:

- 1) RBD 释放条件: 所有 Lane (ILAS 序列) 都已经到达缓冲区内, 并在每个 LMFC 周期后 RBD 个帧周期后释放。
- 2) RBD 的取值: $1 < RBD < K$, $RBD = K$ 意味着所有 RX Lane 上的数据在下一个 LMFC 的上升沿发出, K 最大取 32。
- 3) 最优 RBD 的选择: RBD 并不是选越大越好, 例如下图所示, 当 $RBD = K - 1$ 时, 最早到达的 Lane 和最晚到达的 Lane 刚好处于释放点的两侧, 这时就会造成 RBD 在下一个 LMFC 后 $K - 1$ 个帧周期释放, 这就会给整个链路增加额外的延迟。甚至如果 Lane 的延迟不稳定, 也会出现环路延迟不稳定的情况, 如图 8 所示。

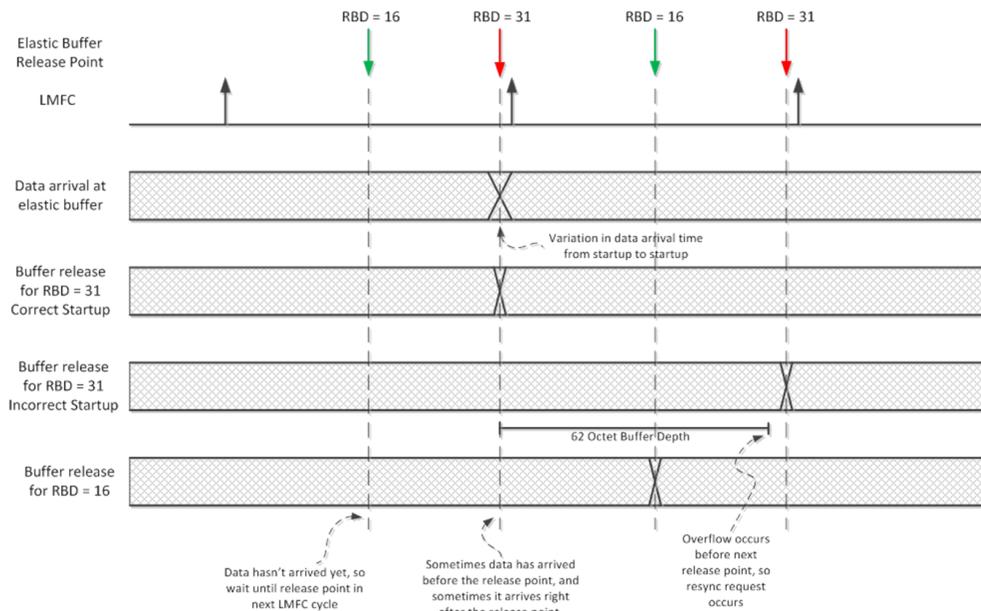


Figure 8. 不同 RBD 值对确定性延迟的影响

由于 RBD 的深度是有限的，当多帧长度大于 62 个字节时，还会导致 RBD 无法缓存两个 LMFC 周期的数据触发 Elastic buffer overflow 错误。下面将介绍如何选择一个合适的 RBD 值。

4.4.2 最优 RBD 选择方法:

通常推荐使用下面的两种方法选择 AFE77 最优的 RBD 值，这个方法也同样适用于 AFE79, AFE80 系列 transceiver 芯片。

- 1) 用户使用 C 函数 “setGoodRbdValueJesd204B” 去自动设定系统最优的 RBD 值。下面将介绍 C 函数的原理:
 - a. 读取所有 Lane 上的最大延迟值: 如果一片 AFE77 JESD204B 下行方向有两个 link 的情况, 需要找到两个 link 中最大延迟值。如果对于在一块板上有多个 AFE77 的情况, 需要回读所有 AFE77 的最大延迟值。然后将最大的延迟值作为后续计算的依据。如果每一片 AFE77 的最大延迟值相差很大, 那么需要对不同的 AFE77 使用不同的 RBD 值。
 - b. 计算最优 RBD 值: 将第一步中找到的最大延迟值 x, 通过下面公式计算出合适的 RBD 值。 $RBD=(x+4)\%(K*F/8)$, 其中 4 为系统默认的 RBD 余量值, 可以保证在全温度范围内留足够的 RBD 余量控制。
 - c. 将新的 RBD 值重新赋给当前 RBD 值。
- 2) 用户使用扫描所有 RBD 值得方式, 选择最优 RBD 值:
 - a. 从 1 到 K 扫描 RBD 的值 10 次, 并且记录下每一次在初始化 AFE77 时是否会遇到告警, 错误。并且记录环路确定性延迟是否会发生变化。对于 bring up 成功, 并且无告警, 错误, 延迟不变化的情况在表格中写上 “O”。对于 bring up 失败, 有告警/错误/时延变化的情况, 在表格上写下 “X”。
 - b. 有效的 RBD 窗口可以从下图中看出, 其中橘黄色的就是最优 RBD 值, 因为一方面可以在给最后一条到达的 Lane 留有一定余量, 同时又可以尽可能的减少非必要时延。其中, 黄色表示大量 JESD204B 告警, 红色表示少量 JESD204B 告警。

Band X	RBD Value																															
#	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
1	O	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
2	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
3	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
4	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
5	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
6	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
7	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
8	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
9	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
10	O	O	O	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

5 建链过程中 CAPI 调用

将 AFE77 系列 Transceiver 在建链过程中调用的 CAPI 函数汇总如下。

- relinkJesd: 开始 JESD204B 建链
- getJesdRxAlarms: 回读所有的 JESD204B Lane 告警和 Serdes FIFO 告警。
- getSerdesStatus: 回读 Serdes 中眼图, CDR 是否锁定以及 CTLE 的值。
- getSerdesEyeInmV: 回读 Serdes 中眼图的 mV 值。
- getJesdRxLaneErrors: 返回 JESD204B/C 中 FIFO 和 Lane 告警
- getJesdRxLinkStatus: 返回 JESD204B/C 中状态机的状态
- enableSerdesRxPrbsCheck: 使能 Serdes RX 侧 PRBS Error Counter
- getSerdesRxPrbsError: 回读 Serdes RX 侧 PRBS Error Counter 的累计值
- sendSerdesTxPrbs: 使能 Serdes TX 侧发送 PRBS 伪随机码
- setGoodRbdValueJesd204B: 设定最优 RBD 值

6 参考文献

1. 数据手册 “AFE7769 Quad-Channel RF Transceiver With Feedback Path”
2. JEDEC Standard “Serial Interface for Data Converters JESD204B”

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司