

Tyler McGuire

摘要

在开发新的 PCB 时，设计人员越来越需要选择信号开关和多路复用器，这些开关和多路复用器可提供来自多家半导体制造商的第二封装兼容设计。这种限制可能会使设计人员无法自由选择采用市场上更新、更小且更具成本效益的封装的器件。针对这种阻碍的解决方案是将较小封装的第二封装放置在大型封装内。本应用手册中讨论了此设计获得的几项优势。

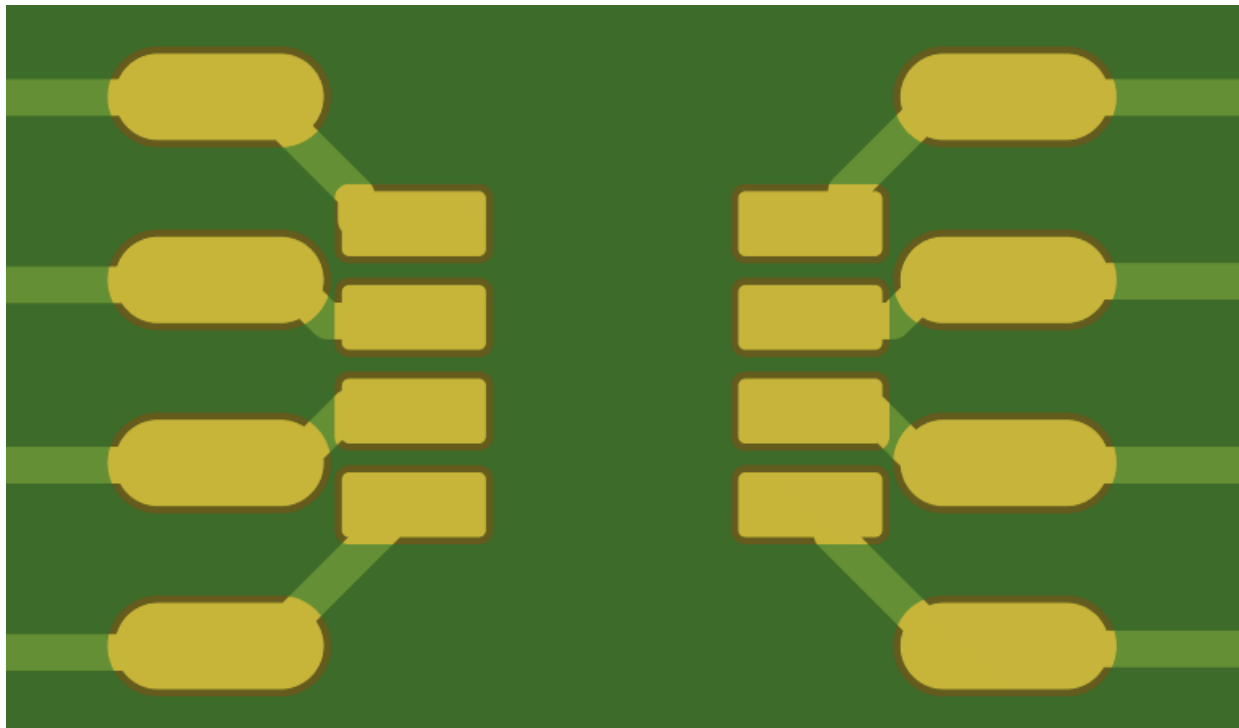


图 1-1. SOIC (D) 封装内的 SOT-23 (DCN) 封装示例

内容

1 简化采购策略.....	2
1.1 节省成本并提高灵活性.....	2
1.2 放置和布线提示.....	2
1.3 第二封装示例.....	2
1.4 使用多个器件打造所需的多路复用器配置.....	4
2 总结.....	6
3 参考文献.....	6

商标

所有商标均为其各自所有者的财产。

1 简化采购策略

随着采购策略日益成为一个大问题，这种双封装设计方法为满足客户的多源要求提供了一种卓越的方式。该设计允许单个供应商（例如 TI）满足采购需求。此设计增加了可用于插座的可订购器件的数量，而不会影响布板空间。这可以减少缺货、库存管理问题，因为至少有一个封装选项可供购买的可能性更大。大多数 TI 信号开关和多路复用器都采用多种封装。另一项额外的好处是能够在封装淘汰之前保持安全。半导体行业正在朝着更小的封装尺寸发展，这会带来制造商在未来某个时刻停止使用封装的风险。通过在设计中放置全新封装产品的封装尺寸，可以降低这种风险。

1.1 节省成本并提高灵活性

较大的封装通常比较小的封装更昂贵，因为生产这些封装所需的材料量较大。旧版软件包尤其如此。能够为给定器件选择更小、更具成本效益的选项，可降低 BOM 成本。另一个优势是避免由于半导体制造商无法满足供应需求而导致成本增加和收入损失。

第二封装可轻松迁移至下一代信号开关和多路复用器。当发布较新版本的电流多路复用器时，通常会首先提供较小的封装尺寸。能够在不进行新的 PCB 修订的情况下切换到新版本，从而节省时间和金钱。

1.2 放置和布线提示

为了使该策略有效，布线期间必须小心，以在每个器件之间连接正确的引脚。许多器件在不同封装中具有相同的引脚排列，但有些器件没有，尤其是在引线式和无引线式版本之间。如果第二封装不匹配，则仍可使用，但必须格外注意以确保兼容性。在示例封装部分中，显示了各封装之间的匹配引脚排列和各封装之间的不匹配引脚排列。

初级封装的焊盘和第二封装的焊盘之间需要有足够的间距，以保证足够的阻焊层填充和电气性能。根据行业标准 IPC-2221，建议的最小间距为 4mil，高达 30V；对于 31V 及以上电压，建议的最小间距为 24mil。设计人员还应考虑第二封装可能会增加少量的布线长度。这还会导致去耦电容器等无源器件在使用第二封装时远离器件。

1.3 第二封装示例

可利用第二封装的常见业界通用封装包括 SOIC、TSSOP 和 VSSOP。下面显示了一些示例。

更小的 USON 封装可轻松适应 VSSOP 封装。采用该配置的每个封装的引脚排列都匹配。

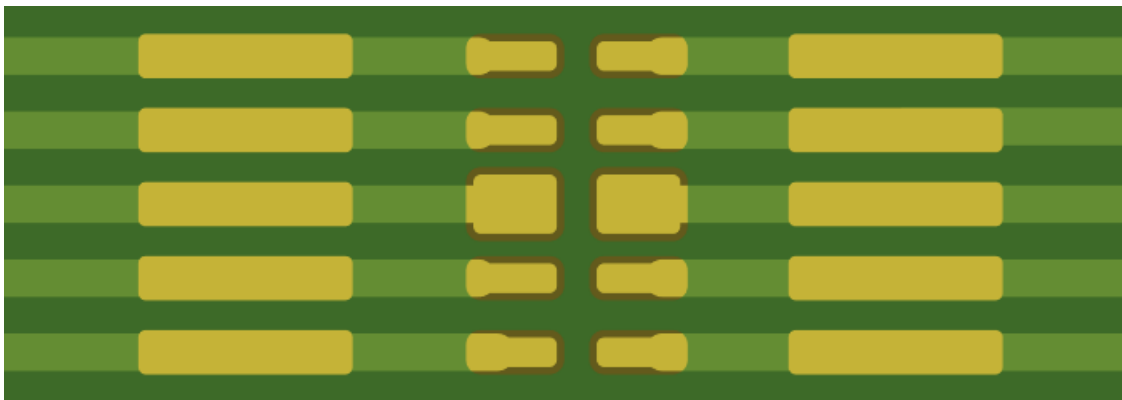


图 1-1. VSSOP (DGS) - USON (DQA)

WSOP 封装更适合 VSSOP 封装，但它在相邻引脚之间仍具有所需的 4mil 间隙。采用该配置的每个封装的引脚排列都匹配。

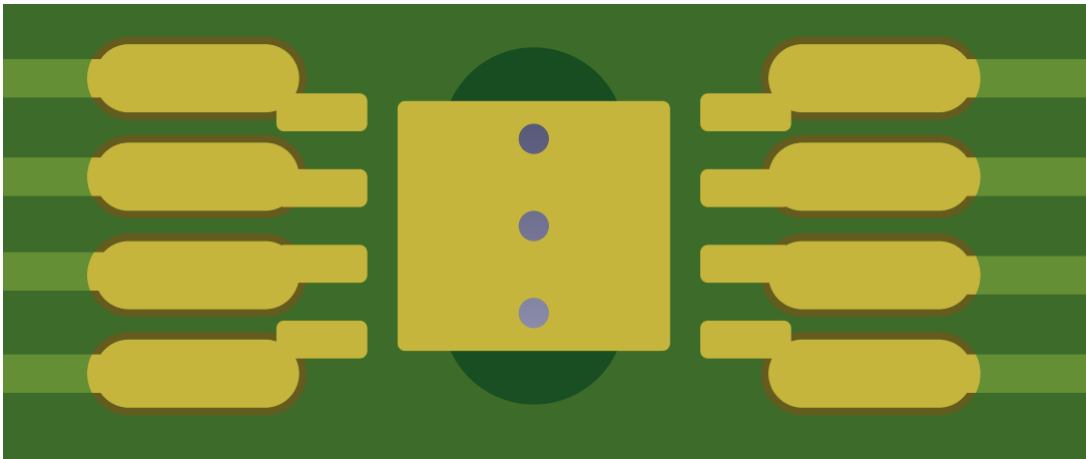


图 1-2. VSSOP (DGK) - WSON (RQX)

此示例表明，凭借创造力，三个封装可以分层在同一空间内。这三种封装的引脚排列相同。

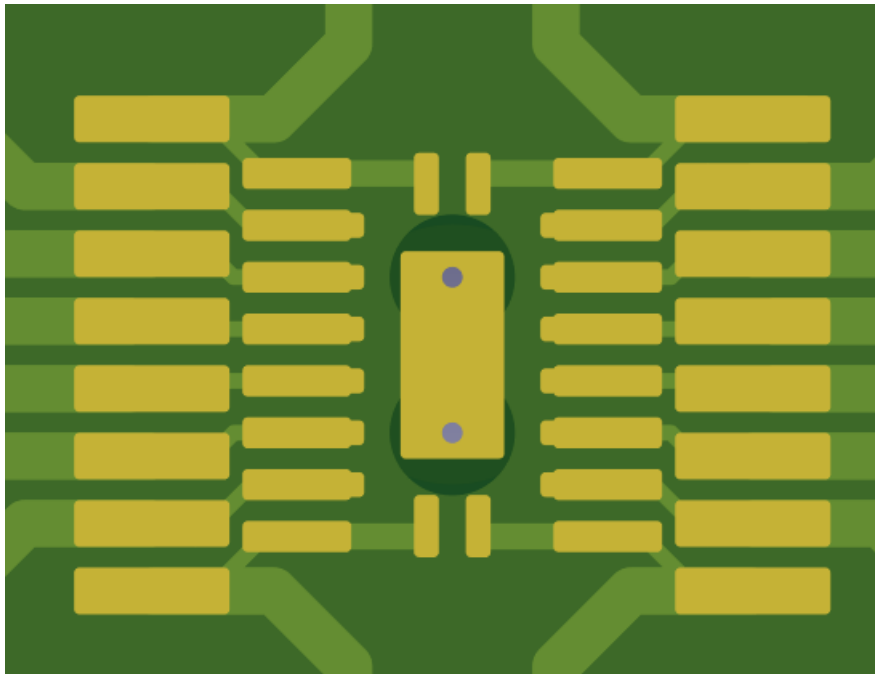


图 1-3. TSSOP (PW)-SOT-23-Thin (DYY)-WQFN (BQB)

布线更为复杂，但 WQFN 的小尺寸允许在 TSSOP 封装内留出所需的间距。采用该配置的每个封装的引脚排列都匹配。

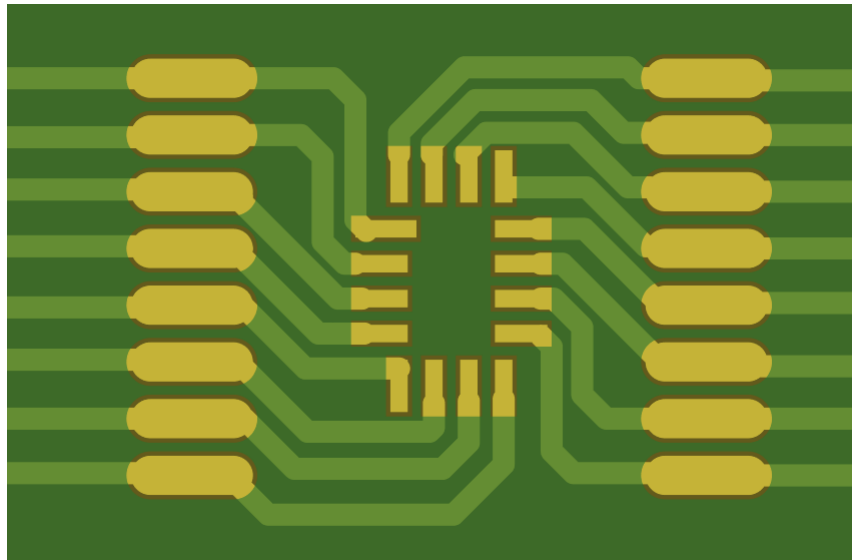


图 1-4. TSSOP (PW)-UQFN (RSV)

采用该配置的所示封装之间的引脚分配差异。TMUX6208 用作示例器件。

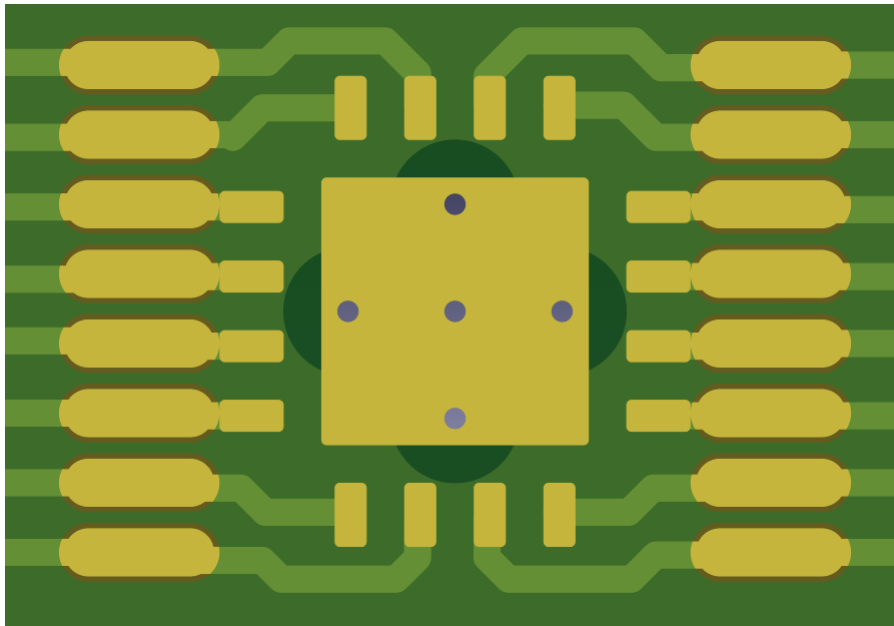


图 1-5. TSSOP (PW) - WQFN (RUM)

1.4 使用多个器件打造所需的多路复用器配置

随着所提供的封装尺寸越来越小，有更多的选项可用于将更多引脚数的器件替换为多个更少引脚数的器件，以实现相同的多路复用器配置。更小的封装尺寸还允许设计人员使用多个器件构建所需的配置，而不会影响布板空间。例如，使用两个 UQFN 8:1 器件而不是单个 TSSOP 或 WQFN 16:1 可节省布板空间，因为组合使用时，RSV 封装 (UQFN) 为 10mm²，而 PW (TSSOP) 为 62mm²，RTV (WQFN) 为 25mm²。每个 UQFN 器件上的漏极引脚需要连接在一起，数字逻辑引脚可以共享 MCU 的 I/O 控制。然后，使能引脚用于选择要连接的器件和开关路径。图 1-6 中显示了此配置。

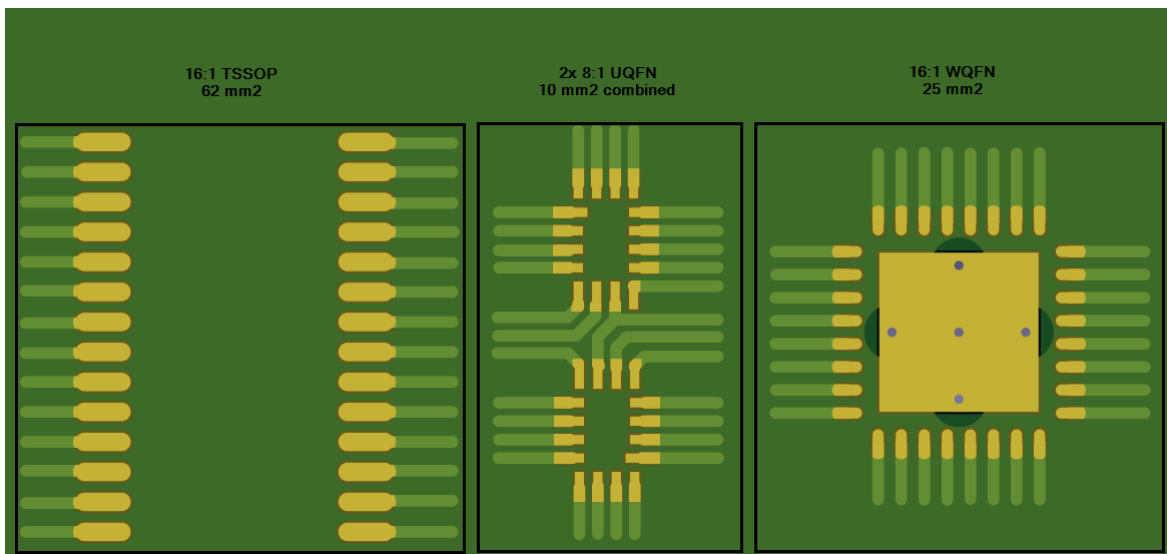


图 1-6. 使用两 8:1 器件而不是一个 16:1 器件可节省 PCB 空间

2 总结

在设计中使用多个封装是一种富有创意的方法，具有多种优势，包括更灵活的采购策略和 BOM 成本节省。TI 广泛的多路复用器和信号开关产品系列可满足您的项目需求。

3 参考文献

- 德州仪器 (TI), [小封装运放的第二封装兼容设计](#), 模拟设计期刊

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司