

Application Note

I2C 总线阻塞：预防和权变措施

Duy Nguyen

摘要

本文档介绍 I2C 总线阻塞干扰、I2C 总线阻塞是如何发生的以及解决 I2C 总线阻塞干扰的潜在方法（包括软件方法和硬件设计）。

内容

1 什么是总线阻塞？.....	2
2 总线阻塞是如何发生的？.....	2
3 串扰.....	4
4 EMI.....	5
5 热插入.....	5
6 解决总线阻塞问题.....	6
7 结语.....	7
8 参考资料.....	7

商标

所有商标均为其各自所有者的财产。

1 什么是总线阻塞？

I²C 总线阻塞是指在 SCL 线路为高电平时 SDA 线路无限期保持低电平。这种情况会带来问题，因为通常总线上有多个 I²C 器件，如果 SDA 线路一直处于低电平，则无法再进行 I²C 通信。在这种情况下，I²C 控制器无法控制 SDA 线路，因此无法发出启动和停止条件。在最坏的情况下，甚至处理器也可能会一直处于等待 SDA 线路变为高电平的状态。由于处理器处于无限期等待状态，不再执行任何其他代码行，因此可能导致整个系统或终端设备卡住。本文重点介绍这种特定类型的 I²C 总线阻塞问题，并提供尝试解决此类总线阻塞问题的一些方法。

还有另一种类型的 I²C 总线阻塞事件，即 SCL 线路可能一直处于低电平。通常，I²C 总线上唯一可以控制 SCL 线路的器件是会发出 SCL 脉冲的 I²C 控制器。不过，有一些 I²C 目标器件可以执行时钟延展，在极少数情况下，可能会导致时钟一直处于低电平。在这些情况下，唯一的恢复方法可能是对使总线一直处于低电平的器件进行复位或下电上电。

2 总线阻塞是如何发生的？

总线阻塞问题可能由多种不同原因导致，在大多数情况下，主要都是产生了错误的时钟边沿。I²C 总线上出现错误的时钟边沿会带来危险，因为错误的时钟边沿会使 I²C 目标器件的时钟与负责产生时钟边沿的 I²C 控制器不同步。I²C 目标器件的纳秒级抗尖峰脉冲滤波器和 I²C 控制器的抗尖峰脉冲滤波器之间的差异可能导致一个器件会发现错误边沿，而另一个器件不会发现错误边沿。例如，如果 I²C 目标器件具有 70ns 抗尖峰脉冲滤波器，而控制器具有 50ns 抗尖峰脉冲滤波器，则会在 60ns 时间窗口内发生错误边沿，导致控制器会发现错误边沿，而目标器件会忽略错误边沿。另一种可能的情况是，目标器件和控制器之间存在一个 I²C 转接驱动器（也称为缓冲器）。如果一侧出现错误边沿，该边沿无法通过转接驱动器传播，因此控制器和目标器件两者只有一侧可以发现边沿，另一侧不会。

图 2-1 显示了一个示例。本示例中的第一个事务显示了应该发生的情况。控制器使用 0x0Ah 数据包向目标器件发送数据，在第 9 个时钟脉冲上，目标器件通过确认告知控制器其接收到数据，然后控制器生成停止条件。第二个事务与第一个事务相同，但在第 5 个时钟脉冲期间生成了错误边沿。此时，控制器会发现该错误边沿，而 I²C 目标器件不会发现。这意味着控制器在 I²C 事务中超前一个时钟，而 I²C 目标器件落后一个时钟。目标器件发现的数据随后向左移动 1，因此其接收到错误数据 (0x05h)，而不是发现 0x0Ah。当出现第 8 个 SCL 下降沿时（从目标器件的角度），I²C 目标器件会将 SDA 线路驱动为低电平，但始终不会发现第 9 个 SCL 下降沿。这会导致 SDA 线路无限期处于低电平。控制器无法发出停止条件，但可以将 SCL 保持为低电平或释放 SCL（具体取决于控制器的硬件和软件）。

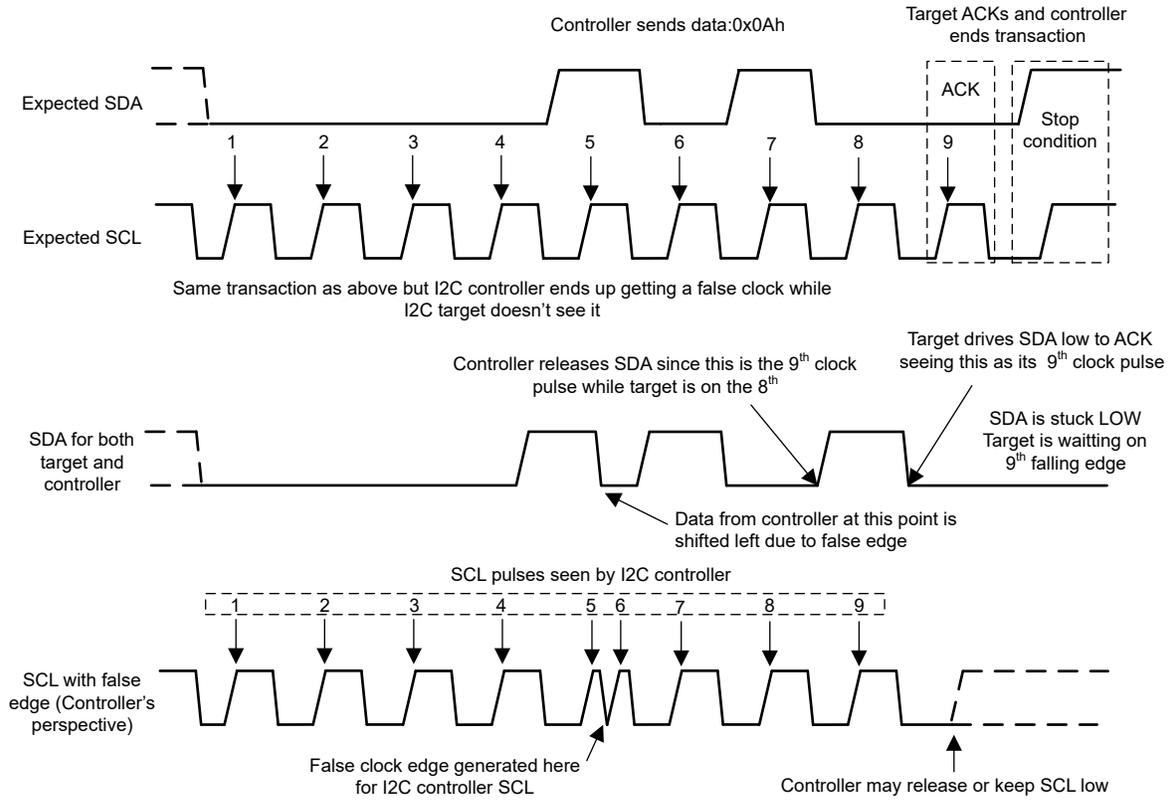


图 2-1. 写入事务期间控制器上存在错误边沿的示例

总线阻塞的根本原因可能是串扰、电磁干扰、热插入事件或不良的上电复位情况。

3 串扰

一种产生错误边沿的常见原因是串扰。通常情况下，就 I2C 而言，串扰是由两条线路（想象一下 PCB 上两条平行且间距很小的长布线）之间的共享电容和快速边沿速率产生的。正常情况下，如果 I2C 线路出现串扰，则在 SDA 或 SCL 线路处于逻辑高电平状态时便会发生串扰事件。这是因为在驱动低电平逻辑时，由于 I2C 的开漏架构，信号的偏置程度更强。逻辑高电平状态由上拉电阻器设置，但这与开漏驱动器相比弱得多。这些开漏驱动器的 R_{on} 比用于建立逻辑高电平信号的外部上拉电阻器强得多（具有低 R_{on} 值）。这意味着在大多数 I2C 事务中，SDA 线路上的信号可能出现串扰，因为除非 SCL 为低电平，否则 SDA 不会改变状态。这种情况的唯一例外是在启动条件期间，因此，如果足够严重，可能会出现错误时钟边沿。如果发生总线阻塞问题，并且 SDA 线路上似乎存在串扰，则建议在启动条件下检查 I2C 事务的开头，以排除串扰是问题根源的可能性。

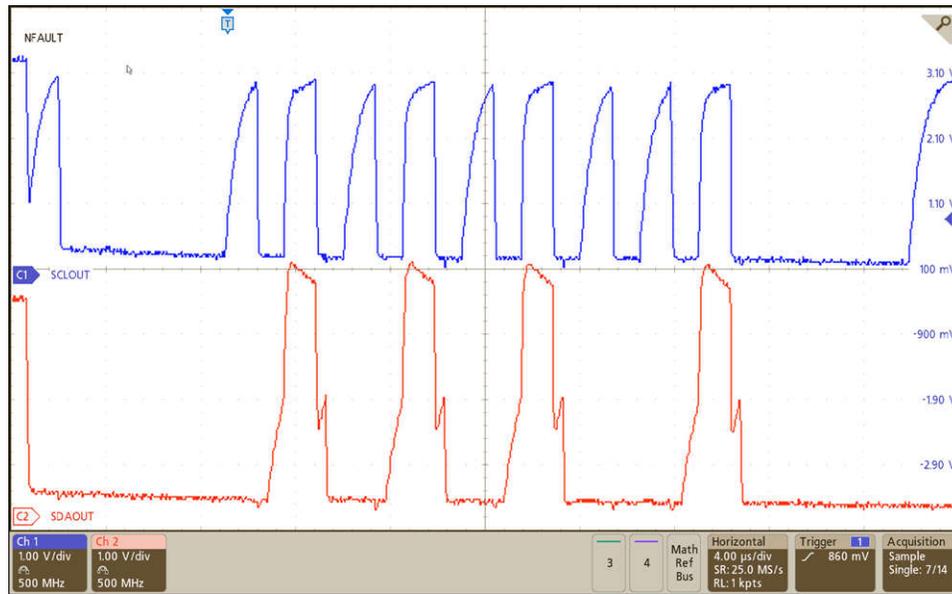


图 3-1. 串扰示例

这并不意味着发出干净的启动条件后时钟线路就不会受到威胁，SCL 布线附近其他更快的边沿在高电平期间仍会在 SCL 总线上引起串扰。此处的一个要点是需要对 I2C 布线进行正确布局，避免 SCL 与其他具有快速边沿速率的布线（包括 SDA）靠得太近（平行）。平行也可能意味着在 SCL 布线正下方布放高频或大电流驱动的布线。

4 EMI

电磁干扰 (简称 EMI) 是产生错误边沿或造成数据损坏的另一个潜在原因。这背后的原理是 SDA/SCL PCB 布线甚至 I2C 器件封装的引脚可能会接收 EMI, 因为这些器件由金属导电材料制成, 而这些材料可能充当接收这种电气噪声的天线。通常, 这种问题出现在有电气噪声的环境中, 例如具有高开关电流的发电站, 这种环境下会通过空气传播电气噪声。其他潜在的 EMI 源也可能带来问题。激光打印机或风扇电机等大电流负载在启动时会产生显著的 EMI。这些 EMI 源附近的 I2C 布线可能出现信号完整性问题, 在某些情况下, 会导致 I2C 控制器或 I2C 目标器件内的硬件外设出现错误, 因为这些器件在设计中未考虑过这种电气应力。如果 EMI 的幅度足够大且频率足够慢, 可能会在 I2C 总线上触发总线阻塞事件。

5 热插入

热插入有时称为热插拔或热连接, 在业内使用这一术语来描述未通电的 PCB 连接到通电的 PCB (也称为背板) 的事件。当带电的 I2C 总线 (已通电的总线) 发现未通电的 I2C 总线 (PCB) 时, 可能存在不匹配的电压电平。例如, 如果带电的 I2C 总线正在进行通信时 SCL 和 SDA 都处于逻辑高电平, 那么当未通电的 I2C 总线建立连接时, 总线上引入未通电的寄生电容可能会迫使 SDA 和 SCL 均快速下降到 GND, 以便为未通电的电路板上新引入的寄生电容充电。下图中显示了这种情况的一个示例。通道 4 (绿色) 是带电总线 (背板) 上的 SCL 引脚, 通道 3 (紫色) 是未通电的 I2C 总线 (子卡) 上的 SCL 线路。由于带电总线上引入的寄生电容, 带电总线 SCL 会下降到与子卡 SCL 电压电平的当前电压相匹配。请注意, 该图展示了 TI I2C 热插拔器件的 1V 预充电特性, 因此压降仅降至 1V, 而不是接地。

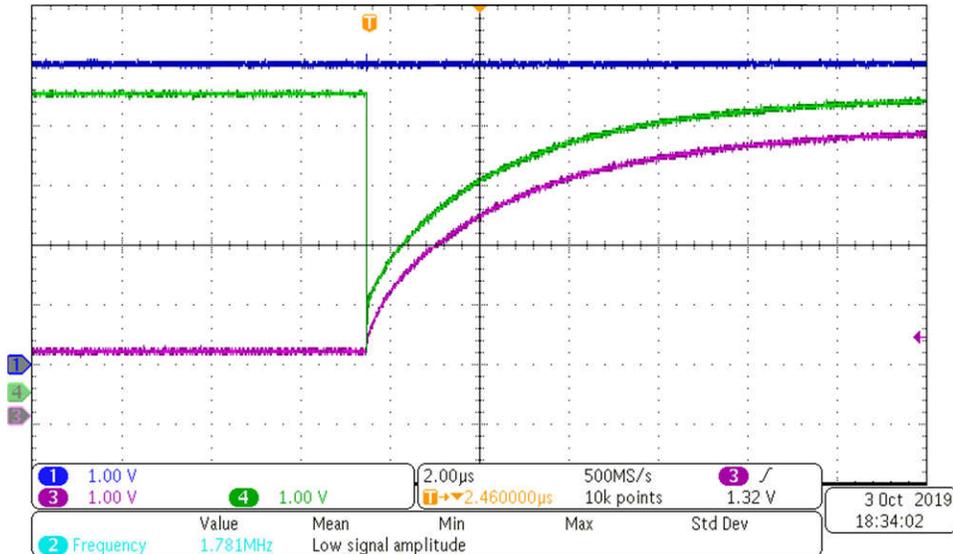


图 5-1. 热插入示例

寄生电容压降事件可能类似于 I2C 总线上的另一个错误时钟脉冲, 可能会破坏传输的数据, 在更坏的情况下会导致总线阻塞问题。

6 解决总线阻塞问题

当需要读取信息或需要通过总线传输数据时，SDA 一直处于低电平会导致问题。有几种可能的方法可以释放总线。如果总线的系统设计人员能够修改或构建总线上处理器或主机的软件，他们可以为处理器或主机编写代码，以便寻找潜在的总线阻塞问题，并做出反应以尝试解决该问题。对于 I2C 总线，为了实现此目的，可以将串行时钟线路 (SCL) 切换八到十六次，然后发出停止条件。这样可以推进在整个处理流程中使串行数据线路 (SDA) 保持低电平的 I2C 器件状态机，将状态机复位为空闲状态以释放总线。对于 SMBus，SCL 线路保持低电平的时间可能超过 t_{timeout} ，这可能强制所有 SMBus 器件全部复位并解决总线阻塞问题。如果 I2C 目标器件有一个专用的复位引脚，则总线上的处理器可以启动复位以释放总线。但是，如果存在大量 I2C 目标器件，这种设计的效率很低。可以强制处理器对连接到该复位引脚的所有目标器件进行复位，从而使总线上的所有 I2C 目标器件重新初始化（尽管最初只有一个器件导致总线阻塞问题）。

从硬件角度来看，使用具有热插入保护功能的 I2C 缓冲器器件可以解决因热插入事件导致的总线阻塞问题。

TCA9511A 和 TCA4307 具有专用逻辑可用于将未通电的 I2C 总线（子卡）与通电的 I2C 总线（背板）分离，直到两侧都准备好连接，从而防止总线上出现干扰。[面向热插拔应用的 I2C 解决方案](#) 应用手册中详细介绍了这种安全连接机制。

为了解决由串扰、EMI 或不良的上电复位引起的总线阻塞问题，可将 TCA4307 设计用于 I2C 总线，因为其具有一种称为总线阻塞恢复的附加功能。总线阻塞恢复功能可以检测 SDA 线路是否一直处于低电平。如果器件一直处于低电平的时间超过 40ms (t_{stuckbus})，则会将下游 I2C 总线与上游 I2C 总线断开，并将 RDY 引脚驱动为低电平。这样会让处理器知道下游通道已从总线断开。因此，可以防止 I2C 控制器/处理器通常所在的上游总线发生阻塞，并允许继续与上游总线段上的其他 I2C 器件通信。TCA4307 随后可生成多达 16 个时钟脉冲，直至 SDA 线路释放。然后，TCA4307 可发出一个停止条件来尝试将 I2C 器件的状态机复位为空闲状态。如果总线阻塞问题得到解决，TCA4307 可以自动重新连接下游总线和上游总线。

从下图可以看到这一点。通道 1（蓝色）是 SCL 线路，通道 4（绿色）是 SDA 线路，通道 3（紫色）是 RDY 引脚，这表示下游总线和上游总线再次连接在一起。在图 6-1 所示的示例中，在 6 个时钟脉冲过后，TCA4307 会控制 SDA 线路以发出停止条件，总线即由 TCA4307 解除阻塞。

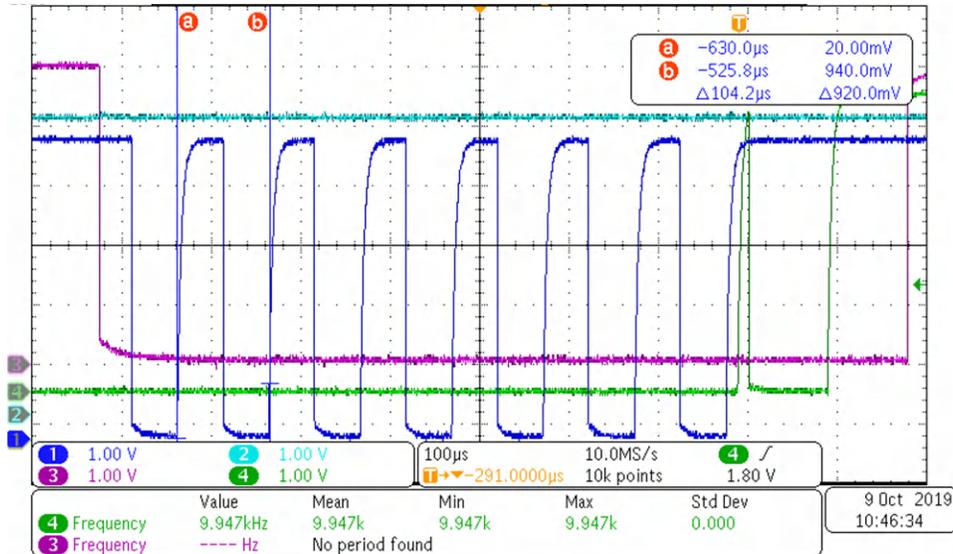


图 6-1. 总线阻塞恢复功能的波形示例

7 结语

I2C 总线阻塞可能由多个因素导致，会阻止关键信息在 I2C 总线上传递，或阻止对 I2C 器件的控制。正确的软件/硬件设计可以保护 I2C 总线以免总线挂起和 I2C 停止运行。

8 参考资料

- 德州仪器 (TI), [面向热插拔应用的 I2C 解决方案](#) 应用手册。
- 德州仪器 (TI), [TCA4307 具有总线阻塞恢复功能的热插拔 I2C 总线和 SMBus 缓冲器](#) 数据表。
- 德州仪器 (TI), [TCA9511A 热插拔 I2C 总线和 SMBus 缓冲器](#) 数据表。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司