

Application Brief

射频合成器资源汇编



Narala Reddy

本应用简报一站式提供了与 TI 射频合成器相关的文章，旨在帮助客户专注于了解 TI 射频合成器。

本部分内容涉及更快地锁定 PLL 环路、配置 PLL 环路、PLLatinum 仿真设置以及影响 PLL 真实性能的因素等。

1. [PLL 无法锁定的应对措施](#)
2. [避免错误的参考信号破坏 PLL/合成器的相位噪声](#)
3. [简化射频合成器 VCO 校准并优化 PLL 锁定时间](#)
4. [利用 VCO 即时校准显著缩短锁定时间](#)：与目前所有可用的射频合成器相比，LMX2820 具有更短的锁定时间，这篇文章对此进行了介绍。
5. [使用射频时钟合成器进行设计的常见错误及其规避措施](#)
6. [有源环路滤波器设计](#)
7. [使用 LMX2820 在乒乓架构中实现高隔离、快速频率切换](#)

特性和性能改进：这涉及射频合成器通过外部组件（如外部 PFD 选项和外部 VCO 模式）提供的额外特性。

1. [通过 LMX2571 实现移频键控](#)
2. [使用替代拓扑改善 LMX2820 射频合成器相位噪声](#)

相位同步：

1. [如何使多个 LMX2820 器件实现相位同步](#)

高级选项：这涉及射频合成器中可用的更多深奥特性以及优化杂散幅度的选项。

1. [使用可编程输入多路复用器更大限度减少整数边界杂散](#)
2. [分频对杂散、相位噪声和相位的影响](#)
3. [整数边界杂散](#)
4. [MASH_SEED 优化和对杂散的影响](#)
5. [两个射频合成器之间的高频延迟调整](#)
6. [已调制 PLL 斜坡波形的环路滤波器带宽优化](#)
7. [分数 N 频率合成](#)

其他：这里涵盖将 PLL 用作输入的主题（例如：ADC、DAC）和其他可改善 PLL 性能的因素。

1. [电源噪声如何影响计时器件](#)：所有 TI 射频合成器都具有用于实现良好 PSRR 的内部 LDO。因为电源无需内部 LDO 即可直接供给外部 VCO，因此外部 VCO 模式等某些情形是有用的。
2. [使用时钟缓冲器进行正弦波-方波转换](#)：本文介绍了设计中慢速压摆率对 PLL 带内性能的退化影响。
3. [使用 MSP430FR5969 EVM 对 LMX2594 PLL 合成器进行编程](#)
4. [高速数据转换器时钟 \(JESD204B 标准\)](#)
5. [适用于射频采样模数转换器的时钟优化](#)
6. [PLL 抖动对 GPS ADC SNR 及性能优化的影响](#)

商标

所有商标均为其各自所有者的财产。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司