

Application Note

能为下一个高速转换器设计带来优势的实用时钟注意事项



Andrea Vallenilla, Rob Reeder

摘要

使用高速模数转换器 (ADC) 进行设计时需要考虑很多因素。了解 ADC 采样时钟只是这些考虑因素之一，对于确保满足您的设计要求至关重要。如模拟设计期刊文章 *在时域中分析的时钟抖动* [第 1 部分](#)、[第 2 部分](#) 和 [第 3 部分](#) 中所述，需要了解对 ADC 性能 (或信噪比 SNR) 有直接影响的几个 ADC 采样时钟指标。然而，从实际的角度来看，这意味着什么呢？本应用手册展示了大量实验和权衡结果并在工作台上进行了验证，为您的下一个高速 ADC 时钟设计提供更好的参考。

内容

1 简介.....	2
2 了解相位噪声与抖动之间的差异.....	2
3 了解相位噪声或抖动如何影响 ADC 性能.....	3
4 了解时钟权衡因素以及对 ADC 性能的意义.....	5
5 了解如何运用时钟权衡来实现所需的 ADC 性能.....	8
6 总结.....	12
7 参考资料.....	13
附录 A：根据所使用的 TI 高速转换器选择 TI 时钟器件.....	14

商标

所有商标均为其各自所有者的财产。

1 简介

本应用手册介绍了不同时钟参数的权衡并在工作台上进行验证。手册中展示了不同的常见行为，帮助您在下一个高速转换器设计中进行时钟树设计时避免常见缺陷。这里展示的一些关系包括增加模拟输入频率时时钟性能的影响、时钟压摆率对 ADC 性能的影响等。

2 了解相位噪声与抖动之间的差异

良好的相位噪声对于充分提高 ADC 的性能至关重要。在尝试实现所需转换器的额定性能时，了解采样时钟的相位噪声以及与抖动的关系非常重要。

通常使用相位噪声曲线或图形来分析时钟或时钟信号链的总体噪声性能。相位噪声是来自电源或其他噪声源的任何加性噪声的累积结果，这些噪声会影响时钟的*纹音*并导致信号偏离理想状态。信号的相位会发生变化，从而围绕分析的信号音调产生相位噪声曲线。然后通过特定频率范围或积分带宽内对信号音调的相位噪声曲线进行积分来计算抖动。图 2-1 展示了积分带宽为 20Hz 至 130MHz 时的相位噪声曲线。蓝线是要分析的相位噪声曲线，两条红色垂直线表示积分带宽限制。

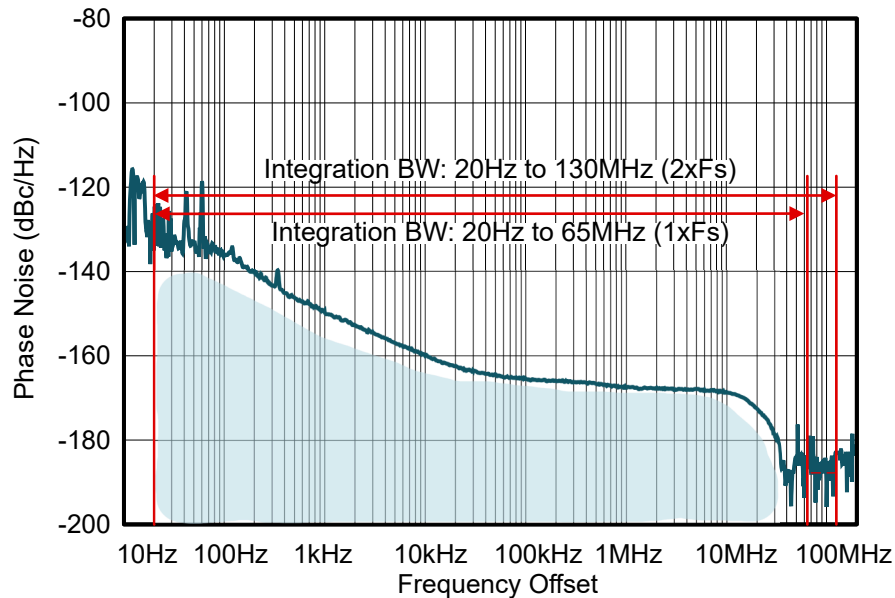


图 2-1. 使用特定积分带宽来获得抖动的相位噪声曲线

要计算抖动，请将积分带宽下限设置为接近直流的值，以考虑时钟的整个相位噪声曲线。在该应用中，我们选择了 20Hz。为了获得积分上限，我们建议至少使用 ADC 采样频率 (F_s)，而为了进行更好的分析，请使用 $2 \times F_s$ 。例如，如果 ADC 的采样速率为 65MSPS，则积分带宽范围为 20Hz 到至少 65MHz (如果要更详细考虑噪声，则最高可达 130MHz)。很多时候， $2 \times F_s$ 更适用于了解宽带噪声贡献并确保达到采样时钟的本底噪声。

确定积分带宽后，可以根据相位噪声曲线计算抖动。首先，根据对数刻度将每个部分细分为不同的象限，例如 10kHz 至 100kHz、100kHz 至 1MHz 等。然后，对每个象限进行单独积分以确定噪声功率。然后，将每个噪声功率加在一起以了解曲线下的总噪声功率。最后，根据总噪声功率来计算 RMS 相位抖动 (以弧度或秒为单位)。图 2-2 展示了如何利用四个象限对相位噪声曲线进行积分以计算指定积分带宽附近的总抖动。

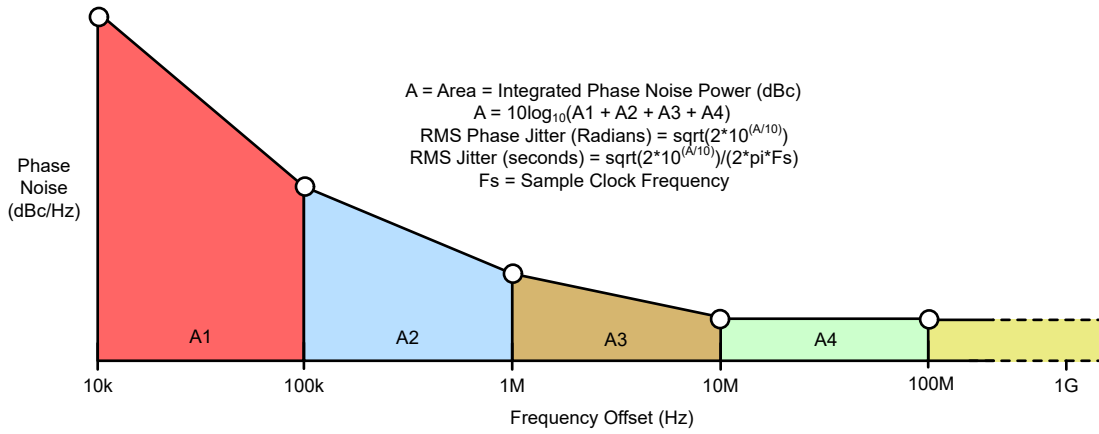


图 2-2. 利用更简单的方法将相位噪声换算为抖动的表示法

3 了解相位噪声或抖动如何影响 ADC 性能

方程式 1 描述了 ADC 的 SNR 关系。SNR_Q 是 ADC 固有的量化噪声、SNR_N 是 ADC 的热噪声，SNR_J 是贡献的总体抖动。SNR_J (如方程式 4 所示) 是整个时钟信号链加性抖动和相对于模拟输入频率的 ADC 固有孔径抖动的组合。以下公式清晰表明，总体 SNR 性能不仅仅取决于时钟抖动，而是多个项的综合结果。

$$SNR_{ADC} \left[\text{dBc} \right] = -20 \log \sqrt{\left[10 \left(\frac{-SNR_Q}{20} \right) \right]^2 + \left[10 \left(\frac{-SNR_N}{20} \right) \right]^2 + \left[10 \left(\frac{-SNR_J}{20} \right) \right]^2} \quad (1)$$

$$SNR_Q \left[\text{dBc} \right] = \text{quantization of ADC} \quad (2)$$

$$SNR_N \left[\text{dBc} \right] = \text{thermal SNR of ADC} \quad (3)$$

$$SNR_J \left[\text{dBc} \right] = \text{overall jitter} = -20 \log (2 * \pi * f_{in} * t_j) \quad (4)$$

$$t_j = \text{combined rms jitter} = \sqrt{(\text{clock input jitter})^2 + (\text{ADC aperture jitter})^2} \quad (5)$$

图 3-1 使用更高性能的 TI ADC 之一 ADC3683 来模拟了方程式 1。每条有色曲线表示一个不同的时钟抖动值，说明了在整个模拟输入频率范围内增加时钟抖动如何降低 ADC3683 的 SNR。请注意，对于低模拟输入频率，无论整体采样时钟抖动贡献如何，ADC SNR 性能都会保持不变，因为 ADC 量化噪声项和 SNR 热噪声项明显高于时钟输入抖动项。但是，随着模拟输入频率的增加，SNR 开始下降，因为时钟输入项开始主导组合的 rms 抖动项并掩盖 ADC 量化噪声项和 SNR 热噪声项，如方程式 4 和方程式 5 所示。很明显，SNR 下降量在很大程度上取决于总体抖动贡献、ADC 孔径抖动 (ADC3683 孔径抖动为 180fs) 以及时钟输入抖动与 ADC 孔径抖动的幅度差。图 3-1 中的红色虚线展示了 ADC3683 可实现的出色性能。绿色和黄色曲线纯粹是理论曲线，无法在实践中实现，旨在进一步展示时钟抖动和 ADC SNR 之间的关系。

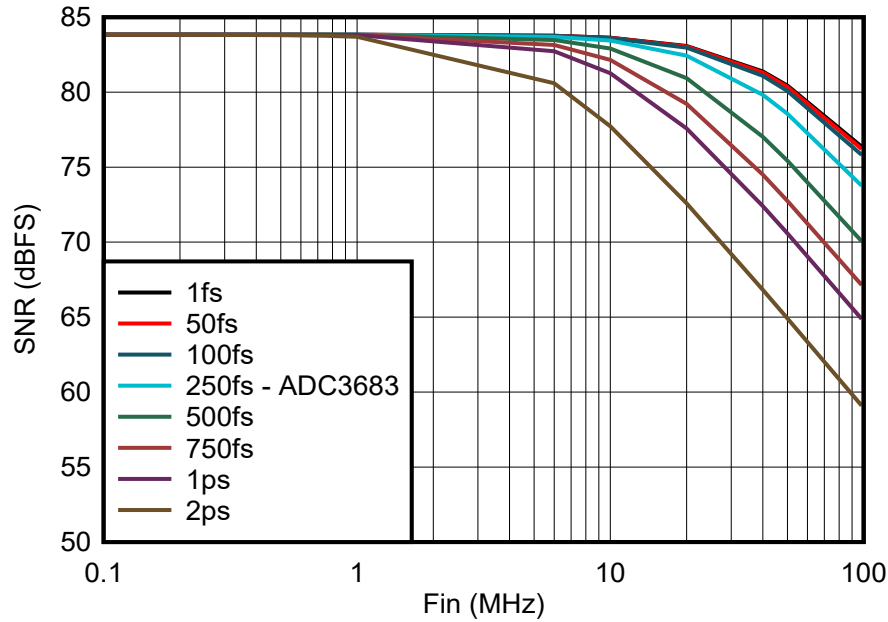


图 3-1. SNR 与 F_{in} 外部时钟抖动关系

如前所述，当使用更高的模拟输入频率时，需要性能更好的时钟。这是因为增加模拟输入信号的斜率或压摆率会导致较大的转换误差。为了补偿这种额外增加的误差，系统需要抖动较小的时钟。图 3-2 更清楚地说明了随着模拟输入频率的增加，具有相同抖动量的相同时钟边沿如何在相同时间内转换为更大的增量误差和更差的 SNR。

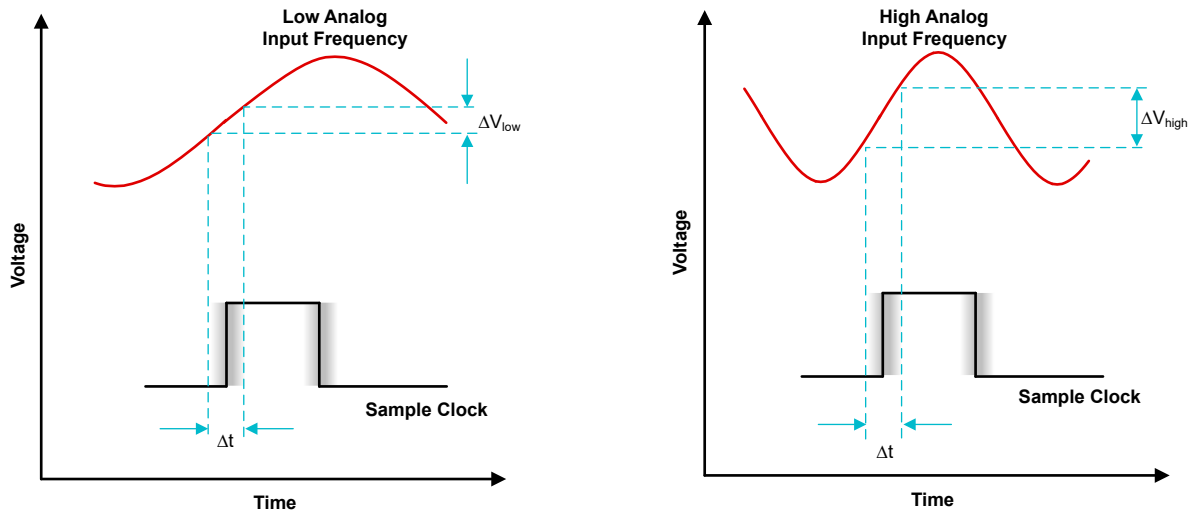


图 3-2. 低模拟输入频率与相同时间段内出现的相同采样时钟边沿 图 3-3. 高模拟输入频率与相同时间段内出现的相同采样时钟边沿

4 了解时钟权衡因素以及对 ADC 性能的意义

现在进入应用手册的精彩部分。这里，我们将讨论尝试在高速转换器设计中实现良好性能时需要考虑的多种权衡因素。我们从源开始，也就是实验室中用作采样时钟源的信号发生器。该实验使用了多个信号发生器。信号发生器的相位噪声测量结果可以在图 4-1 中看到。这些相位噪声测量值是信号发生器直接连接到相位噪声分析仪得到的。所有信号发生器都配置了 25MHz 输出信号和 +10dBm 输出功率。请注意，信号发生器可能有特定的升级或选项来增强现有的默认配置。

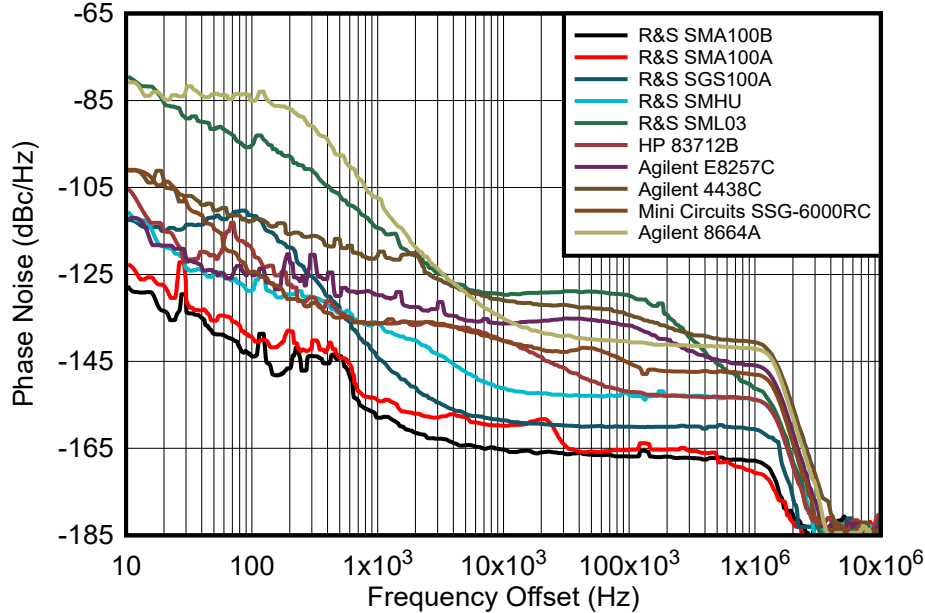


图 4-1. 25MHz 和 +10dBm 输出功率级别下不同信号源的相位噪声曲线

所有实验都使用了 ADC3683 评估板（即 EVM），其中包含三个不同的 10MHz 基准锁定信号发生器：一个提供时钟输入，另一个提供模拟输入，第三个提供 ADC3683 所需的数据时钟输入，如图 4-2 所示。所有这些进入 ADC3683 的输入均通过带通滤波器进行滤波，以去除信号发生器任何其他不必要的噪声和杂散。用于数据时钟输入的信号发生器是 R&S SGS100A。对于模拟输入，我们使用了截至 2024 年 9 月市场上性能最高的信号发生器 R&S SMA100B。除非另有说明，否则这两个信号发生器在所有实验中都保持不变。

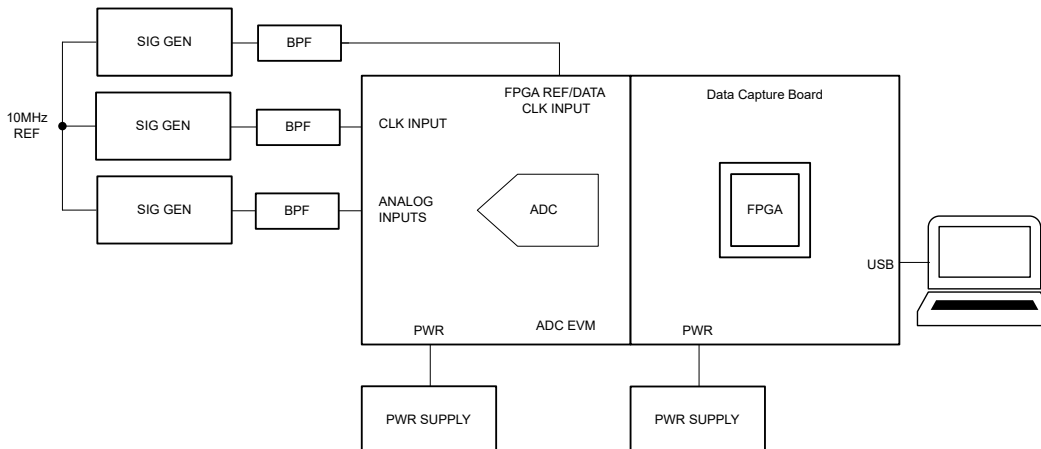


图 4-2. 实验室中的 ADC 测试测量设置

图 4-3 比较了转换器在不断提高的模拟输入频率下的交流性能或 SNR。在这里，ADC3683 的时钟频率为 25MSPS，使用的信号发生器与图 4-1 中不同。对于测试的每个源，时钟在 +10dBm 保持恒定，且模拟输入频率从 2MHz 扫描到 30MHz。测量 SNR 值（以 dBFS 为单位）之前，在每个频率点将模拟信号源信号发生器输出功

率级别调整为 -1dBFS 。为了保持实验的一致性，模拟输入源始终使用具有最高性能的信号源，未曾改变。如图 3-1 (理论) 和图 4-1 (实际) 两个图所示，当模拟频率增加时，SNR 开始滚降并恶化，或者说 SNR 受抖动限制。这意味着 ADC 时钟源和/或时钟信号链的抖动或相位噪声开始主导转换器的整体性能，导致转换器以噪声更大的时钟源运行时 ADC 的 SNR 更差。随着模拟输入频率变高，每个信号发生器的相位噪声贡献略有不同，而在频率较低时，相位噪声的影响较小。

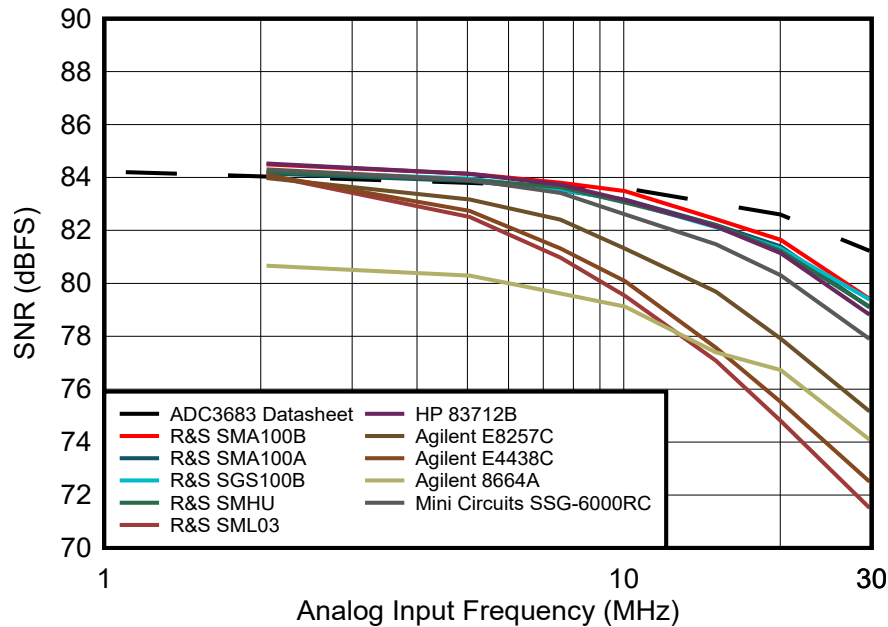


图 4-3. 在 25MSPS 和 $+10\text{dBm}$ 条件下，以 -1dBFS 模拟输入信号运行 ADC 时，不同时钟信号源下 ADC3683 SNR 与 f_{in} 间的关系

时钟压摆率是影响 ADC 性能的另一个关键特性。时钟边沿的压摆率越快，降低时钟抖动的几率就越高。此外，当采样时钟边沿穿过 ADC 采样阈值时，较快的压摆率会更大程度降低时钟边沿的时序不确定性。图 4-4 展示了采样时钟压摆率对 ADC 性能的影响。如图所示，当 25MSPS 时钟源的振幅电平从 $+10\text{dBm}$ 降低到 -15dBm 并为模拟输入频率 (5MHz、实线和 30MHz、虚线) 保持恒定的输出功率电平时，SNR 开始随着时钟信号源变为 -5dBm 或更小而降低。请注意，每个 ADC 都有独特的灵敏度级别， -5dBm 并不适用于所有 ADC。 -5dBm 仅对此 ADC 测试用例有效，用于演示时钟源上更快的压摆率如何使 ADC 获得最佳 SNR。

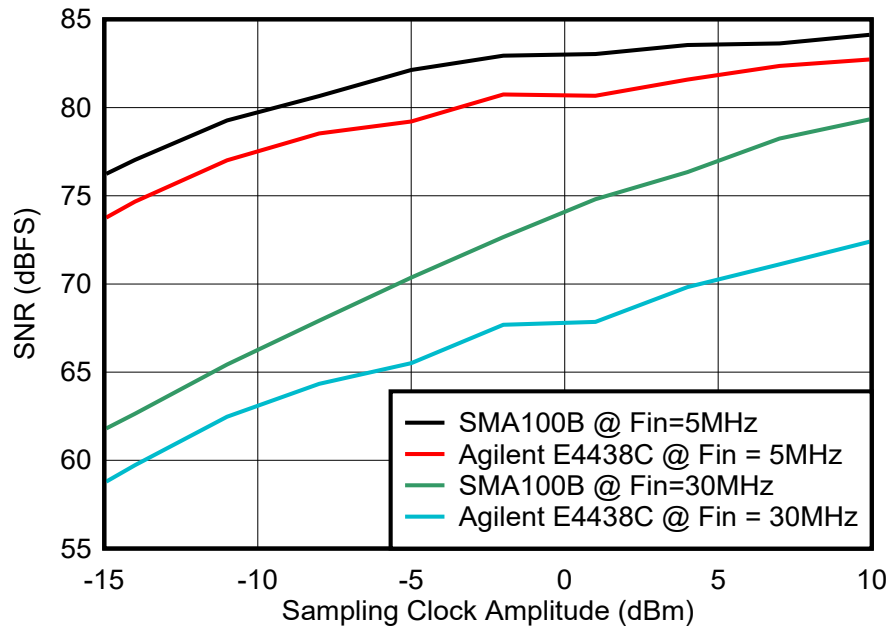


图 4-4. SNR 与采样时钟振幅 (压摆率) 间的关系

5 了解如何运用时钟权衡来实现所需的 ADC 性能

相位噪声曲线中噪声的最大贡献者之一是本底噪声，也称为宽带噪声。如果一个源比另一个源具有更高的本底噪声，则本底噪声更高的源会增加相位噪声曲线下的面积，从而增加指定积分带宽的抖动值。

通常，带通滤波器 (BPF) 可降低时钟信号或信号源的宽带噪声。BPF 还有助于从本质上滤除不需要的杂散信号，即使这些杂散信号有时是由高性能、低噪声信号发生器产生的。但请注意，BPF 也会降低信号的压摆率。因此，为保持较高的压摆率，需要增加相对于滤波器损耗的时钟信号。图 5-1 展示了在应用和不应用带通滤波的情况下，三个不同信号发生器的相位噪声曲线图。该实验所用的带通滤波器具有 25MHz 中心频率，带通为 10%。请注意宽带噪声在超出 1MHz 范围时的性能下降有所改善，这表明使用 BPF 通常会产生宽带更干净、抖动更低的时钟信号（但时钟压摆率下降不足以显著影响 ADC 性能）。

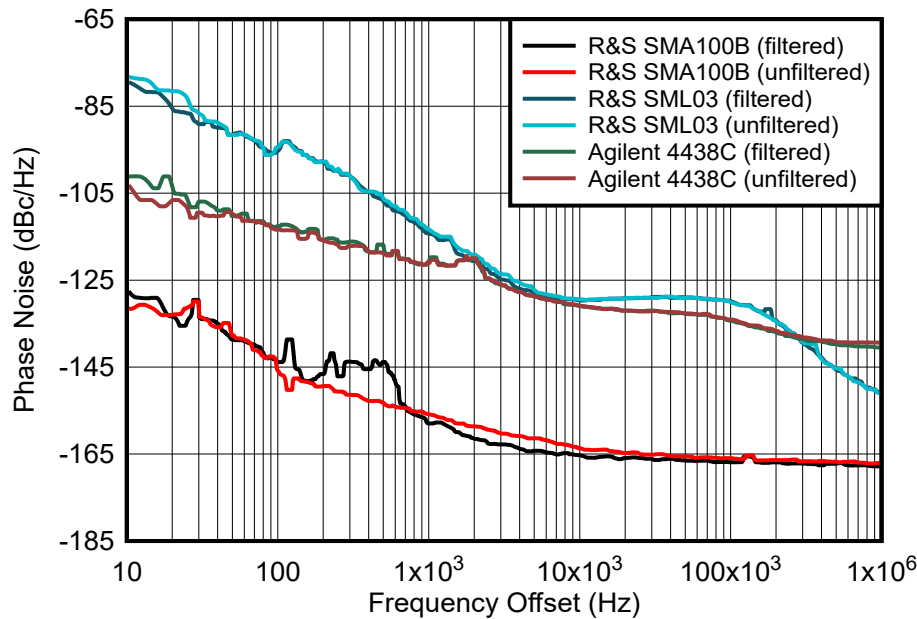


图 5-1. 应用和不应用滤波的情况下不同信号源的相位噪声曲线

从不同的角度观察滤波器示例，图 5-2 演示了 ADC3683 的 SNR 性能与模拟输入频率间的关系，其中使用相同的三个信号发生器作为采样时钟，包括滤波和未滤波两种情况。在用于时钟的信号发生器的输出端应用滤波器后，可以明显看到 SNR 改善。在本底噪声较高的低性能信号发生器上（在这种情况下，固有的相位噪声非常差）应用滤波器时尤其说明了这一点。

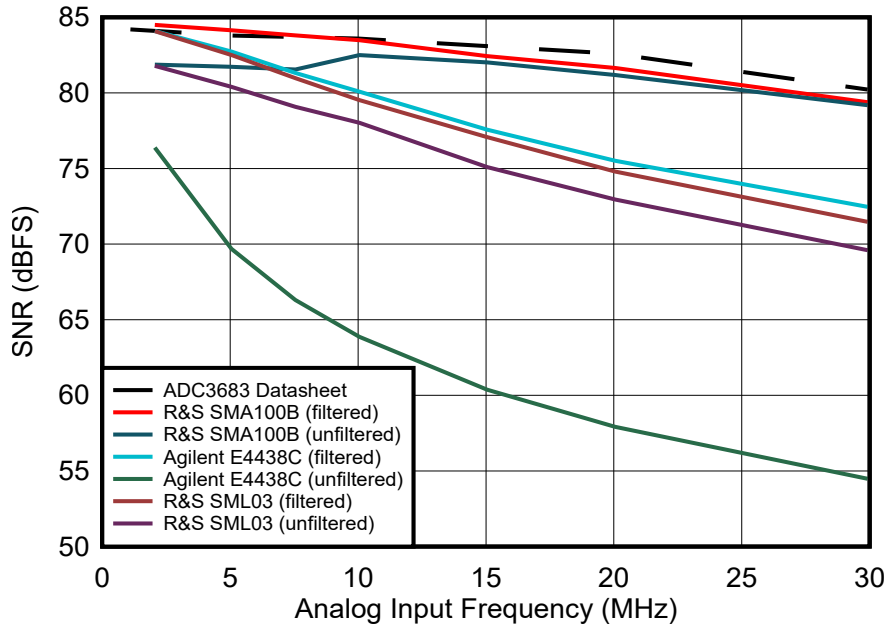


图 5-2. 使用不同时钟信号源进行滤波与不滤波时 ADC3683 的 SNR

到目前为止已使用信号发生器来演示时钟信号的各种权衡。但在现实世界中，大多数设计人员会为 ADC 设计选择特定的时钟器件。在某些情况下，设计人员希望将 FPGA 用于 ADC 采样时钟。但是，不建议这么做。与 TI 大多数时钟产品系列相比，FPGA 时钟输出具有明显的加性抖动。图 5-3 展示了 FPGA 输出时钟和以下 TI 时钟产品的 25MHz 相位噪声曲线：LMX2572、LMK04832、LMX2571、CDCE6214 和 LMK3H0102。图 5-4 演示了用于时钟器件的测试设置。与所示的任何 TI 时钟器件相比，FPGA 时钟的相位噪声曲线（绿色曲线）更差，尤其是在本底噪声方面。使用 FPGA 作为 ADC 采样时钟不是一个好的设计选择，如果需要转换器的数据表性能或类似性能，不建议这样做。请注意，TI 时钟器件的性能可能会根据配置而变化，这会直接影响器件的相位噪声曲线。

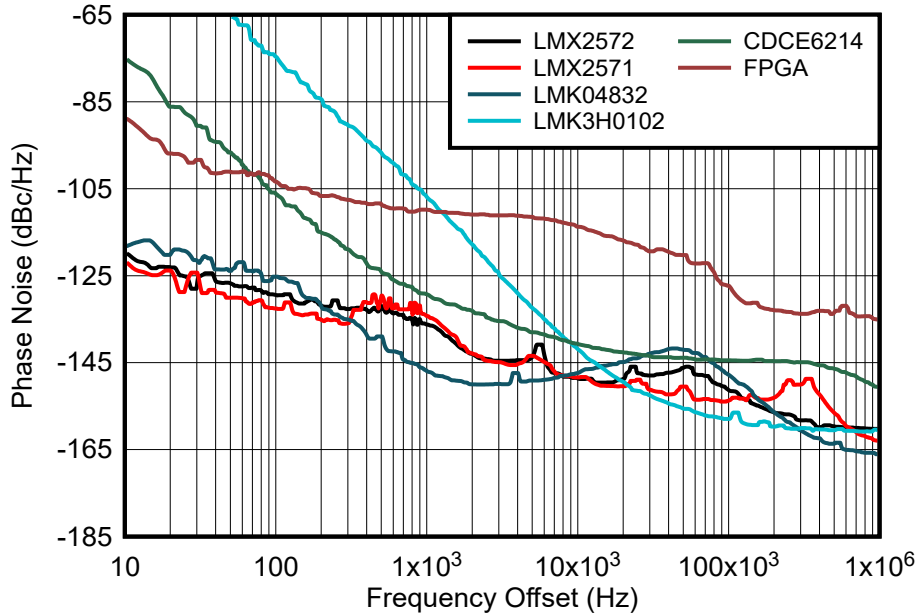


图 5-3. 多个 TI 时钟器件与 FPGA 输出时钟的相位噪声曲线

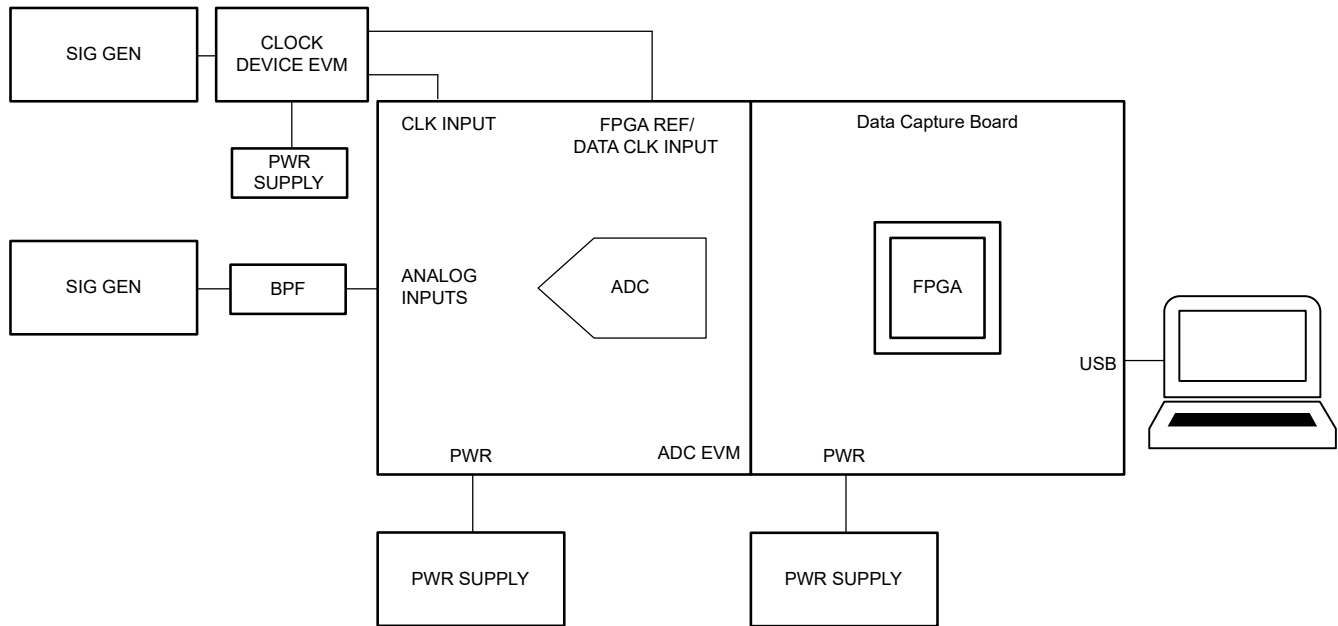


图 5-4. 实验室中的 ADC 和时钟器件测试测量设置

图 5-5 演示了使用 FPGA 输出时钟为 ADC3683 提供时钟时对 ADC SNR 性能的影响，并与前面提到的 TI 时钟器件进行比较。图 5-5 证实具有更高相位噪声和本底噪声的时钟源会显著影响转换器的性能。为了实现 ADC3683 的高 SNR 数据表性能，该 ADC 由无源器件（例如变压器或平衡-非平衡变压器）提供时钟，而不是使用 TI 时钟器件或其他有源器件。使用有源器件会进一步引入噪声并降低 ADC 性能。然而，尽管使用无源器件能获得出色性能，但无源器件的尺寸更大，成本更高，并且驱动能力不佳。这一原因通常会促使工程师在其系统设计中放弃使用无源时钟器件，而是选择足以满足性能需求的有源时钟器件。如前所述，在有源时钟设计中也可以采用滤波功能，这样可以提高 ADC 性能。但是，在该实验中并没有这样做，因为在 P 和 N 输出端添加 BPF 非常复杂，需要进行大量修改，无论是板载还是非板载。

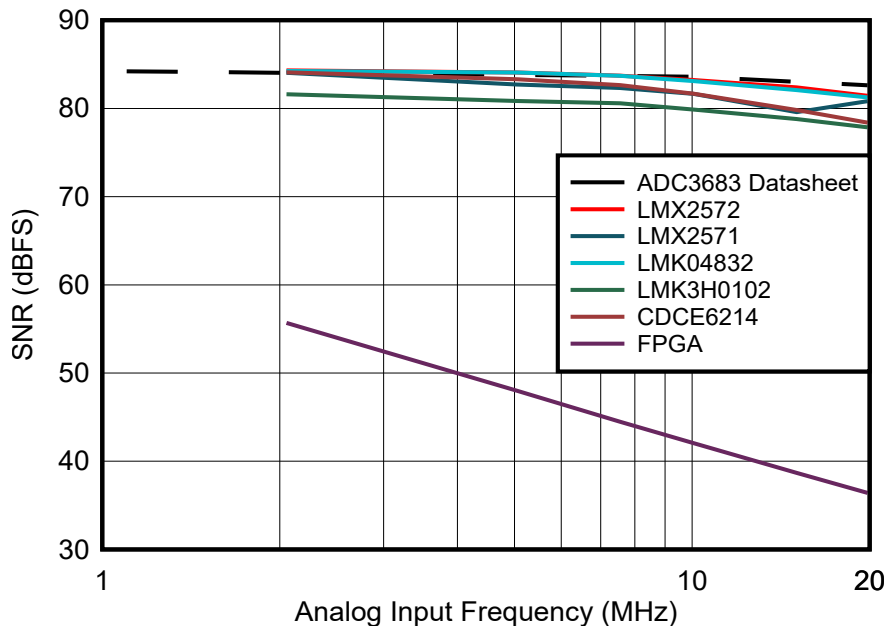


图 5-5. TI 时钟器件和 FPGA 输出时钟与 ADC3683 数据表 SNR 在不同模拟输入频率下的对比

与 LVDS 信号相比，具有高压摆率的快速上升信号（如 LVPECL 或 CML 接口）也能带来更好的 ADC 性能。图 5-6 显示了使用 25MHz 采样时钟源以及不同输出配置、信号标准和滤波模拟输入源时对 ADC3683 SNR 性能随频

率变化的影响。时钟器件用差分 (DIFF) LVDS 和 LVPECL 样式接口以及单端 (SE) LVCMOS 样式接口进行了配置和测试。差分样式接口的性能也更好，主要是因为任何共模噪声都会被固有地消除。有关差分信号与单端信号的详细信息，请参考 [SLLD009](#)。当时钟器件配置为输出 LVCMOS 信号时，ADC SNR 会降低。

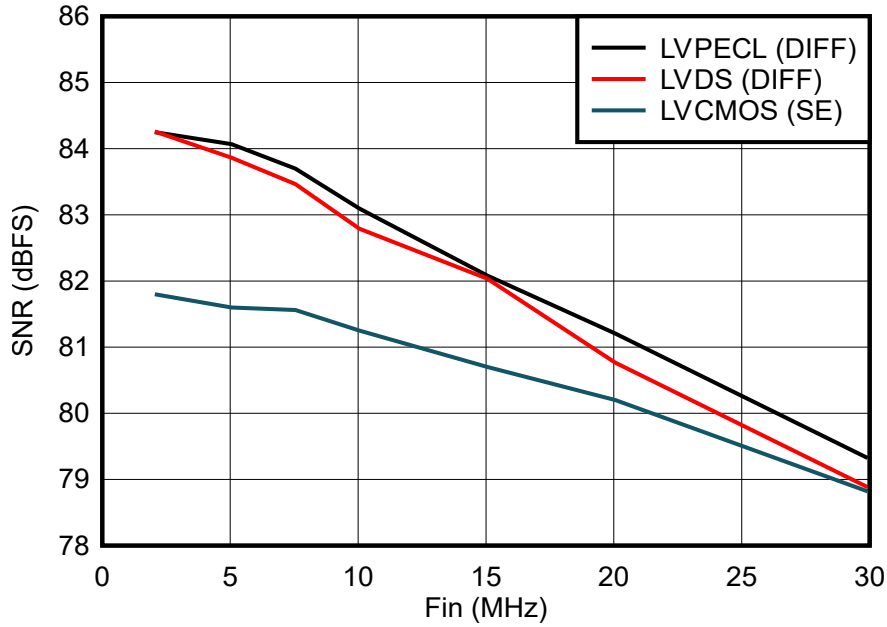


图 5-6. 根据各种输出信号标准配置的时钟器件与 ADC3683 在不同频率下的 SNR 性能对比

6 总结

虽然本文中展示的所有实验案例都在 MSPS 范围内，但提供干净的高压摆率时钟源对于充分提高 ADC 性能至关重要。在使用 GSPS ADC 或高速 ADC 进行设计时，这些基本要点非常有用。

了解相位噪声和抖动之间的差异也至关重要。请注意，为了捕获采样时钟源产生的抖动的本底噪声，请将积分带宽上限设置为至少 F_s ，建议设置为 $2 \times F_s$ 。另一个注意事项是，宽带本底噪声是相位噪声和/或抖动计算中最大的噪声来源。相位噪声曲线的这一象限对 ADC SNR 性能影响最大。

为了实现 ADC 所需的性能，选择一个良好、干净的时钟至关重要，尤其是因为并非所有时钟器件、振荡器和信号源都是相同的。应在适当时对时钟进行滤波以帮助抑制杂散和/或降低宽带噪声。但是，使用滤波器时可能需要进行权衡，因为滤波器会降低时钟边沿的压摆率，而这也会影响 ADC 性能。

请远离 FPGA 时钟。FPGA 时钟易于设计和实施，因为这些时钟是一种很好的低成本替代品。但是，如果设计中的首要要求是充分提高 ADC SNR 性能，这些时钟无法实现所述的 ADC 数据表性能。

最后，选择正确的时钟接口也很重要。差分信号是消除时钟信号中的共模噪声和干扰的关键。因此，为了获得最佳的转换信号质量，应使用 LVPECL 或 CML 样式的接口，而不是 LVDS 或单端 LVCMOS 时钟信号接口。

总之，如果下一个 ADC 设计的重点目标是实现最高的 SNR 性能，那么请提前考虑所有这些注意事项，以免在下一个 ADC 时钟设计中出现缺陷并产生抖动。

7 参考资料

- 德州仪器 (TI) , [在时域中分析的时钟抖动, 第 1 部分](#) 模拟应用期刊
- 德州仪器 (TI) , [在时域中分析的时钟抖动, 第 2 部分](#) 模拟应用期刊
- 德州仪器 (TI) , [在时域中分析的时钟抖动, 第 3 部分](#) 模拟应用期刊
- 德州仪器 (TI) , [LVDS 应用和数据手册](#)
- EE|Times , [Cut ADC Skewing Errors](#)
- EE|Times , [Analogue to Digital Converter \(ADC\) Basics](#)
- Planet Analog , [ADC Noise: How can the Clock Input Can Help](#)
- EDN , [Understanding the effect of clock jitter on high-speed ADCs](#)

附录 A：根据所使用的 TI 高速转换器选择 TI 时钟器件

TI 时钟产品系列包括各种具有低功耗、低相位噪声/抖动和低成本特性的器件。然而，为了在单个时钟器件上实现卓越性能、功耗和成本，需要对设计进行权衡。高性能器件往往电流更大、成本更高，而低功耗器件往往成本更低，但性能不高。考虑到这些权衡因素以及丰富的时钟和高速转换器产品系列，TI 制作了表 8-1 来帮助您在所用的高速转换器选择时钟。请注意，这些只是一般性建议，最佳时钟器件可能会因您的具体应用要求而异。如需个性化支持，请在 E2E 上发布您的应用要求。

表 8-1. TI 高速转换器和 TI 时钟配对

高速转换器	整体最佳时钟配对		按优先级进行的时钟配对权衡 (仅用于时钟生成)			
	时钟生成	时钟分配	最低成本	最高性能	最低功耗	权衡因素/注释
ADC12xJ3200	为多个 ADC 提供始终或同步时： LMK04832 为单个 ADC 提供时钟或同步时： LMX2594		LMK04832	LMX2820	LMX2594	LMK04832 ：功耗更高，器件尺寸更大，具有 14 路总输出 LMX2594 ：成本更高，但功耗更低，器件尺寸更小
ADC12xJ2700						
ADC12xJ1600						
ADC09xJ1300						
ADC09xJ800						
ADC12DJ5200RF	LMX2820 或 LMX2594	LMX1204	LMX2594	LMX2820	LMX2594	LMX2594/LMX2820 + LMX1204 可配对用于在更高的采样频率下创建多个 CLK 和 SYSREF 副本
ADC35xx/ ADC36xx	频率低于 328MHz 时： CDCE6214 频率介于 328MHz 和 400MHz 之间时： LMK3H0102 频率介于 400MHz 和 500MHz 之间时： CDCM6208		CDCE6214	LMK04832	CDCE6214	CDCE6214 ：成本最低，尺寸小 (4mm x 4mm)，功耗最低 (约 50mA)，但只能输出最高 328MHz LMK3H0102 ：尺寸最小 (3mm x 3mm)，器件较新，但功耗第二高 (约 90mA) CDCM6208 ：功耗第三高 (约 115mA)，但器件具有多功能并可输出最高 800MHz LMK04832 ：功耗最高 (约 350mA)，尺寸最大 (9mm x 9mm)，但性能最高 (比其他 3 款器件高 10 倍)
AFE79xx	LMX2820 或 LMX2594	LMX1204	LMX2594	LMX2820	LMX2594	LMX2594 在某些应用中已经足够出色，而且时钟配对总体上更好，但如果性能至关重要，则需要使用 LMX2820 (搭配外部 VCO 使用以实现绝对出色性能)
ADC3xRF5x/7x	处于外部 VCO 模式的 LMX2820			处于外部 VCO 模式的 LMX2820		
AFE8000	LMX2820 或 LMX2594			LMX2820		
DAC39RF10	LMX2820 或 LMX2594					
ADC39xx (8 位)	LMK6P		CDC6C	LMK6P	CDC6C	LMK6P ：性能最高，但尺寸略大 (2.5mm x 2mm)，功耗更高 (约 90mA) CDC6C ：尺寸更小 (1.2mm x 1.6mm)，功耗更低 (约 6mA)，但性能更差
ADC39xx (10 位)	CDCE6214		LMK3H0102	CDCE6214	CDCE6214	** 权衡因素与 ADC35xx/ADC36xx 系列相同
ADC3669	LMX2571		CDCE6214	LMX2571	CDCE6214	LMX2571 ：性能更高，功耗相当 (约 55mA)，尺寸更大 (6mm x 6mm) CDCE6214 ：成本更低，尺寸更小 (4mm x 4mm)，功耗略低 (约 50mA)，但性能更差

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司