

ISOUSB111 全速/低速隔离式 USB 转发器

1 特性

- 符合 USB 2.0 要求
- 支持低速 (1.5 Mbps)和全速 (12 Mbps) 信号传输
- 自动速度和连接检测
- 支持 L1 (睡眠) 和 L2 (挂起) 低功耗状态
- 支持 USB On-the-Go (OTG) 和 Type C® 双角色端口 (DRP) 设计的自动角色交换
- 高 CMTI : 100kV/μs
- V_{BUS} 电压范围 : 4.25V 至 5.5V
 - 3.3V 内部 LDO
- 符合 CISPR32 B 类辐射限制
- 环境温度范围 : -40°C 至 +125°C
- 16-SOIC 和 16-SSOP 封装选项
- 安全相关认证 :
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 7071V_{PK} V_{IOTM} 和 2121V_{PK} V_{IORM} (增强型)
 - 符合 UL 1577 标准且长达 1 分钟的 5000V_{RMS} 隔离
 - IEC 62368-1、IEC 60601-1 和 IEC 61010-1 认证
 - CQC、TUV 和 CSA 认证
 - 完成 16-SOIC 认证 ; 计划进行 16-SSOP 认证

2 应用

- USB 集线器、主机、外设和电缆隔离
- 医疗
- 工厂自动化
- 电机驱动器
- 电网基础设施
- 电力输送
- USB 音频

增强型隔离选项

特性	ISOUSB111
保护级别	增强型
浪涌隔离电压	12800V _{PK}
隔离额定值	5000V _{RMS}
隔离工作电压	1500V _{RMS} / 2121V _{PK}

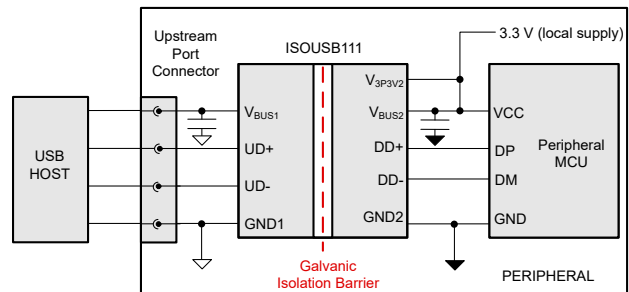
3 说明

ISOUSB111 是一款兼容 USB 2.0 的电气隔离式中继器，支持低速 (1.5Mbps)和全速 (12Mbps) 信号传输速率。该器件支持自动连接和速度检测、上拉/下拉反射以及链路电源管理，因而能够实现插入式 USB 集线器、主机、外设和电缆隔离。该器件还支持自动角色交换。如果连接断开后在上行端口上检测到新的连接，上行和下行端口定义将会调换。此功能使器件能够支持 USB On-The-Go (OTG) 和 Type-C 双角色端口 (DRP) 实现。该器件采用二氧化硅 (SiO₂) 绝缘隔栅，可承受高达 5000V_{RMS} 的电压和 1500V_{RMS} 的工作电压。此器件与隔离式电源一同使用，可抵御高电压冲击，并防止总线的噪声电流进入局部接地层。ISOUSB111 器件可用于增强型隔离。该器件支持 -40°C 至 +125°C 的宽环境温度范围，并采用标准 SOIC-16 (16-DW) 封装和更小型的 SSOP-16 (16-DWX) 封装。

器件信息

器件型号 ⁽¹⁾	封装	封装尺寸 (标称值)
ISOUSB111	SOIC (16) DW	10.30mm x 7.50mm
	SSOP (16) DWX	5.85mm x 7.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



应用示意图



内容

1 特性	1	8 详细说明	16
2 应用	1	8.1 概述.....	16
3 说明	1	8.2 功能方框图.....	16
4 修订历史记录	2	8.3 特性说明.....	16
5 引脚配置和功能	3	8.4 器件功能模式.....	18
6 规格	5	9 电源相关建议	19
6.1 绝对最大额定值.....	5	10 应用和实现	20
6.2 ESD 等级.....	5	10.1 典型应用.....	20
6.3 建议工作条件.....	5	11 布局	24
6.4 热性能信息.....	6	11.1 布局指南.....	24
6.5 额定功率.....	6	12 器件和文档支持	26
6.6 绝缘规格.....	7	12.1 文档支持.....	26
6.7 安全相关认证.....	8	12.2 接收文档更新通知.....	26
6.8 安全限值.....	8	12.3 支持资源.....	26
6.9 电气特性.....	9	12.4 商标.....	26
6.10 开关特性.....	11	12.5 静电放电警告.....	26
6.11 绝缘特性曲线.....	13	12.6 术语表.....	26
6.12 典型特性.....	14	13 机械、封装和可订购信息	26
7 参数测量信息	15	13.1 卷带封装信息.....	33
7.1 测试电路.....	15		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (September 2022) to Revision D (January 2023)	Page
• 从数据表中删除了“基本”选项。.....	1
Changes from Revision B (July 2022) to Revision C (September 2022)	Page
• 更新了 ESD 规格.....	5
Changes from Revision A (April 2022) to Revision B (July 2022)	Page
• 将器件状态更新为“量产数据”.....	1
Changes from Revision * (November 2021) to Revision A (April 2022)	Page
• 将 T_A 最大值更新为 125°C.....	5

5 引脚配置和功能

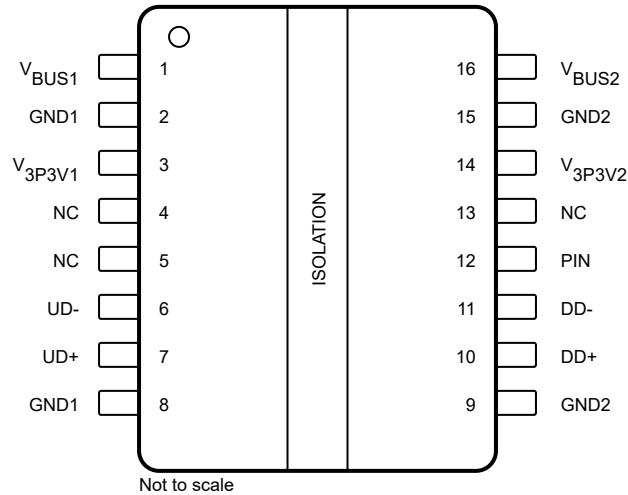


图 5-1. DW 封装 16 引脚 SOIC 俯视图

表 5-1. 引脚功能—16 DW

引脚		I/O ⁽¹⁾	说明
编号	名称		
1	V _{BUS1}	—	1 侧的输入电源。如果存在 4.25V 至 5.5V (例如 USB 电源总线) 电源, 则将其连接到 V _{BUS1} 。在这种情况下, 内部 LDO 会生成 V _{3P3V1} 。否则, 将 V _{BUS1} 和 V _{3P3V1} 连接到外部 3.3V 电源。
2	GND1	—	接地 1。隔离器 1 侧的接地基准。
3	V _{3P3V1}	—	1 侧的电源。如果 V _{BUS1} 上连接了一个 4.25V 至 5.5V 电源, 则在 V _{3P3V1} 与 GND1 之间连接一个旁路电容器。在这种情况下, 内部 LDO 会生成 V _{3P3V1} 。否则, 将 V _{BUS1} 和 V _{3P3V1} 连接到外部 3.3V 电源。
4	NC	—	最好保持悬空或连接至 V _{3P3V1} 。也可以连接到 GND1。
5	NC	—	最好保持悬空或连接至 V _{3P3V1} 。也可以连接到 GND1。
6	UD-	I/O	上行端口 D-。
7	UD+	I/O	上行端口 D+。
8	GND1	—	接地 1。隔离器 1 侧的接地基准。
9	GND2	—	接地 2。隔离器 2 侧的接地基准。
10	DD+	I/O	下行端口 D+。
11	DD-	I/O	下行端口 D-。
12	引脚	I	上行上拉使能。如果该引脚为低电平, 则无法识别 DD+ 和 DD- 上的上拉电阻。
13	NC	—	最好保持悬空或连接至 V _{3P3V2} 。也可以连接到 GND2。
14	V _{3P3V2}	—	2 侧的电源。如果 V _{BUS2} 上连接了一个 4.25V 至 5.5V 电源, 则在 V _{3P3V2} 与 GND1 之间连接一个旁路电容器。在这种情况下, 内部 LDO 会生成 V _{3P3V2} 。否则, 将 V _{BUS2} 和 V _{3P3V2} 连接到外部 3.3V 电源。
15	GND2	—	接地 2。隔离器 2 侧的接地基准。
16	V _{BUS2}	—	2 侧的输入电源。如果存在 4.25V 至 5.5V (例如 USB 电源总线) 电源, 则将其连接到 V _{BUS2} 。在这种情况下, 内部 LDO 会生成 V _{3P3V2} 。否则, 将 V _{BUS2} 和 V _{3P3V2} 连接到外部 3.3V 电源。

(1) I = 输入, O = 输出

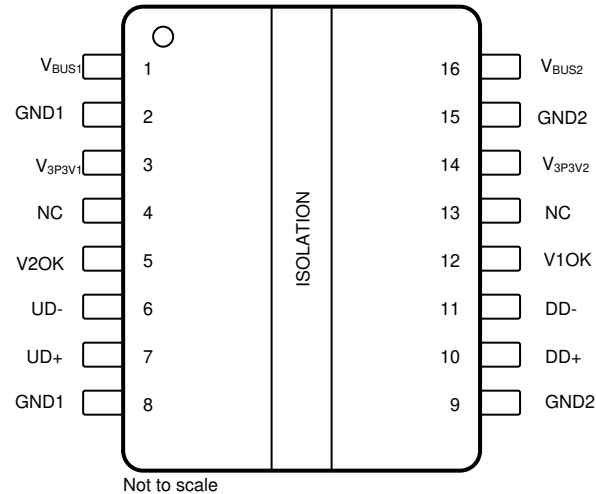


图 5-2. DWX 封装 16 引脚 SSOP 俯视图

表 5-2. 引脚功能—16 DWX

引脚		I/O ⁽¹⁾	说明
编号	名称		
1	V _{BUS1}	—	1 侧的输入电源。如果存在 4.25V 至 5.5V (例如 USB 电源总线) 电源, 则将其连接到 V _{BUS1} 。在这种情况下, 内部 LDO 会生成 V _{3P3V1} 。否则, 将 V _{BUS1} 和 V _{3P3V1} 连接到外部 3.3V 电源。
2	GND1	—	接地 1。隔离器 1 侧的接地基准。
3	V _{3P3V1}	—	1 侧的电源。如果 V _{BUS1} 上连接了一个 4.25V 至 5.5V 电源, 则在 V _{3P3V1} 与 GND1 之间连接一个旁路电容器。在这种情况下, 内部 LDO 会生成 V _{3P3V1} 。否则, 将 V _{BUS1} 和 V _{3P3V1} 连接到外部 3.3V 电源。
4	NC	—	保持悬空或连接至 V _{3P3V1} 。
5	V2OK	O	该引脚上的高电平表示 2 侧已加电。
6	UD-	I/O	上行端口 D-。
7	UD+	I/O	上行端口 D+。
8	GND1	—	接地 1。隔离器 1 侧的接地基准。
9	GND2	—	接地 2。隔离器 2 侧的接地基准。
10	DD+	I/O	下行端口 D+。
11	DD-	I/O	下行端口 D-。
12	V1OK	—	该引脚上的高电平表示 1 侧已加电。
13	NC	—	保持悬空或连接至 V _{3P3V2} 。
14	V _{3P3V2}	—	2 侧的电源。如果 V _{BUS2} 上连接了一个 4.25V 至 5.5V 电源, 则在 V _{3P3V2} 与 GND1 之间连接一个旁路电容器。在这种情况下, 内部 LDO 会生成 V _{3P3V2} 。否则, 将 V _{BUS2} 和 V _{3P3V2} 连接到外部 3.3V 电源。
15	GND2	—	接地 2。隔离器 2 侧的接地基准。
16	V _{BUS2}	—	2 侧的输入电源。如果存在 4.25V 至 5.5V (例如 USB 电源总线) 电源, 则将其连接到 V _{BUS2} 。在这种情况下, 内部 LDO 会生成 V _{3P3V2} 。否则, 将 V _{BUS2} 和 V _{3P3V2} 连接到外部 3.3V 电源。

(1) I = 输入, O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{BUS1} 、 V_{BUS2}	V_{BUS} 电源电压	-0.3	6	V
V_{3P3V1} 、 V_{3P3V2}	3.3V 输入电源电压	-0.3	4.25	V
V_{DPDM}	总线引脚 (UD+、UD-、DD+、DD-) 上的电压总共 1000 次短路事件、累计持续时间为 1000 小时	-0.3	6	V
V_{IO}	IO 电压范围 (PIN、V*OK)	-0.3	$V_{3P3Vx}+0.3^{(3)}$	V
I_O	输出引脚上的输出电流 (V*OK)	-10	10	mA
T_J	结温		150	°C
T_{STG}	存储温度	-65	150	°C

- (1) 超出绝对最大额定值下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值均是以本地接地端子 (GND1 或 GND2) 为基准的峰值电压值。
- (3) 最大电压不得超过 4.25V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, DW 封装, 所有引脚 ⁽¹⁾	±2000	V
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, DWX 封装, 所有引脚 ⁽¹⁾	±1500	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±500	V

- (1) JEDEC 文档 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_{BUSx}	V_{BUS} 输入电压 (包括任何纹波)	4.25	5	5.5	V
V_{3P3Vx}	3.3V 输入电源电压 (包括任何纹波)	3.0	3.3	3.6	V
T_A	自然通风工作温度	-40		125	°C
T_J	结温	-55		150	°C

6.4 热性能信息

热指标 1 ⁽¹⁾		ISOUSB111		单位
		DW (SOIC)	DWX (SSOP)	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	53.4	60.6	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	19.6	22.5	°C/W
$R_{\theta JB}$	结至电路板热阻	22.3	27	°C/W
ψ_{JT}	结至顶部特征参数	2.4	2	°C/W
ψ_{JB}	结至电路板特征参数	21.6	26.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	-	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

6.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
ISOUSB111						
P_D	最大功耗 (两侧)	$V_{BUS1} = V_{BUS2} = 5.5V$ 、 $T_J = 150^\circ C$ 、 $C_L = 50pF$ (在 DD- 和 DD+ 上均如此)，在 UD- 和 UD+ 上输入一个 6MHz 50% 占空比 3.3V 差分方波			157	mW
P_{D1}	最大功耗 (侧 1)				72	mW
P_{D2}	最大功耗 (侧 2)				85	mW

6.6 绝缘规格

参数		测试条件	规格		单位
			DW-16	DWX-16	
IEC 60664-1					
CLR	外部间隙 ⁽¹⁾	1 侧到 2 侧的空间距离	>8	>8	mm
CPG	外部爬电距离 ⁽¹⁾	1 侧到 2 侧的封装表面距离	>8	>8	mm
DTI	绝缘穿透距离	最小内部间隙	>21	>21	μm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>600	>600	V
	材料组	符合 IEC 60664-1	I	I	
	过压类别	额定市电电压 ≤ 600V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)⁽²⁾					
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	2121	2121	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDb) 测试 ;	1500	1500	V _{RMS}
		直流电压	2121	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	7071	7071	V _{PK}
V _{IMP}	最大脉冲电压 ⁽³⁾	在空气中测试, 1.2/50μs 方波, 符合 IEC 62368-1	8000	8000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽⁴⁾	在油中测试 (鉴定测试) 1.2/50μs 方波, 符合 IEC 62368-1	12800	12800	V _{PK}
Q _{pd}	视在电荷 ⁽⁵⁾	方法 a : I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	pC
		方法 a : 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	
		方法 b : 常规测试 (100% 生产测试) 和预调节 (类型测试), V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s ; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s (方法 b1) 或 V _{pd(m)} = V _{ini} , t _m = t _{ini} (方法 b2)	≤ 5	≤ 5	
C _{IO}	势垒电容, 输入至输出 ⁽⁶⁾	V _{IO} = 0.4 × sin (2 pft), f = 1MHz	0.8	0.7	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁶⁾	V _{IO} = 500V, T _A = 25°C	> 10 ¹²	> 10 ¹²	W
		V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	> 10 ⁹	> 10 ⁹	
	污染等级		2	2	
	气候类别		40/125/21	40/125/21	
UL 1577					
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (生产测试) ; V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	5000	5000	V _{RMS}

- (1) 电路板设计过程中必须谨慎小心, 确保印刷电路板 (PCB) 上隔离器的安装焊盘不会缩短爬电距离和间隙。插入坡口、肋或两者都有助于增加 PCB 上的爬电距离。
- (2) ISOUSB111 仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全额定值。
- (3) 在空气中进行测试, 以确定封装的固有浪涌抗扰度。
- (4) 在油中进行测试, 以确定隔离栅的固有浪涌抗扰度。
- (5) 视在电荷是由局部放电 (pd) 引起的电气放电。
- (6) 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 61010-1、IEC 62368-1 和 IEC 60601-1 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
增强型绝缘；最大瞬态隔离电压， ISOUSB111：7071V _{PK} 最大重复峰值隔离电压， 2121V _{PK} ； 最大浪涌隔离电压， ISOUSB111：12800V _{PK} (增强型)	符合 CSA 62368-1 和 IEC 62368-1 ISOUSB111 标准的增强型绝缘：800V _{RMS} 最大工作电压（污染等级 2，材料组 I）； ISOUSB111：2 MOPP ----- 符合 CSA 60601-1 和 IEC 60601-1 的（患者保护措施），250V _{RMS} 最大工作电压	单一保护， ISOUSB111：5000V _{RMS}	增强型绝缘，海拔 ≤ 5000m，热带气候，700V _{RMS} 最大工作电压	符合 EN 61010-1 标准的 5000V _{RMS} 增强型绝缘，高达 600V _{RMS} 的工作电压 ----- 符合 EN 62368-1 标准的 5000V _{RMS} 增强型绝缘，高达 800V _{RMS} 的工作电压
证书编号：40040142	主合同：220991	文件编号：E181974	证书：CQC15001121716	客户端 ID：77311

6.8 安全限值

安全限制⁽¹⁾旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DW-16 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 53.4°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 6-1			425	mA
		R _{θJA} = 53.4°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 6-1			650	mA
P _S	安全输入、输出或总功耗	R _{θJA} = 53.4°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 6-3			2340	mW
T _S	最高安全温度				150	°C
DWX-16 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 60.6°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 6-2			374	mA
		R _{θJA} = 60.6°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 6-2			572	mA
P _S	安全输入、输出或总功耗	R _{θJA} = 60.6°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 6-4			2062	mW
T _S	最高安全温度				150	°C

(1) 最高安全温度 T_S 具有与为器件指定的最大结温 T_J 相同的值。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。

表中的结至空气热阻 R_{θJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：

T_J = T_A + R_{θJA} × P, 其中, P 为器件所耗功率。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S, 其中, T_{J(max)} 为允许的最大结温。

P_S = I_S × V_I, 其中, V_I 为最大输入电压。

6.9 电气特性

在建议的工作条件下测得 (除非另有说明)。所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 $V_{3\text{P3V}}$ 电流消耗 - 全速 (FS) 和低速 (LS) 模式	接收侧 FS 有效 (6MHz 信号速率) , 图 7-9, $C_L = 50\text{pF}$		12	15.3	mA
		发送侧 FS 有效 (6MHz 信号速率) , 图 7-9, $C_L = 50\text{pF}$		9.5	13	mA
		接收侧 LS 有效 (750kHz 信号速率) , 图 7-10, $C_L = 450\text{pF}$		11	13.5	mA
		发送侧 LS 有效 (750kHz 信号速率) , 图 7-10, $C_L = 450\text{pF}$		9.5	13	mA
		FS/LS 空闲状态 (US 侧或 DS 侧)		7.4	11	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 $V_{3\text{P3V}}$ 电流消耗 - L1 睡眠模式	上行侧		7.5	9.8	mA
		下行侧		7.3	9.5	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 $V_{3\text{P3V}}$ 电流消耗 - L2 暂停模式	上行侧		1.07	1.55	mA
		下行侧		5.6	7.5	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 $V_{3\text{P3V}}$ 电流消耗 - 未连接	上行侧		6.2	8.5	mA
		下行侧		6.2	8.9	mA
$UV^+_{(\text{VBUSx})}$ ⁽¹⁾	电源电压升高时的欠压阈值, V_{BUS}				4.0	V
$UV^-_{(\text{VBUSx})}$ ⁽¹⁾	电源电压下降时的欠压阈值, V_{BUS}		3.6			V
$UVHYS_{(\text{VBUSx})}$ ⁽¹⁾	欠压阈值迟滞, V_{BUS}			0.08		V
$UV^+_{(\text{V3P3Vx})}$	电源电压升高时的欠压阈值, $V_{3\text{P3V}}$				2.95	V
$UV^-_{(\text{V3P3Vx})}$	电源电压下降时的欠压阈值, $V_{3\text{P3V}}$		1.95			V
$UVHYS_{(\text{V3P3Vx})}$	欠压阈值迟滞, $V_{3\text{P3V}}$			0.11		V
数字输入						
V_{IH}	高电平输入电压		$0.7 \times V_{3\text{P3Vx}}$			V
V_{IL}	低电平输入电压			$0.3 \times V_{3\text{P3Vx}}$		V
V_{IHYS}	输入转换阈值迟滞		0.3			V
I_{IH}	高电平输入电流				1	μA
I_{IL}	低电平输入电流				10	μA
数字输出 (V10K、V20K)						
V_{OH}	高电平输出电压	$I_O = -3\text{mA}$ (对于 $3.0\text{V} \leq V_{3\text{P3Vx}} \leq 3.6\text{V}$)	$V_{3\text{P3Vx}} - 0.2$			V
V_{OL}	低电平输出电压	$I_O = 3\text{mA}$ (对于 $3.0\text{V} \leq V_{3\text{P3Vx}} \leq 3.6\text{V}$)		0.2		V
UDx、DDx、输入电容和端接						
$Z_{\text{INP_xDx}}$	接地阻抗, 无上拉/下拉	$V_{\text{in}}=3.6\text{V}$, $V_{3\text{P3Vx}}=3.0\text{V}$, $T_J < 125^\circ\text{C}$, USB 2.0 规范第 7.1.6 节	300			k Ω
$C_{\text{IO_xDx}}$	接地电容	在 240MHz 且驱动器为高阻态时使用 VNA 测得		10		pF
R_{PUI}	上行端口上的总线上拉电阻 (空闲)	USB 2.0 规范第 7.1.5 节	0.9	1.1	1.575	k Ω
R_{PUR}	上行端口上的总线上拉电阻 (接收)	USB 2.0 规范第 7.1.5 节	1.5	2.2	3	k Ω
R_{PD}	下行端口上的总线下拉电阻	USB 2.0 规范第 7.1.5 节	14.25	19	24.8	k Ω
V_{TERM}	上行端口上拉电阻的端接电压 (RPU)	USB 2.0 规范第 7.1.5 节, 在断开外部负载且上行端口上启用上拉电阻的情况下在 D+ 或 D- 上测得。	3		3.6	V

在建议的工作条件下测得 (除非另有说明)。所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
UDX、DDx、输入电平 LS/FS						
V_{IH}	高电平 (驱动)	USB 2.0 规范第 7.1.4 节 (在连接器处测量)	2			V
V_{IHZ}	高电平 (悬空)	USB 2.0 规范第 7.1.4 节 (主机下行端口下拉电阻启用, 器件被上拉到 3.0V 至 3.6V)。	2.7		3.6	V
V_{IL}	低	USB 2.0 规范第 7.1.4 节			0.8	V
V_{DI}	差分输入灵敏度	$ (x\text{D}+) - (x\text{D}-) $; USB 2.0 规范图 7-19; (在连接器处测量)	0.2			V
V_{CM}	共模范围	包括 VDI 范围; USB 2.0 规范图 7-19; (在连接器处测量)	0.8		2.5	V
UDX、DDx、输出电平 LS/FS						
V_{OL}	低	USB 2.0 规范第 7.1.1 节, (在 R_L 为 $0.9\text{k}\Omega$ 且连接到 3.6V 的连接器处测量。)	0		0.3	V
V_{OH}	高电平 (驱动)	USB 2.0 规范第 7.1.1 节 (在 R_L 为 $14.25\text{k}\Omega$ 且接地的连接器处测量。)	2.8		3.6	V
V_{OSE1}	SE1	USB 2.0 规范第 7.1.1 节	0.8			V
Z_{FSTERM}	驱动器串联输出电阻	USB 2.0 规范第 7.1.1 节和图 7-4, 在 V_{OL} 或 V_{OH} 期间测得	28		44	Ω
V_{CRS}	输出信号交叉电压	根据 USB 2.0 规范第 7.1.1 节的图 7-8、7-9 和 7-10 测量; 不包括从空闲状态的第一次转换	1.3		2	V
热关断						
TSD+	热关断开启温度		160	170	180	$^\circ\text{C}$
TSD-	热关断关闭温度		150	160	170	$^\circ\text{C}$
TSD _{HYS}	热关断迟滞			10		$^\circ\text{C}$

(1) 如果 V_{BUSx} 引脚在外部连接至相应的 $V_{3\text{P3Vx}}$ 引脚, 那么 V_{BUSx} 上的 UVLO 阈值由 $UV_{+(V3P3Vx)}$ 、 $UV_{-(V3P3Vx)}$ 和 $UV_{\text{HYS}(V3P3Vx)}$ 控制

6.10 开关特性

在建议的工作条件下测得 (除非另有说明)。所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 条件下的典型值。

参数	测试条件	最小值	典型值	最大值	单位
上电时序					
T_{SUPRAMP}	V_{BUSx} 和 $V_{3\text{P3Vx}}$ 外部电源上允许的电源斜升时间	0.005		100	ms
T_{PWRUP}	1 侧和 2 侧上提供有效电源后, 器件上电并识别 USB 信号所需的时间。	所有外部电源都在 $5\mu\text{s}$ 的上电时间内一起斜升。		3.6	8 ms
UDx、DDx、FS 驱动器开关特性					
T_{FR}	上升时间 (10% - 90%)	USB 2.0 规范图 7-8, 图 7-9, $C_L = 50\text{pF}$		4	20 ns
T_{FF}	下降时间 (10% - 90%)	USB 2.0 规范图 7-8, 图 7-9, $C_L = 50\text{pF}$		4	20 ns
T_{FRFM}	差分上升和下降时间匹配 ($T_{\text{FR}}/T_{\text{FM}}$)	USB 2.0 规范第 7.1.2 节, 不包括从空闲状态到其他状态的第一次转换, 图 7-9, $C_L = 50\text{pF}$		90	111.1 %
UDx、DDx、LS 驱动器开关特性					
T_{LR}	上升时间 (10% - 90%)	USB 2.0 规范图 7-8 和 7-10, C_L 范围为 50pF 至 600pF 。		75	300 ns
T_{LF}	下降时间 (10% - 90%)	USB 2.0 规范图 7-8 和 7-10, C_L 范围为 50pF 至 600pF 。		75	300 ns
T_{LRFM}	上升和下降时间匹配 ($T_{\text{LR}}/T_{\text{FM}}$), 不包括从空闲状态到其他状态的第一次转换。	USB 2.0 规范图 7-8 和 7-10, C_L 范围为 50pF 至 600pF 。		80	125 %
中继器时序 - 连接、断开、复位、L1、L2					
T_{FILTCNN}	FS 或 LS 连接检测上的去抖滤波器	45	70	80	μs
T_{DDIS}	在 LS/FS L0 模式下检测下行侧端口断开的的时间。	2		7	μs
T_{DETRST}	在 LS/FS L0 模式下检测上行端口上复位所需的时间	0		7	μs
$T_{2\text{SUSP}}$	当总线持续处于空闲状态时, 上行侧检测到暂停模式 (L2) 且电流消耗小于 2.5mA 所需的时间。	3		10	ms
$t_{\text{DRESUMEL1}}$	检测到上行侧恢复和下行端口反映恢复/从睡眠/L1 状态驱动恢复所需的最长时间。			1	μs
$t_{\text{DRESUMEL2}}$	检测到上行侧恢复和下行端口反映恢复/从暂停/L2 状态驱动恢复所需的最长时间。			130	μs
t_{DWAKEL1}	处于睡眠/L1 状态时检测和传播远程唤醒所需的最长时间。			5	μs
t_{DWAKEL2}	处于暂停/L2 状态时确保可检测到远程唤醒的远程唤醒最大脉冲宽度。			900	μs
t_{DRSMPROP}	处于暂停/L2 状态时检测到远程唤醒后, 从上行和下行驱动恢复的最短持续时间。	1			ms
CMTI	共模瞬态抗扰度	峰峰值共模噪声, USB 数据传输期间 $V_{\text{CMPKPK}} = 1200\text{V}$, 请参阅图 7-2		75	100 kV/ μs

在建议的工作条件下测得 (除非另有说明)。所有典型值都是 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BUSx}} = 5\text{V}$ 、 $V_{3\text{P3Vx}} = 3.3\text{V}$ 条件下的典型值。

参数		测试条件	最小值	典型值	最大值	单位
中继器时序 - LS、FS						
T_{LSDD}	低速差分数据传播延迟	USB 2.0 规范第 7.1.14 节。图 7-52(C)。			358	ns
T_{LSOP}	SOP 后的 LS 数据位宽失真	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-40		25	ns
T_{LSJP}	LS 中继器附加抖动 - 成对转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-5		5	ns
T_{LSJN}	LS 中继器附加抖动 - 下一个转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-7.0		7.0	ns
T_{LST}	LS 差分转换期间 SE0 间隔的最小宽度 - 由中继器滤除	USB 2.0 规范第 7.1.4 节。	210			ns
T_{LEOPD}	相对于 T_{LSDD} 的中继器 EOP 延迟	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	0		200	ns
T_{LESK}	LS EOP 期间中继器导致的 SE0 偏斜	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	-100		100	ns
T_{FSDD}	全速差分数据传播延迟	USB 2.0 规范第 7.1.14 节。图 7-52(C)。			70	ns
T_{FSOP}	SOP 后的 FS 数据位宽失真	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-10		10	ns
T_{FSJP}	FS 中继器附加抖动 - 成对转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-2		2	ns
T_{FSJN}	FS 中继器附加抖动 - 下一个转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-6.0		6.0	ns
T_{FST}	FS 差分转换期间 SE0 间隔的最小宽度 - 由中继器滤除	USB 2.0 规范第 7.1.4 节。	14			ns
T_{FEOPD}	相对于 T_{FSDD} 的中继器 EOP 延迟	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	0		17	ns
T_{FESK}	FS EOP 期间中继器导致的 SE0 偏斜	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	-15		15	ns

6.11 绝缘特性曲线

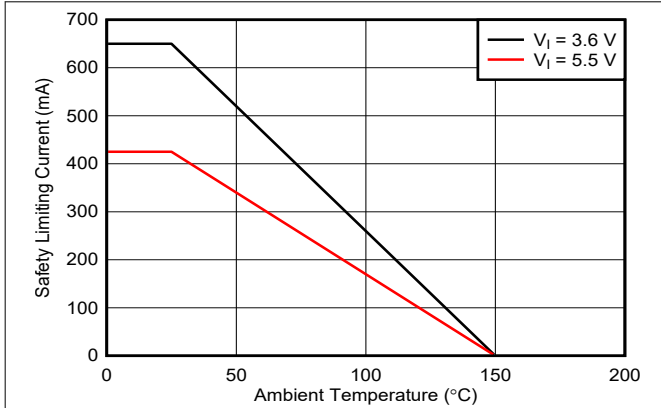


图 6-1. DW-16 封装根据 VDE 标准限制电流的热降额曲线

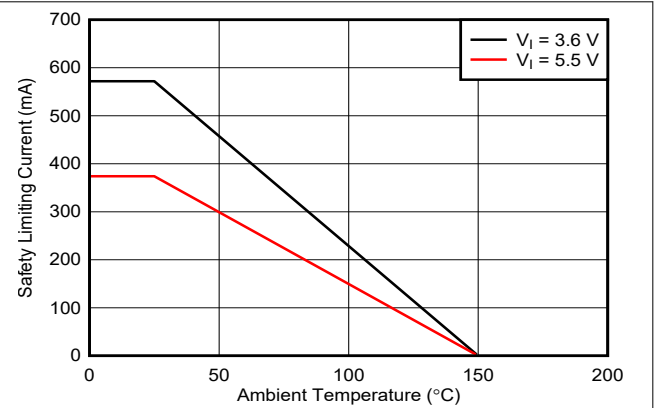


图 6-2. DWX-16 封装根据 VDE 标准限制电流的热降额曲线

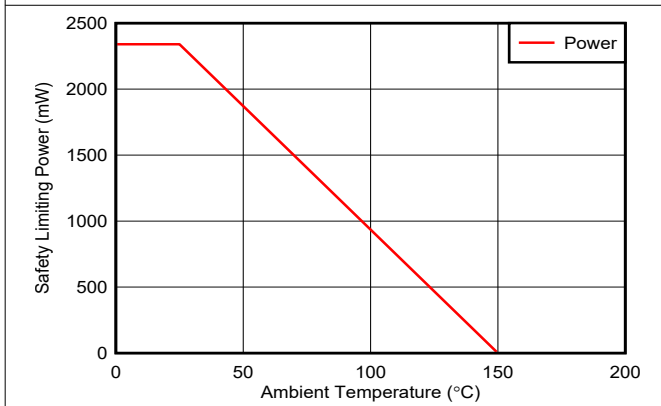


图 6-3. DW-16 封装根据 VDE 标准限制功率的热降额曲线

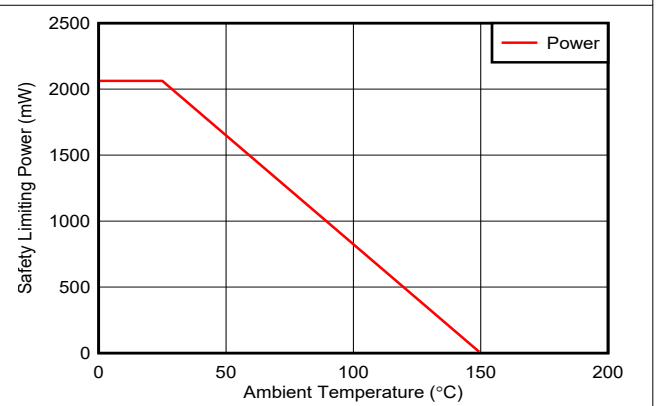


图 6-4. DWX-16 封装根据 VDE 标准限制功率的热降额曲线

6.12 典型特性

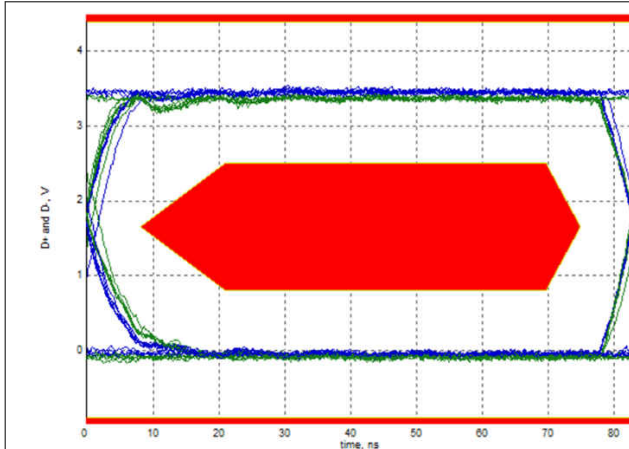


图 6-5. 通过 ISOUSB111 实现的典型全速 (12Mbps) 眼图

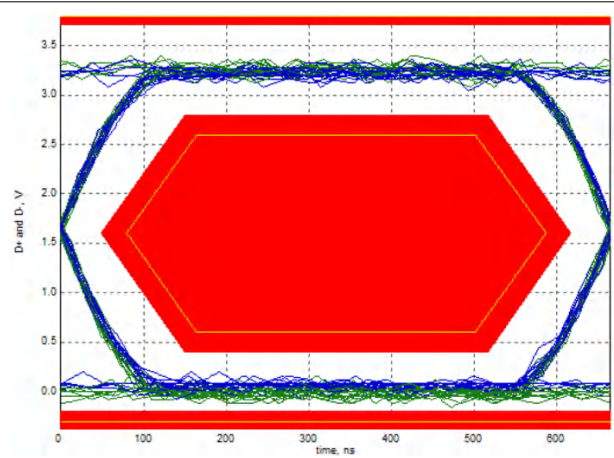


图 6-6. 通过 ISOUSB111 实现的典型低速 (1.5Mbps) 眼图

7 参数测量信息

7.1 测试电路

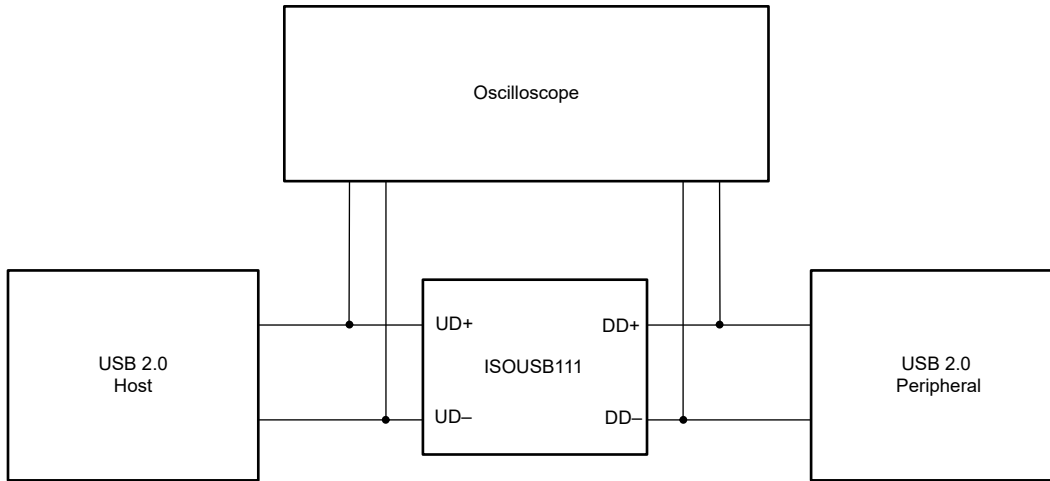


图 7-1. 上行和下行数据包参数和眼图测量

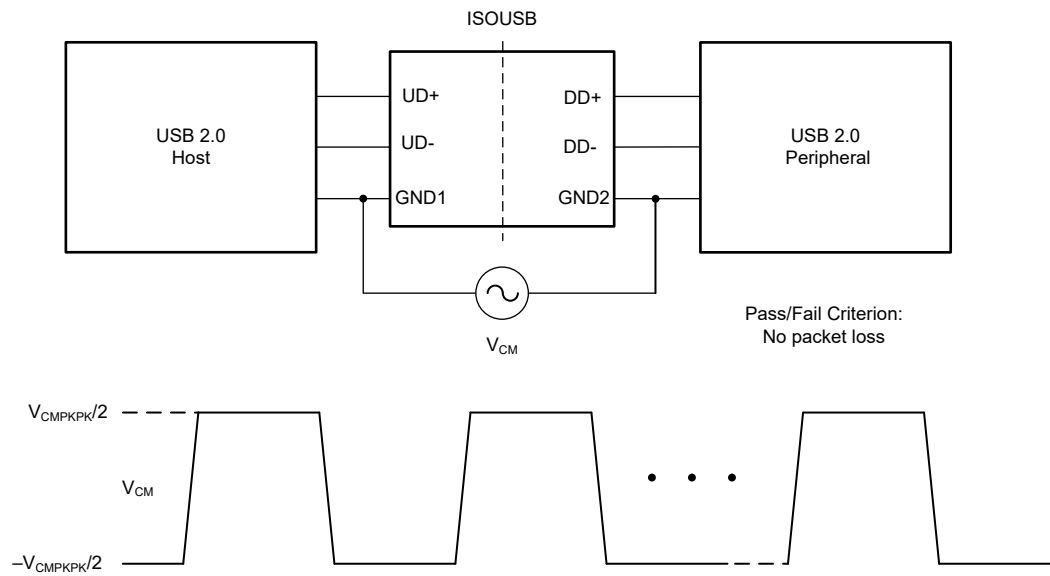


图 7-2. 共模瞬态抗扰度测试电路

8 详细说明

8.1 概述

ISOUSB111 是一款兼容 USB2.0 的电气隔离式中继器，支持低速 (1.5Mbps) 和全速 (12Mbps) 信号传输速率。该器件支持自动速度和连接检测、上拉/下拉反射以及链路电源管理，因而能够实现插入式 USB 集线器、主机、外设和电缆隔离。大多数微控制器都集成了 USB PHY，因此只提供 D+ 和 D- 总线作为外部引脚。ISOUSB111 可以将这些引脚与 USB 总线隔离，无需微控制器的任何其他干预。该器件还支持自动角色交换。如果连接断开后在上行端口上检测到新的连接，上行和下行端口定义将会调换。

ISOUSB111 提供增强型隔离选项，隔离耐受电压分别为 $5000V_{RMS}$ ，浪涌测试电压为 $12.8kV_{PK}$ 。该器件可以完全采用 4.25V 至 5.5V 电源 (USB VBUS 电源) 或者采用 1 侧和 2 侧上的本地 3.3V 电源 (如果有) 工作。这种电源电压灵活性允许根据系统中可用的电源轨来优化热性能。

8.2 功能方框图

图 8-1 展示了 ISOUSB111 的简化功能方框图。该器件包含以下部分：

1. 发送和接收电路以及上拉和下拉电阻器，符合 USB 标准。
2. 数字逻辑，用于处理双向通信和各种状态转换。
3. 内部 LDO，用于从 V_{BUSx} 电源生成 V_{3P3Vx} 。
4. 电隔离。

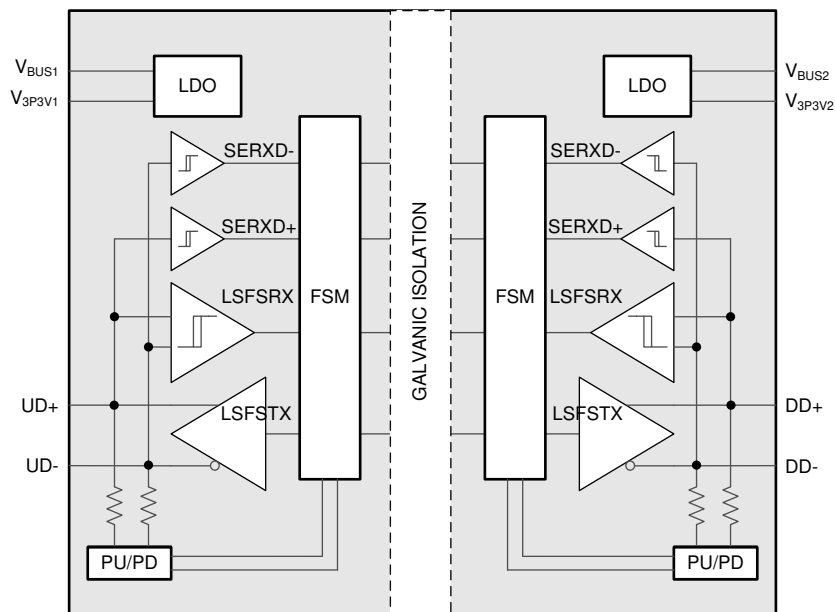


图 8-1. ISOUSB111 简化功能方框图

8.3 特性说明

8.3.1 电源选项

ISOUSB111 可以通过在 V_{BUSx} 引脚上连接一个 4.25V 至 5.5V 电源来供电，这时内部 LDO 会生成 V_{3P3Vx} 电压。此选项适用于 USB 连接器一侧，该侧提供 5V VBUS 电源。或者， V_{BUSx} 和 V_{3P3Vx} 引脚可以短接在一起，并且可以在这两个引脚上连接一个外部 3.3V 电源。这个第二个选项适用于微控制器一侧，该侧可能没有 5V 电源。

8.3.2 上电

在 ISOUSB111 两侧上的所有电源都超过各自的 UVLO 阈值之前，该器件会忽略上行和下行两侧总线上的所有活动。在电源超过 UVLO 阈值后，该器件就已准备好响应总线上的活动。

8.3.3 对称操作、双角色端口和角色交换

ISOUSB111 支持对称操作。通常，UD+ 和 UD- 是上行端口并连接到主机或集线器。DD+ 和 DD- 是下行端口并连接到外设。但是，也可以将 UD+ 和 UD- 连接到外设，将 DD+ 和 DD- 连接到主机或集线器。只要先检测到连接，任何一侧 (D+ 或 D- 上拉至 3.3V) 都将成为下行侧。此功能支持实现双角色端口 (例如，Type-C 双角色端口) 和角色反转 (例如，OTG 主机协商协议 - HNP)。有关详细信息，请参阅 [如何实现隔离式 USB 2.0 高速 Type-C® DRP](#) 应用手册。本文档的其余部分中将 DD+/DD- 视为下行端口并将 UD+/UD- 视为上行端口，但如果此分配角色调换，所述的各种操作和功能同样适用。

8.3.4 连接和速度检测

当没有外设连接到 ISOUSB111 的下行侧时，DD+ 和 DD- 引脚上的内部 15kΩ 下拉电阻会将总线拉至零，从而形成 SE0 状态。当 DD+ 或 DD- 线路被拉高至 V_{IH} 阈值以上时，在大于 $T_{FILTCNN}$ 的时间段内，ISOUSB111 器件会将此视为连接。ISOUSB111 器件会配置上行侧的内部上拉电阻，以便与在下行侧检测到的上拉电阻相匹配。检测到连接后，ISOUSB111 器件会等待上行侧的主机/集线器置位复位。根据复位开始时是 DD+ 还是 DD- 被拉高，会设置 ISOUSB111 中继器的速度。设置后，中继器的速度只能在断电或断开事件后更改。

8.3.5 断开检测

在全速 (FS) 和低速 (LS) 模式下，当主机/集线器未在驱动上行侧的任何信号时，并且下行总线处于 SE0 状态 (DD+ 和 DD- 都低于 V_{IL} 阈值) 的时间周期超过 T_{DDIS} 时，则指示外设断开。在 FS 和 LS 模式下检测到断开时，ISOUSB111 器件会从上行侧移除上拉电阻，从而使上行 UD+ 和 UD- 线路放电至零。然后，ISOUSB111 会等待下一个连接事件发生。

8.3.6 复位

ISOUSB111 器件会在上行侧检测复位置位 (持续时间较长的 SE0 状态) 并将其发送到下行侧。

8.3.7 LS/FS 消息流量

ISOUSB111 器件会监控上行侧和下行侧的总线状态。通信方向由哪一侧先从 LS/FS 空闲状态转换到其他状态 (J 到 K 转换) 来设置。之后，数据跨越隔离层以数字方式传输，并在另一侧进行重构。数据传输会继续，直到出现结束包 (EOP) 或长时间空闲。此时，ISOUSB111 器件会将其 LS/FS 发送器置于三态，并等待从 LS/FS 空闲状态到其他状态的下一次转换。

8.3.8 L2 电源管理状态 (暂停) 和恢复

ISOUSB111 器件支持低功耗暂停状态，在 USB 2.0 链路电源管理工程变更通知 (ECN) 中也称为 L2 状态。如果总线保持在 LS/FS 空闲状态超过 3ms，则会检测到暂停模式。当检测到从 LS 和 FS 空闲状态进入暂停状态时，ISOUSB111 会继续处于 LS 或 FS 空闲状态，同时降低内部功耗。转换至 L2 低功耗模式的操作会在 10ms 内完成。

当从 ISOUSB111 上行侧的主机收到恢复信号时，或者先从 ISOUSB111 下行侧的外设收到远程唤醒信号，再从上行侧的主机/集线器收到恢复信号时，便会从 L2 退出。恢复或唤醒的开始分别由主机或器件通过“K”状态发出信号。恢复的结束由主机通过驱动 SE0 的两个低速位时间后跟一个“J”状态来发出信号。ISOUSB111 能够适当地复制上行和下行的恢复和唤醒信号。在收到恢复/唤醒信号后，器件会返回到 LS 或 FS 空闲状态，具体取决于进入 L2 状态前所处的状态。

8.3.9 L1 电源管理状态 (睡眠) 和恢复

ISOUSB111 器件支持 USB 2.0 链路电源管理 ECN 中定义的额外 L1 或睡眠低功耗状态。当检测到从 LS 和 FS 空闲状态进入 L1 时，ISOUSB111 会继续处于 LS 或 FS 空闲状态，同时降低内部功耗。转换至 L1 低功耗模式的操作会在 50 μs 内完成。

当从 ISOUSB111 上行侧的主机收到恢复信号时，或者先从 ISOUSB111 下行侧的外设收到远程唤醒信号，再从上行侧的主机/集线器收到恢复信号时，便会从 L1 退出。恢复或唤醒的开始分别由主机或器件通过“K”状态发出信号。恢复的结束由主机通过驱动 SE0 的两个低速位时间后跟一个“J”状态来发出信号。ISOUSB111 能够适当地

复制上行和下行的 K 信号。在收到恢复/唤醒信号后，器件会返回到 LS 或 FS 空闲状态，具体取决于进入 L1 状态前所处的状态。

8.4 器件功能模式

表 8-1 列出了 ISOUSB111 器件的功能模式。

表 8-1. 功能表

1 侧电源 V_{BUS1} 、 V_{3P3V1} (1)	总线 1 (UD+、 UD-)	2 侧电源 V_{PIN}	2 侧电源 V_{BUS2} 、 V_{3P3V2}	总线 2 (DD+、DD-)	注释
供电	激活	H	供电	激活	当两侧都通电时，总线的状态会正确地从上行反映到下行，反之亦然。
供电	15k Ω PD	L	供电	15k Ω PD	上行和下行均呈现断开状态
供电	15k Ω PD	X	未供电	Z	如果一侧未通电，该侧的总线处于高阻抗状态。
未供电	Z	X	供电	15k Ω PD	
未供电	Z	X	未供电	不确定	

- (1) 供电 = $(V_{BUSx} \geq UV_{+(V_{BUSx})}) \parallel (V_{BUSx} = V_{3P3Vx} \geq UV_{+(V_{3P3Vx})})$ ；未供电 = $(V_{BUSx} < UV_{-(V_{BUSx})}) \& (V_{3P3Vx} < UV_{-(V_{3P3Vx})})$ ；X = 不相关；H = 高电平；L = 低电平；Z = 高阻抗

9 电源相关建议

建议在非常靠近 V_{3P3Vx} 引脚的地方放置 $0.1\mu\text{F}$ 电容器并连接到 GNDx 。建议在非常靠近 V_{BUSx} 引脚的地方放置 $1\mu\text{F}$ 电容器并连接到 GNDx 。

这些去耦电容器建议与 3.3V 电源是从外部提供还是使用内部 LDO 生成无关。

有关去耦电容器的建议放置方式，请参阅节 11.1.1 部分。建议使用小尺寸电容器 (0402/0201)，以便可以将它们放置在非常靠近电源引脚和顶层上相应接地引脚的位置，而不使用过孔。

在隔离主机/集线器或总线供电的外设时，需要使用隔离式电源，并可借助 TI 的 [SN6505B 等变压器驱动器](#) 生成隔离式电源。[适用于隔离式电源的 SN6505A 低噪声 1A 变压器驱动器](#) 数据表中提供了此类设计、详细的电源设计以及变压器选择建议。

可以在 D+ 和 D- 线路上放置具有低电容和低动态电阻的 ESD 二极管，例如 PESD5V0C1USF。可以选择在连接器的 V_{BUS} 引脚与 ISOUSB111 的 V_{BUS} 引脚之间放置一个直流电阻小于 100mΩ 的铁氧体磁珠（如图中所示），来抑制 ESD 等瞬变。

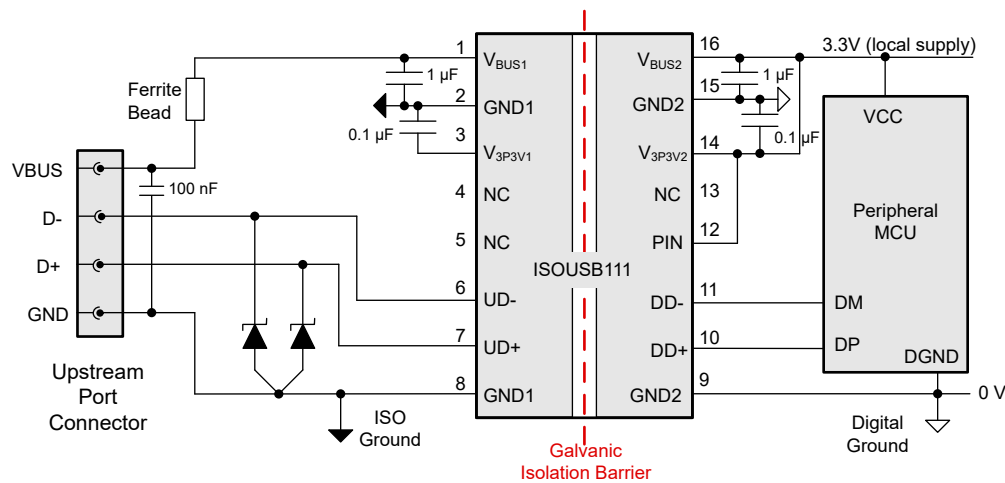


图 10-2. 采用 ISOUSB111 的隔离式自供电外设

10.1.3 隔离式外设 - 总线供电

图 10-3 展示了一个采用 ISOUSB111 隔离自供电外设的应用。在此示例中，隔离式直流/直流转换器（例如 SN6505）用于产生一个 3.3V 本地电源，同时从 USB VBUS 获取电源。在微控制器侧，V_{3P3V2} 和 V_{BUS2} 一起连接到一个外部 3.3V 电源。在连接器侧，来自 USB 连接器的 VBUS 连接至 V_{BUS1}，而 V_{3P3V1} 电源由内部 3.3V LDO 生成。

去耦电容器根据节 9 部分中提供的建议放置在 ISOUSB111 旁边。请注意，USB 标准要求，对于外设，VBUS 上的总电容值（包括通过隔离式直流/直流转换器从次级侧反射的任何去耦电容）必须小于 10 μF。建议在 VBUS 连接器附近使用 100nF 电容器来处理瞬态电流。

可以在 D+ 和 D- 线路上放置具有低电容和低动态电阻的 ESD 二极管，例如 PESD5V0C1USF。可以选择在连接器的 VBUS 引脚与 ISOUSB111 的 V_{BUS} 引脚之间放置一个直流电阻小于 100mΩ 的铁氧体磁珠（如图中所示），来抑制 ESD 等瞬变。

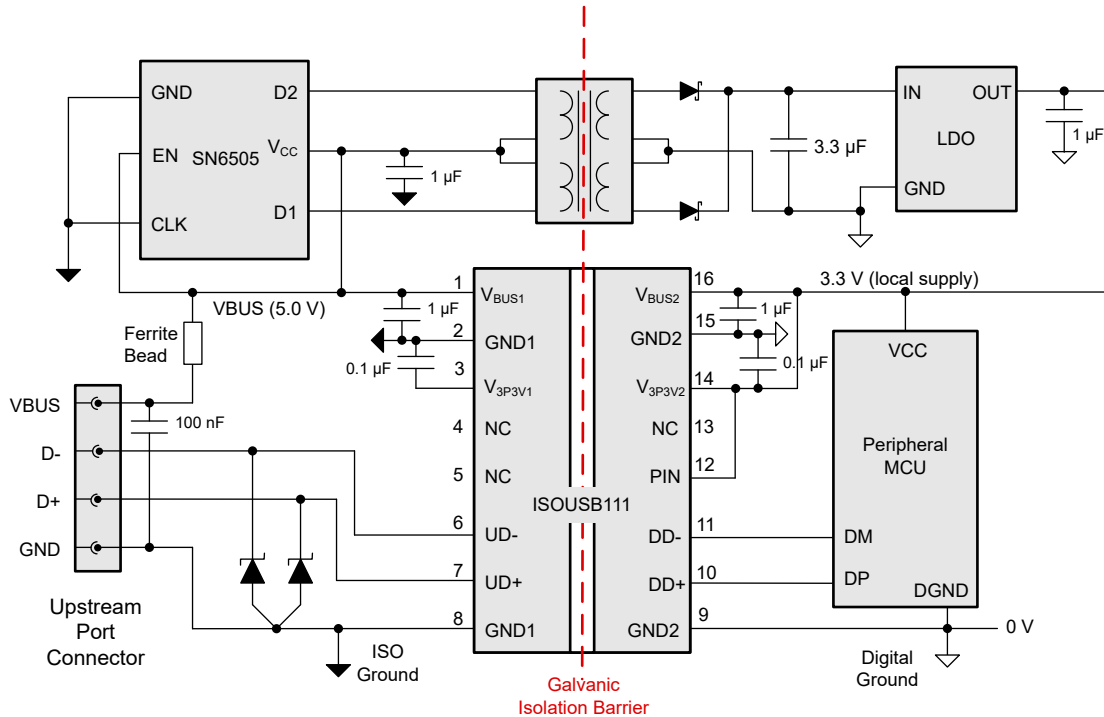


图 10-3. 采用 ISOUSB111 的隔离式总线供电外设

10.1.4 应用曲线

10.1.4.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 10-4。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 10-5 展示了隔离栅在整个寿命期内承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 1500V_{RMS}，寿命为 169 年。其他因素，比如封装尺寸、污染等级、材料组等，可能会进一步限制元件的工作电压。DW-16 和 DWX-16 封装的工作电压上限值可达 1500V V_{RMS}。较低工作电压所对应的绝缘寿命远远超过 169 年。

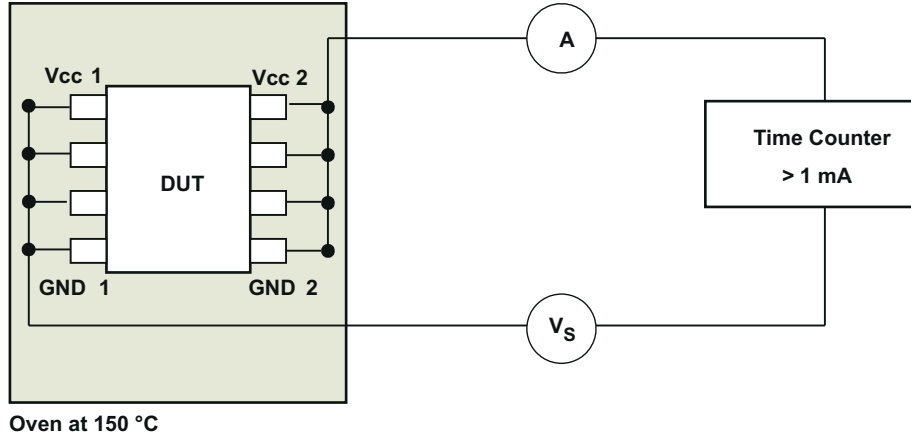


图 10-4. 绝缘寿命测量的测试设置

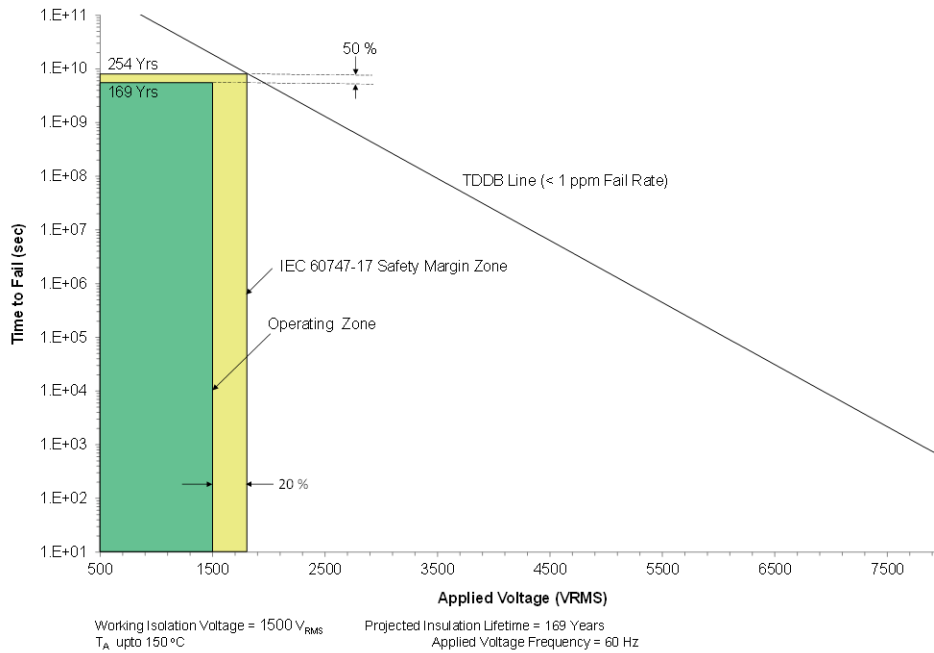


图 10-5. 绝缘寿命预测数据

11 布局

11.1 布局指南

二层就足以实现低 EMI PCB 设计。

- 在顶层布置高速迹线可避免使用过孔（以及引入其电感），并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 为了获得理想性能，建议尽量缩短从 MCU 到 ISOUSB111，以及从 ISOUSB111 到连接器的 D+/D- 电路板布线长度。必须避免 D+/D- 线路上的过孔和残桩。
- 通过在高速信号层正下方放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的电感路径。D+ 和 D- 布线必须设计为 $90\ \Omega$ 差分阻抗并尽可能靠近 $45\ \Omega$ 单端阻抗。
- 在接地平面旁边放置电源平面后，会额外产生大约 $100\ \text{pF}/\text{in}^2$ 的高频旁路电容。
- 去耦电容器必须放置在顶层，并且电容器与相应电源引脚和接地引脚之间的布线必须在顶层本身完成。去耦电容器与相应电源和接地引脚之间的布线路径上不应有任何过孔。
- ESD 结构必须放置在顶层，靠近连接器，并且就在 D+/D- 布线上，而没有过孔。如果可能，必须在顶层进行 ESD 结构的接地布线，否则必须通过多个过孔与接地层建立牢固连接。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

11.1.1 布局示例

本部分中的布局示例显示了去耦电容器和 ESD 保护二极管的建议放置方式。建议在 D+/D- 信号布线下使用连续的接地层。建议使用小尺寸电容器 (0402/0201)，以便可以将它们放置在非常靠近电源引脚和相应接地引脚的位置并使用顶层进行连接。去耦电容器与相应电源和接地引脚之间的布线路径上不应有任何过孔。ESD 保护二极管应靠近连接器放置，并与接地层牢固连接。所示的示例适用于隔离式主机或集线器，但类似的注意事项也适用于隔离式外设。VBUS 上的 $120\ \mu\text{F}$ 电容器仅适用于主机或集线器，而不应用于外设。可以选择在 VBUS 线路上的 $100\ \text{nF}$ （和 $120\ \mu\text{F}$ ）电容器之后放置一个直流电阻小于 $100\ \text{m}\Omega$ 的铁氧体磁珠，以防止 ESD 等瞬变影响电路的其余部分。

为了获得理想性能，建议尽量缩短从 MCU 到 ISOUSB111，以及从 ISOUSB111 到连接器的 D+/D- 电路板布线长度。必须避免 D+/D- 线路上的过孔和残桩。

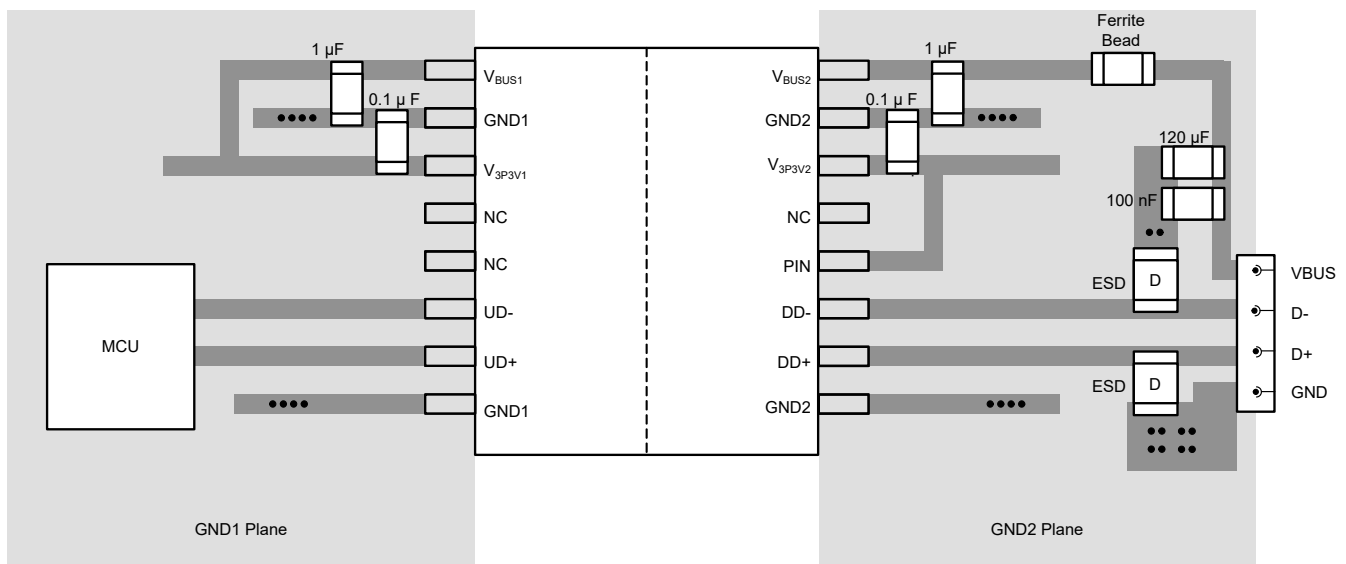


图 11-1. ISOUSB111 布局示例

11.1.2 PCB 材料

对于运行速度低于 500 Mbps (或上升和下降时间大于 1 ns) 且迹线长度达 10 英寸的数字电路板, 请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征, 因而优于成本更低的替代产品。

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [《数字隔离器设计指南》](#)
- 德州仪器 (TI), [隔离相关术语](#)

12.2 接收文档更新通知

若要接收文档更新通知, 请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的 *提醒我* 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料, 可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [《使用条款》](#)。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

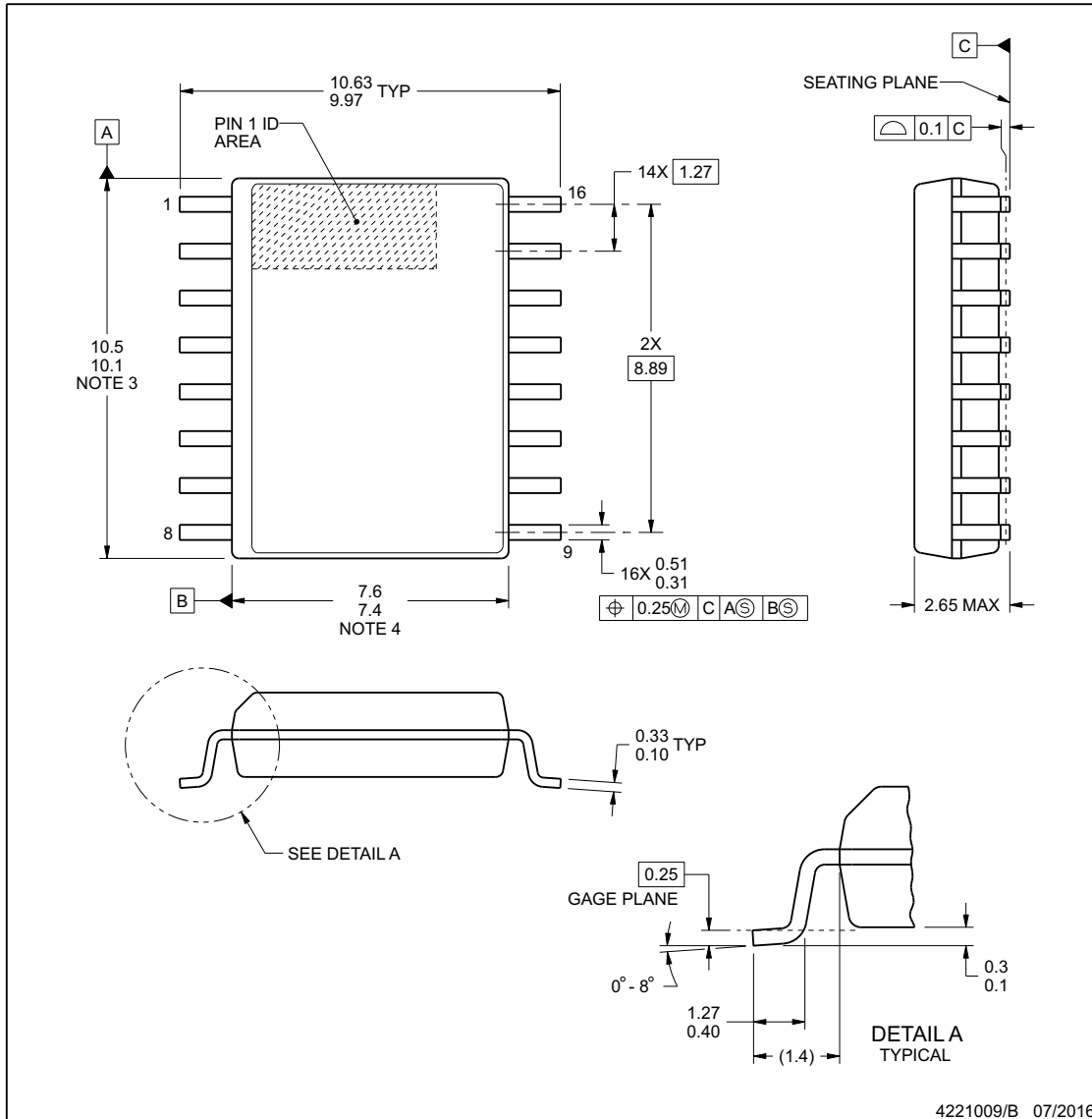
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。



DW0016B

PACKAGE OUTLINE
SOIC - 2.65 mm max height

SOIC



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

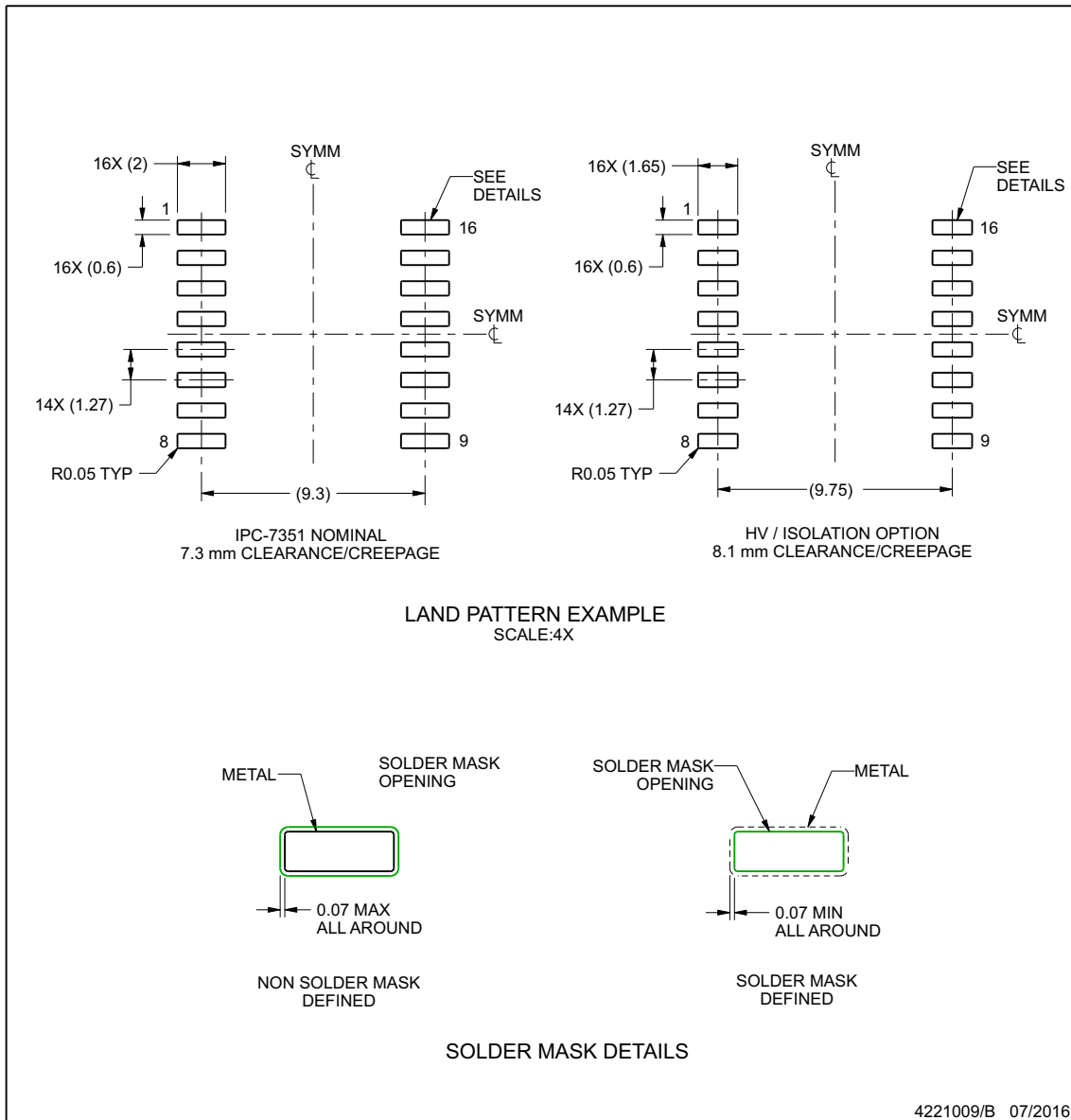
www.ti.com

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

www.ti.com

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

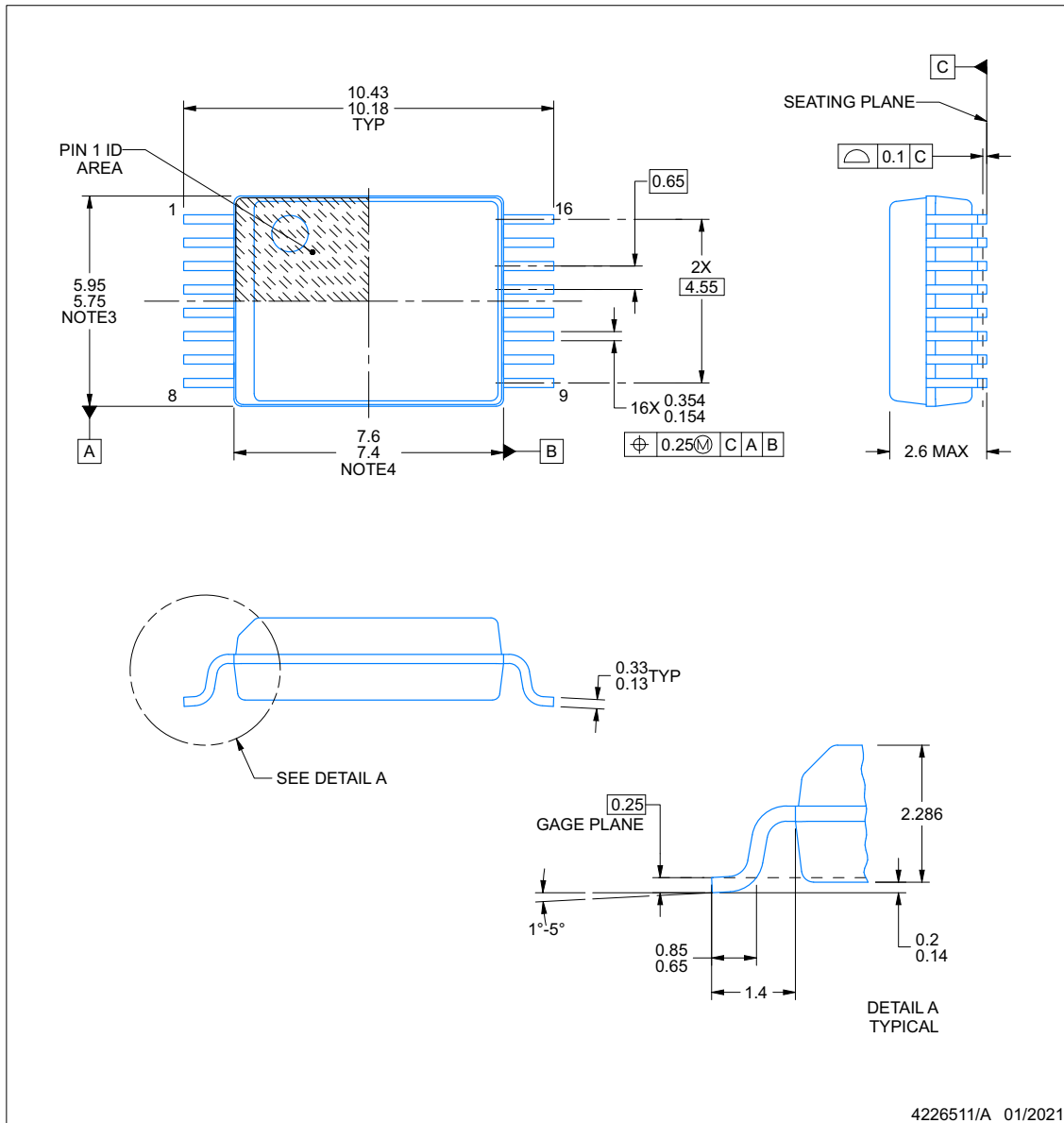
www.ti.com

PACKAGE OUTLINE

DWX0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES:

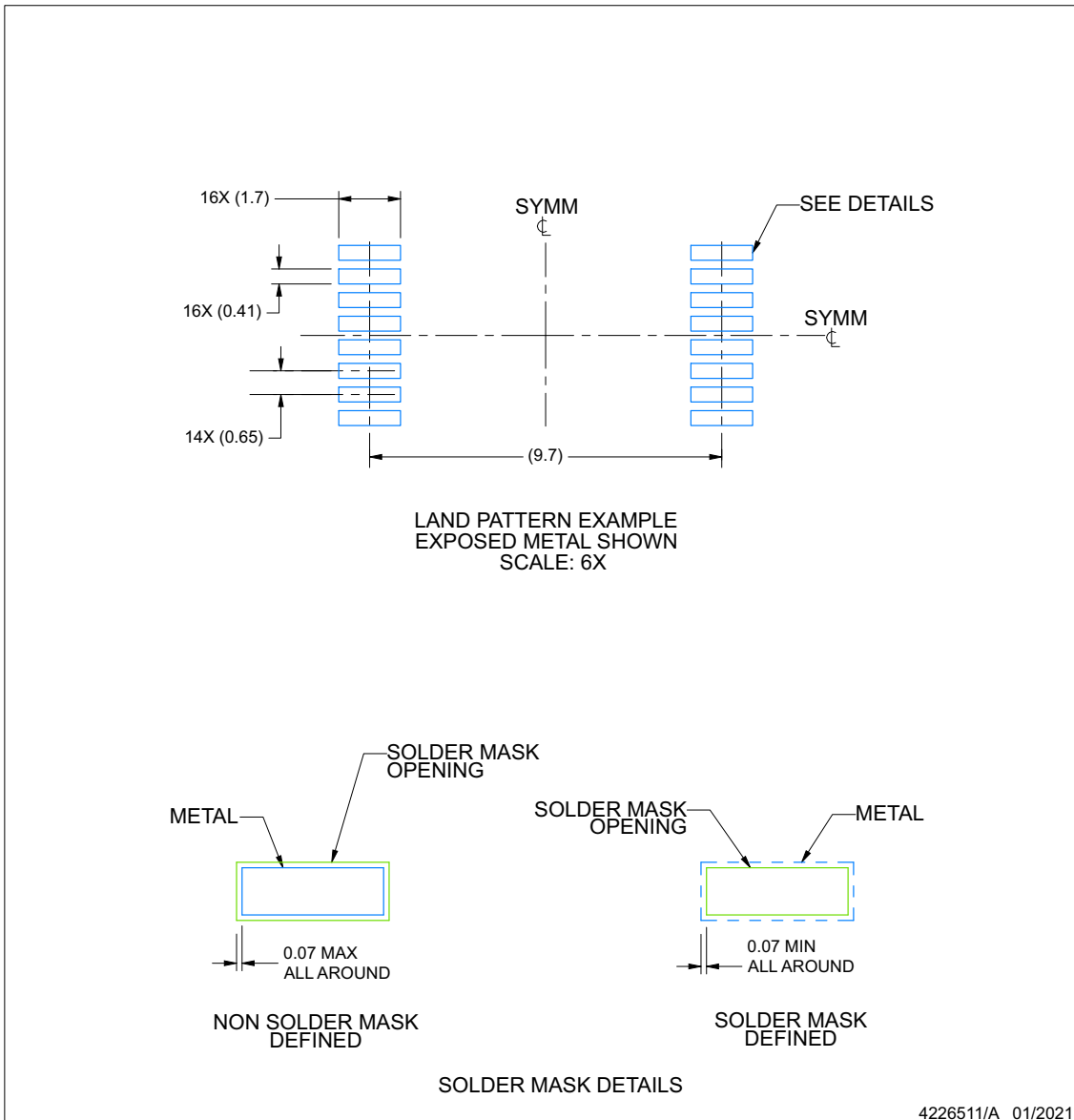
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

DWX0016A

SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

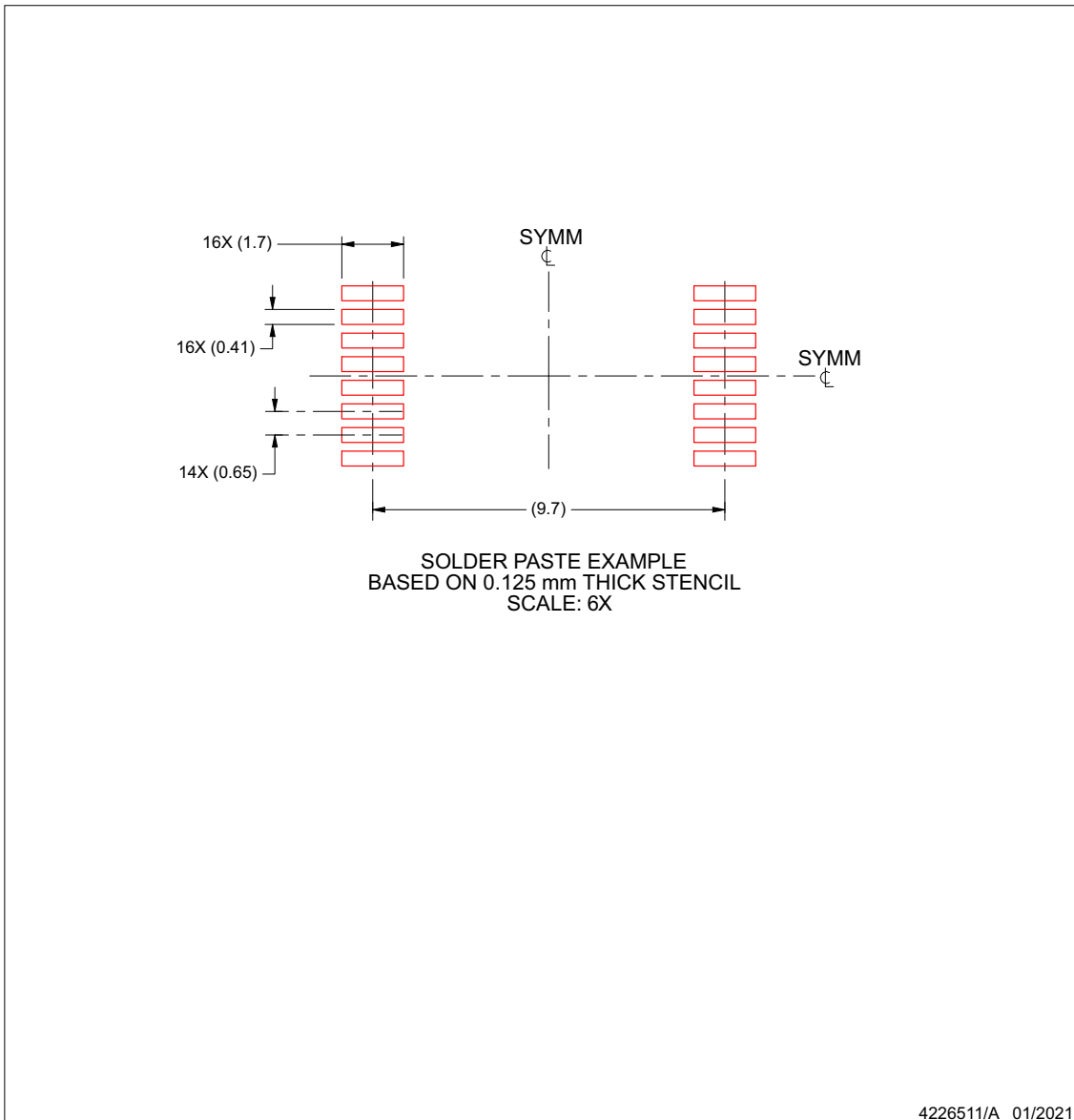
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWX0016A

SSOP - 2.6 mm max height

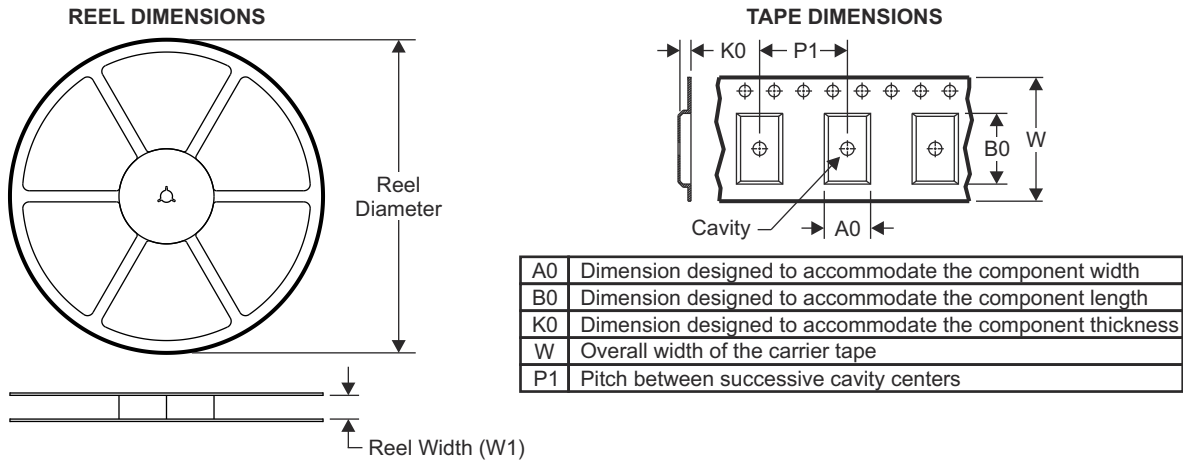
SMALL OUTLINE PACKAGE



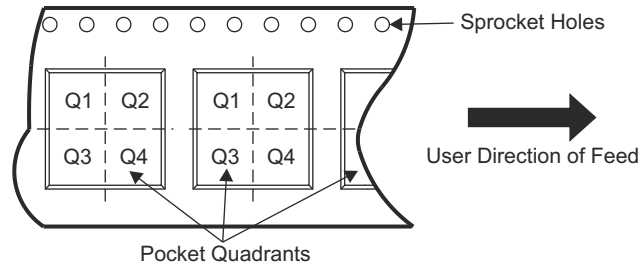
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

13.1 卷带封装信息

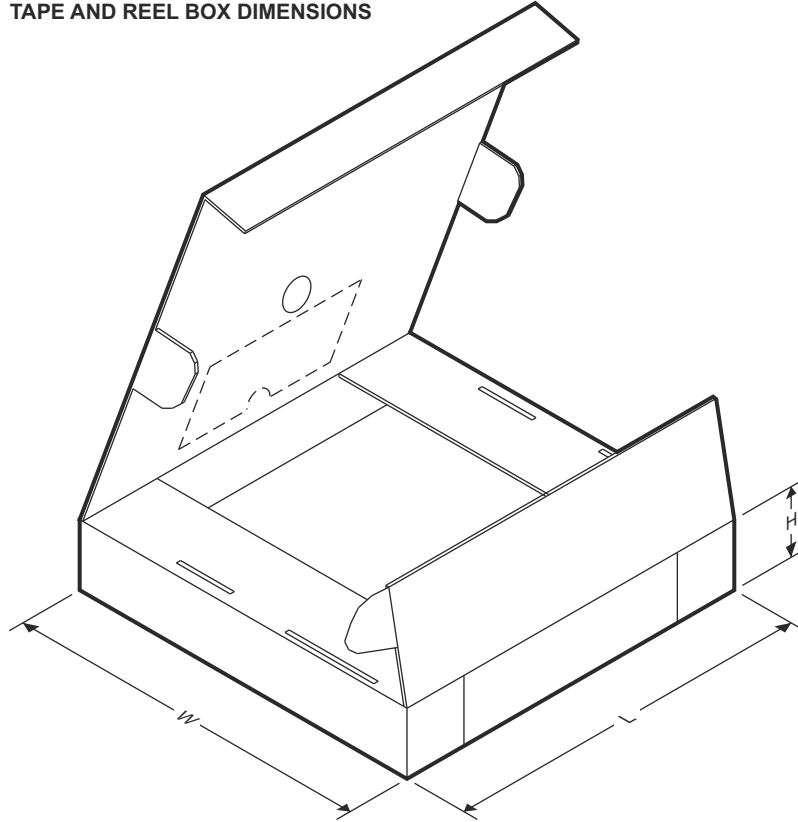


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
ISOUSB111DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOUSB111DWXR	SSOP	DWX	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
ISOUSB111DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISOUSB111DWXR	SSOP	DWX	16	1000	350.0	350.0	43.0

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ISOUSB111DWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB111	Samples
ISOUSB111DWXR	ACTIVE	SSOP	DWX	16	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOU111	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOUSB111DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOUSB111DWXR	SSOP	DWX	16	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOUSB111DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISOUSB111DWXR	SSOP	DWX	16	1000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司