

采用 **TPS65950** 为 **OMAP™3** 供电：  
应用设计指南

## User's Guide



Literature Number: ZHCU013

11 月 2010 年



<b>1</b>	<b>介绍 .....</b>	<b>5</b>
1.1	目的 .....	5
1.2	读者 .....	5
1.3	参考 .....	5
<b>2</b>	<b>系统 .....</b>	<b>6</b>
2.1	平台 .....	6
2.2	连接概述 .....	6
<b>3</b>	<b>系统互连 .....</b>	<b>7</b>
3.1	平台 .....	7
3.2	配电 .....	11
<b>4</b>	<b>系统模式 .....</b>	<b>14</b>
4.1	上电和复位 .....	14
4.2	启动 .....	15
4.3	复位和时钟 .....	15
4.4	TPS659xx 电源管理功能 .....	18
4.5	音频 .....	19
4.6	USB .....	22

## 图片列表

1	顶层连接.....	7
2	平台互连.....	9
3	TPS65950-OMAP3530 平台配电.....	11
4	平台上电顺序图.....	14
5	复位和控制连接.....	16
6	系统时钟连接.....	17
7	采用 VMODE 引脚进行 DVFS 控制.....	19
8	音频模拟输入选项.....	20
9	音频模拟输出选项.....	20
10	TPS65950 音频与 OMAP35xx 的连接示例.....	21
11	TPS65950 USB 与 OMAP35xx 之间的连接.....	22

## 图表列表

1	参考文档.....	5
2	平台控制和数据互连.....	9
3	平台电源要求.....	10
4	平台时钟要求.....	10
5	TPS65950 电源资源.....	12
6	配电.....	12
7	TPS65950 启动模式.....	15
8	32kHz 时钟规格.....	17

# 采用 **TPS65950** 为 **OMAP™3** 供电：应用设计指南

## 1 介绍

本文档详细描述 OMAP3530 器件和 TPS65950 配套功率集成电路 (IC) 的系统硬件实现。文中重点介绍了处理器和配套功率 IC 的电源连接。文中还简要说明了有关电源的另外一些细节，如引导模式和上电顺序。

### 1.1 目的

本系统硬件实现文档旨在描述 OMAP3530-TPS65950 解决方案的系统设计

### 1.2 读者

本文档面向在应用中将 OMAP3530 和 TPS65950 配套功率 IC 配合使用的读者。

### 1.3 参考

表 1 列出支持本文档的参考文档。

表 1. 参考文档

文档	修订
OMAP35xx 技术参考手册 (SPRUF98)	
OMAP3530 数据手册	
TPS65950 技术参考手册 (SWCU050)	
TPS65950 数据手册 (SWCS032)	

## 2 系统

本文档描述 OMAP3530 及其 TPS65950 配套功率 IC 之间的硬件互连。

### 2.1 平台

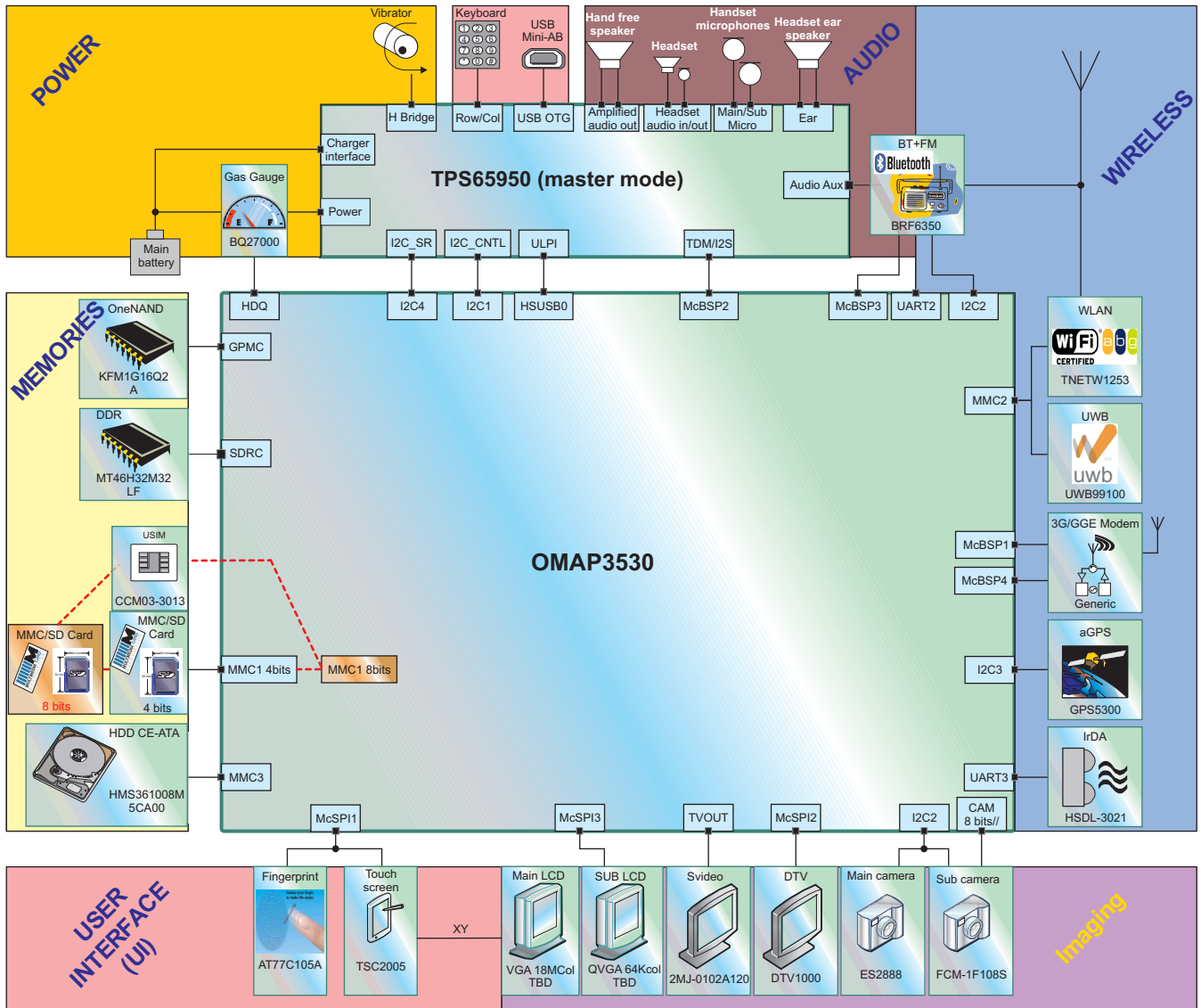
支持系统的平台采用 OMAP3530 和 TPS65950 配套芯片：

- **OMAP3530** 是 TI OMAP™ 3 架构中首个将移动娱乐与高效能应用相结合的器件：
  - 首个带高级超标量 ARM® Cortex™-A8 精简指令集计算 (RISC) 内核的处理器，可实现性能的 3 倍增益
  - 首个采用 65 纳米互补型金属氧化物半导体 (CMOS) 工艺技术设计的处理器，可提高处理性能
  - 图像/视频/音频 (IVA) 2+ 加速器，支持 D1 ( 720 x 480 像素 ) 30 帧/秒 (fps) 的多标准 ( MPEG-4、WMV9、RealVideo®、H.263、H.264 ) 编解码
  - 集成图像信号处理器 (ISP)，可获得更快的图像捕捉速度、更高的质量和更低的系统成本
  - 采用 SmartReflex™ 技术进一步降低功耗
  - 采用 ARM TrustZone™ 支持增强的 M-shield™ 移动安全
  - 可定制接口支持高级操作系统 (HLOS)
- **TPS65950 IC** 是一个集成式电源管理 IC，用于由锂离子电池、锂离子聚合物电池或者带钴-镍-锰阳极的锂离子电池供电的应用。该器件是一个可连接至应用处理器的通用配套芯片。它包含降压转换器、低压降稳压器 (LDO)、充电器模块、带数字滤波器的完整音频模块、输入放大器和 D 类输出放大器。TPS65950 IC 可提供诸如高速 (HS) 通用串行总线(USB) 物理层 (PHY) 收发器等多种其他功能。

### 2.2 连接概述

图 1 是对顶层连接的概述。

图 1. 顶层连接



SWCU056-001

图 1 显示典型 OMAP3 架构平台的完整功能和连接。本文档不描述用于 OMAP3 设计的所有外围器件。本文档重点介绍采用配套 IC 的 OMAP 的电源连接。

### 3 系统互连

本部分描述系统内部互连，概述每个功能的电源和时钟要求。所有适用的设计约束和限制都将给出。

#### 3.1 平台

平台或主系统由 OMAP3530 和 TPS65950 配套 IC 组成。以下各部分仅描述主系统中的连接。有关平台所支持的具体功能的信息分别在其相关部分中描述。

##### 3.1.1 特性

TPS65950 配套 IC 是系统时钟管理器：

- 它从晶体或外部正弦波产生 32kHz 时钟，并向整个系统提供数字方波。
- 它收集来自系统的全部高频时钟请求，并将这些请求转发给系统时钟源。

- 它对来自时钟源的高频时钟进行缓冲并产生一个数字方波到整个应用系统。

### 3.1.1.1 上电和复位管理

TPS65950 配套 IC 是系统上电和复位管理器：

- 按钮去抖可启动状态机 ( 主配置 ) 。
- 它控制 OMAP3530 的复位释放。
- 它在 OMAP3530 或用户指令下控制热复位步骤。
- 它可控制辅助子系统的上电。

### 3.1.1.2 电源管理

TPS65950 配套 IC 是系统电源管理器：

- 它集成多种电源 ( DCDC/SMPS 或 LDO 类型 ) ，可满足系统的电流和电压要求。
- 它是配套的处理器的电源，可为 OMAP3530 提供所有必需的电源和电源管理功能 ( 动态电压调节、SmartReflex ) 。 SmartReflex 通过一个专用的 HS 内部集成电路 (I2C™) 连接进行控制。
- 它可控制其他电源资源 ( 外部 LDO ) 的启用。

### 3.1.1.3 系统管理

TPS65950 的工作模式和状态均可通过采用 HS I<sup>2</sup>C 配置接口的寄存器接入进行配置。此外，TPS65950 IC 可实现：

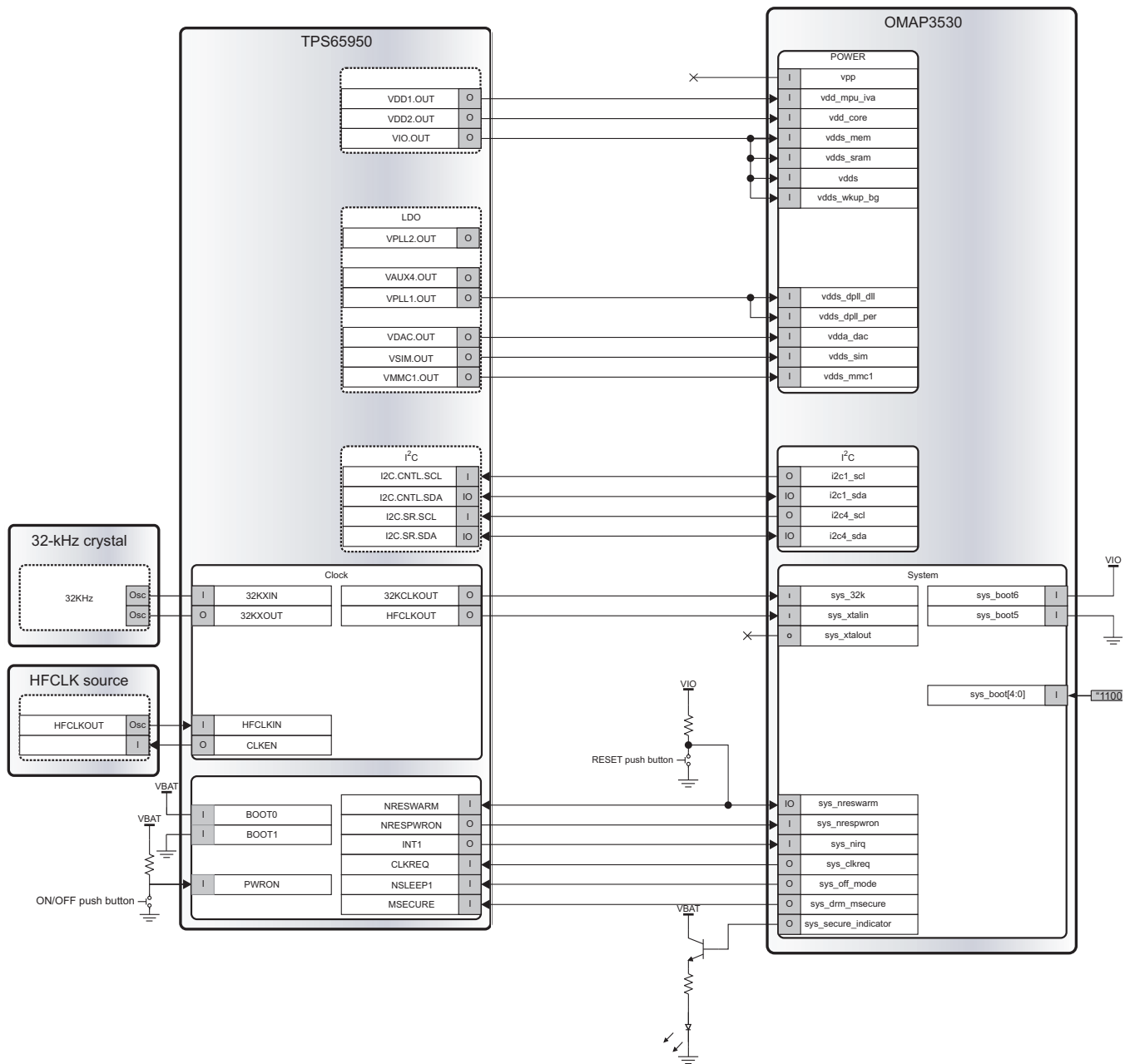
- 多个功能性中断，可路由至一到两个目标
- 内外部信号监控，执行软件或硬件的模数转换请求
- 用于数字版权管理 (DRM) 的安全软件访问协议

## 3.1.2 框图

图 2 是平台互连框图。



图 2. 平台互连



SWCU056-C

图 2 是电源、时钟和复位管理连接的概述。欲了解电源连接的详细信息，请参见图 3。

### 3.1.3 控制和数据互连

表 2 列出了平台控制和数据互连。

表 2. 平台控制和数据互连

信号 ID	模式	焊球	电源域	Dir	信号 ID	模式焊球	电源域	
OMAP3530					TPS65950			
sys_nreswarm	0	AF24	VDD51		NRESWARM	B13	IO_1P8	
sys_nrespwron	0	AH25	VDD51		NRESPWRON	A13	IO_1P8	
sys_nirq	0	AF26	VDD51		INT1	F10	IO_1P8	

表 2. 平台控制和数据互连 (continued)

信号 ID	模式	焊球	电源域	Dir	信号 ID	模式焊球	电源域
sys_clkreq	0	AF25	VDDSD1		CLKREQ	G10	IO_1P8
sys_off_mode	0	AF22	VDDSD1		NSLEEP1	P7	IO_1P8
sys_drm_msecure	1	AF9	VDDSD1		MSECURE	H8	IO_1P8
OMAP3530					按钮		
sys_nreswarm	0	AF24	VDDSD1		NRESWARM		

### 3.1.4 启动引脚互连

TPS65950 配套 IC 具有以下启动引脚连接：

- BOOT0 引脚连接到 1。
- BOOT1 引脚接地。

### 3.1.5 电源要求

表 3 列出了平台电源要求。

表 3. 平台电源要求

信号 ID	类型	Vmin	Vnom	Vmax	域
VBAT	输入	2.7	3.6	4.5	电池组正极端子
CP.IN	输入	2.7	3.6	4.5	USB 充电泵
VAUX12S.IN	输入	2.7	3.6	4.5	VAUX1/2 和 VSIM
VPLLA3R.IN	输入	2.7	3.6	4.5	VPLL1/2、VAUX3 和 VRTC
VAUX4.IN	输入	2.7	3.6	4.5	VAUX4
VMMC1.IN	输入	2.7	3.6	4.5	VMMC1
VMMC2.IN	输入	2.7	3.6	4.5	VMMC2
VDAC.IN	输入	2.7	3.6	4.5	VDAC 和 VINTANA1/2
VDD1.IN	输入	2.7	3.6	4.5	VDD1
VDD2.IN	输入	2.7	3.6	4.5	VDD2
VIO.IN	输入	2.7	3.6	4.5	VIO
VBAT.USB	输入	2.7	3.6	4.5	USB LDO
VAC	输入	2.7	3.6	4.5	充电器
VBUS	输入	2.7	3.6	4.5	USB 电源

### 3.1.6 时钟要求

表 4 列出了 TPS65950 配套 IC 的时钟要求。

表 4. 平台时钟要求

焊盘	时钟频率	稳定性	占空比
32KXIN 32KXOUT	32.768kHz	晶体	±30 ppm
		方波	—
		正弦波	—
HFCLKIN	19.2MHz、26MHz、38.4MHz	方波	±150 PPM
		正弦波	—

### 3.1.7 约束和限制

#### 3.1.7.1 I<sup>2</sup>C 总线

I<sup>2</sup>C 接口为 HS 接口。因此，I<sup>2</sup>C 时钟信号可达 3.4MHz。连接无需符合该标准的其他 I<sup>2</sup>C 器件时必须考虑这一指标。

#### 3.1.7.2 Msecure

如果使用了 Msecure，则必须由 OMAP3530 软件驱动，以允许或防止写入 TPS65950 实时时钟 (RTC) 寄存器和哈希表中。如未使用 TPS65950 MSECURE，则必须将其引脚连接到 VIO。例如，sys\_secure\_indicator 可用于通过驱动一个 LED 来指示 Msecure 的启用情况。

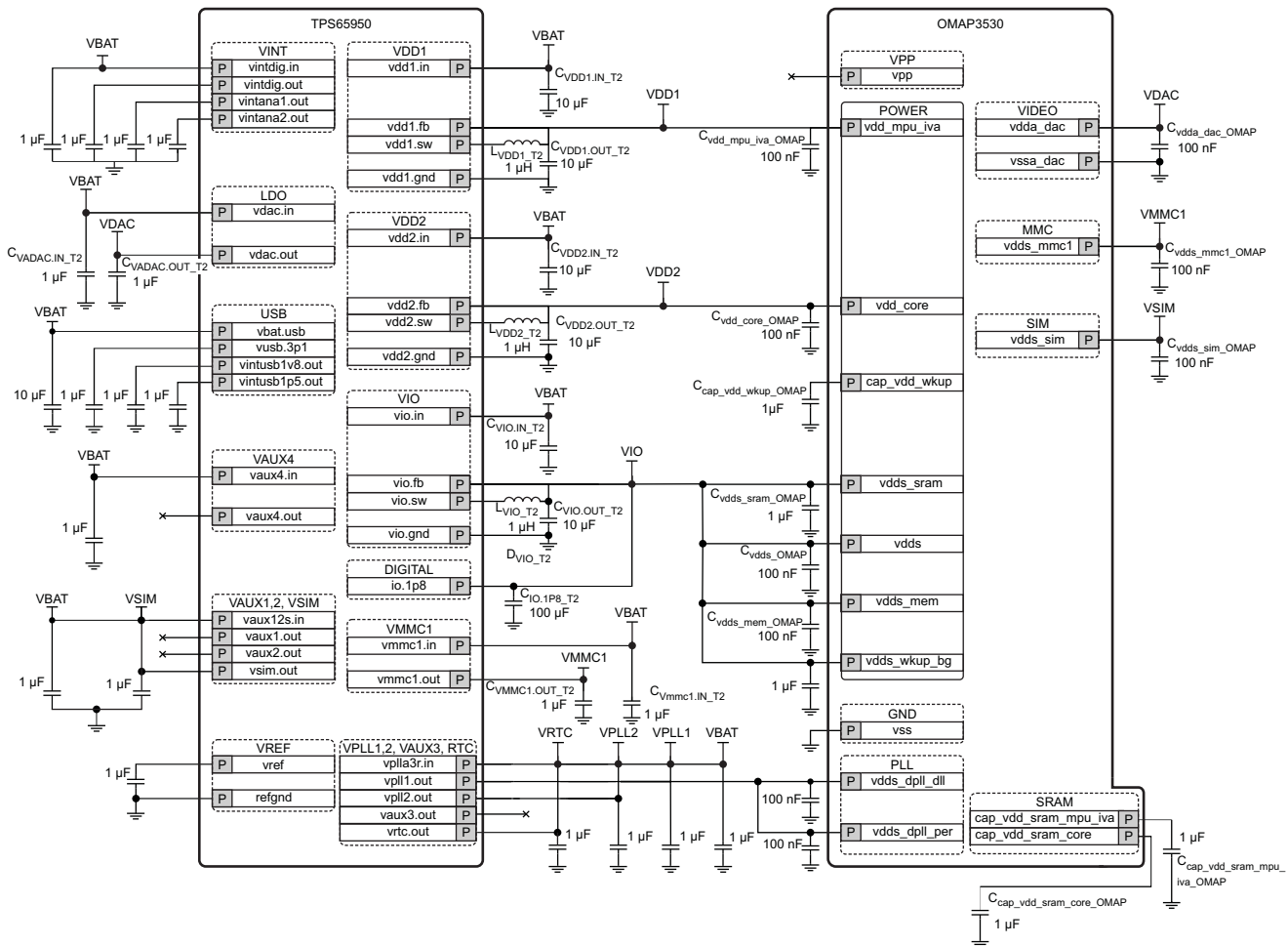
## 3.2 配电

### 3.2.1 平台配电

#### 3.2.1.1 框图

图 3 显示采用 OMAP3530 应用程序处理器和 TPS65950 功率 IC 芯片的平台电源。

图 3. TPS65950-OMAP3530 平台配电



SWCU056-003

### 3.2.1.2 资源

表 5 列出了 TPS65950 的电源资源。

表 5. TPS65950 电源资源

信号 ID	类型	电压范围/电压值	步进电压/精度	I <sub>max</sub>
VDD1_OUT	SMPS	0.6 至 1.45V	12.5 mV	1.2 A
VDD2_OUT	SMPS	0.6 至 1.45V	12.5 mV	600mA
VIO_OUT	SMPS	1.8, 1.85 V	4%	600mA
VDAC_OUT	LDO	1.2, 1.3, 1.8 V	3%	70mA
VPLL1_OUT	LDO	1.0, 1.2, 1.3, 1.8, 2.8, 3.0 V	3%	40mA
VPLL2_OUT	LDO	0.7, 1.0, 1.2, 1.3, 1.5, 1.8, 1.85, 2.5, 2.6, 2.8, 2.85, 3.0, 3.15	3%	100mA
VMMC1_OUT	LDO	1.85, 2.85, 3.0, 3.15 V	3%	220mA
VMMC2_OUT	LDO	1.0, 1.2, 1.3, 1.5, 1.8, 1.85, 2.5, 2.6, 2.8, 2.85, 3.0, 3.15 V	3%	100mA
VSIM_OUT	LDO	1.0, 1.2, 1.3, 1.8, 2.8, 3.0 V	3%	50mA
VAUX1_OUT	LDO	1.5, 1.8, 2.5, 2.8, 3 V	3%	200mA
VAUX2_OUT	LDO	1.3, 1.5, 1.7, 1.8, 1.9, 2.0, 2.1, 2.2, 2.3, 2.4, 2.5, 2.8 V	3%	100mA
VAUX3_OUT	LDO	1.5, 1.8, 2.5, 2.8, 3.0 V	3%	200mA
VAUX4_OUT	LDO	0.7, 1, 1.2, 1.3, 1.5, 1.8, 1.85, 2.5, 2.6, 2.8, 2.85, 3.0, 3.15 V	3%	100mA

其他资源在相关 SID 部分描述。

### 3.2.1.3 配电摘要

表 6 列出了配电信息。

表 6. 配电

信号 ID	V <sub>nom</sub>	I <sub>max</sub>	Dir	信号 ID	I <sub>max</sub>
TPS65950				OMAP3530	
VDD1	0.6 至 1.45V	1100mA		VDD_MPU_IVA	1200mA
VDD2	0.6 至 1.45V	600mA		VDD_CORE	600mA
VIO	1.8 和 1.85V	600mA		vdds_sram	41mA
				VDDS	63mA
				vdds_mem	37mA
				vdds_wkup_bg	6 (仿真模式下为 25 mA)
				总计	<b>147mA</b>
VDAC	1.2 至 1.8V	70mA		VDDA_DAC	65mA
VMMC1	1.85 或 3.15V	220mA		vdds_mmc1	60mA
VPLL1	1, 1.2, 1.3, 1.8 V	40mA		vdds_dpll_dll	25mA
				vdds_dpll_per	15mA
				总计	<b>40mA</b>

**NOTE:**

- 如有任何 LDO 未使用，相应的输出引脚必须悬空。
- 如有任何 DCDC 未使用，相应的输出引脚必须悬空，且反馈引脚必须接地。

#### 3.2.1.4 约束和限制

- 从 TPS65950 配套 IC 到 OMAP3530 的电源走线宽度必须足够大，以便提供 OMAP 所需的最大电流。避免在供电线路上使用细走线。尽可能选择短而宽的走线。
- 所有数字线、CLK 线和 RF 线都必须远离电源走线，以避免产生噪声耦合效应。
- 将 GND 过孔放到紧挨去耦电容的 GND 焊盘的位置（如可能则放到焊盘内）。
- 来自 TPS65950 配套 IC 的电源走线必须先连接到去耦电容，再连接到相关的 OMAP3530 电源焊球。
- 去耦电容必须放到尽可能靠近 TPS65950 配套 IC 和 OMAP 电源焊球的位置。
- 理想的做法是，将去耦电容放到芯片的同一层，以避免由过孔引起的任何其他寄生电感。

有关布线的更多信息，请参见《TPS65950 布线指南》(SWCU055)。

## 4 系统模式

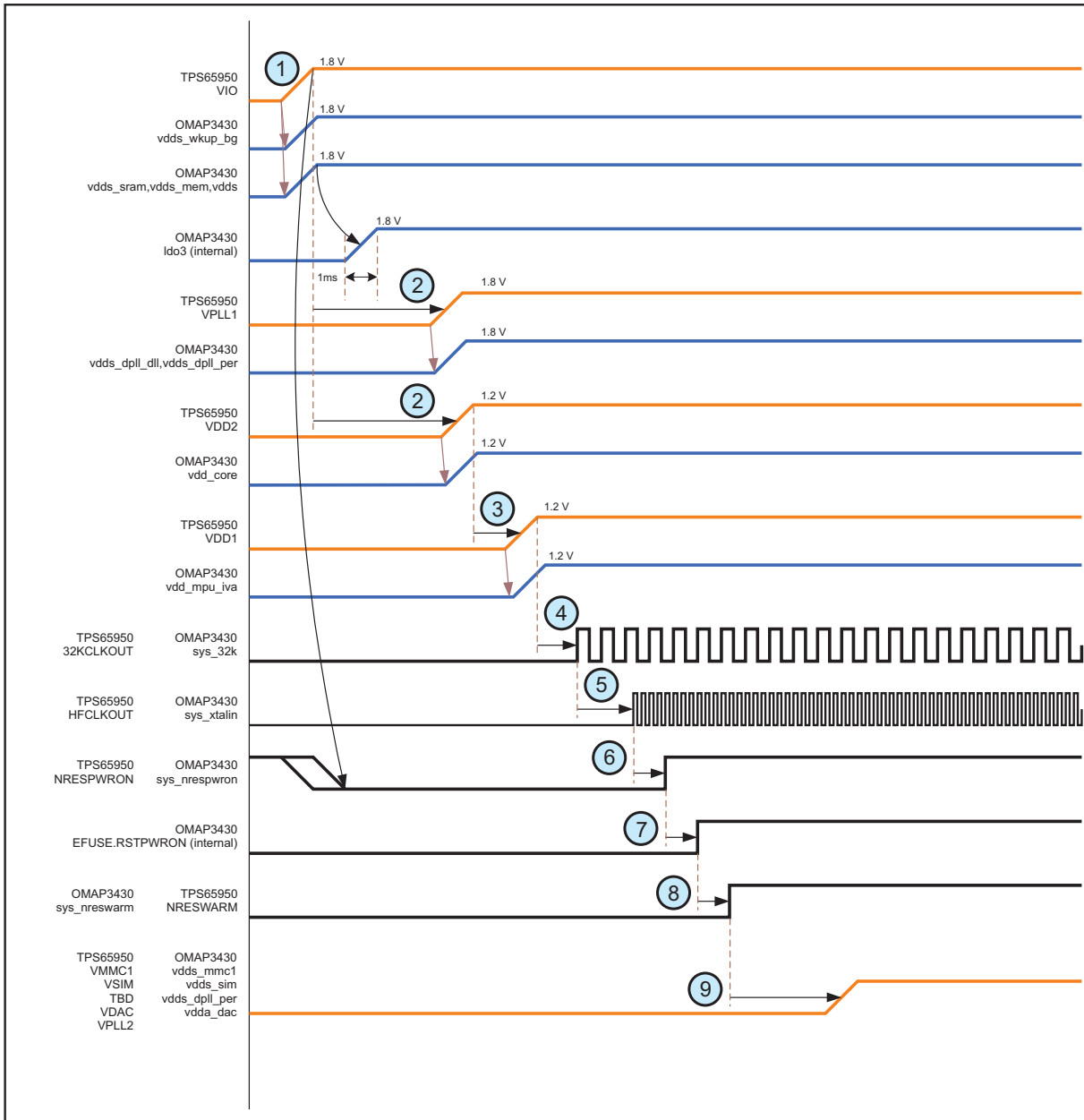
### 4.1 上电和复位

#### 4.1.1 平台上电和复位顺序

##### 4.1.1.1 平台上电顺序

图 4 显示平台上电顺序。

图 4. 平台上电顺序图



SWCU056-004

上电时序控制包括以下主要步骤：

1. TPS65950 VIO 电压缓升：

(a) OMAP3530 的 vdds\_wkup\_bg、vdds\_mem、vdds\_sram 和 vdds 焊球实现供电。

- (b) OMAP3530 内部 LDO (LDO3) 电压缓升。
- (c) sys\_nrespwron 保持低电平。
- 2. TPS65950 VPLL1 和 VDD2 电压缓升 :
  - (a) OMAP3530 vdds\_dppll\_dll、vdds\_dppll\_per 和 vdd\_core 焊球实现供电。
  - (b) 等待 VDD2 稳定。
- 3. TPS65950 VDD1 电压缓升 :
  - (a) OMAP3530 的 vdd\_mpu\_iva 焊球实现供电。
  - (b) 等待 VDD1 稳定。
- 4. 32kHz 时钟由 TPS65950 IC 提供 : OMAP3530 复位管理器将整个器件保持在复位模式下。
- 5. HF 时钟由 TPS65950 IC 提供 : HF 时钟由 OMAP3530 电源、复位和时钟管理 (PRCM) 模块门控。
- 6. NRESPWRON 由 TPS65950 IC 释放 : OMAP3530 启动 ( vdds\_dppll\_dll 电源轨、sys\_xtalin 和 sys\_32k 一旦稳定, sys\_nrespwron 即可释放 ) 。
- 7. OMAP3530 执行 eFuse 检查。
- 8. OMAP3530 释放 sys\_nreswarm。
- 9. TPS65950 辅助 IC 仅在需要时通过软件开启。

#### 4.1.1.2 平台掉电顺序

TPS65950 掉电时序控制包含以下步骤 :

1. 系统复位。sys\_nrespwron 被 TPS65950 IC 启用, HF 时钟被停止。
2. TPS65950 IC 的所有电源资源都被关断。

## 4.2 启动

### 4.2.1 TPS65950 启动说明

TPS65950 IC 作为 OMAP3530 平台的主功率 IC 使用。TPS65950 IC 配合 OMAP3530 处理器使用时有两个可能的启动模式 : 主模式和从模式。这两种模式可通过两个硬件输入引脚配置, 如表 7 中所示。

表 7. TPS65950 启动模式

启动模式	BOOT0	BOOT1
主模式	1	0
从模式	1	1

在主模式中, TPS65950 IC 接受上电按钮并控制系统中的其他功率 IC。主功率 IC 决定系统上电或掉电。在从模式中, TPS65950 IC 由系统中的另一器件通过 PWRON 输入上的一个数字信号控制。

### 4.2.2 启动处理模式 ( BOOT0 信号 )

TPS65950 IC 可能出现两种不同的启动行为, 这取决于 BOOT0 信号。此信号设置三个不同的参数 :

- TPS65950 IC 提供的启动内核电压
- 上电顺序
- DVFS 控制协议

在本系统中, TPS65950 IC 设置为 C0.21 启动处理模式 (BOOT0 = 1)。这表示 :

- 启动内核电压为 1.2 V。
- 上电顺序为 VIO 最先上电, 然后是 VDD1 和 VDD2。
- DVFS 协议为 SmartReflex。

## 4.3 复位和时钟

### 4.3.1 复位

以下是本器件提供的复位功能。TPS65950 是系统上电和复位管理器 :

- 按钮去抖可启动其状态机（主配置）。控制此功能的引脚是 PWRON 焊盘。
- 它控制 OMAP3430 应用器件的复位释放。控制此功能的引脚是 nRESPWRON 焊盘。
- 它在处理器或用户指令下控制热复位步骤。控制此功能的引脚是 nWARMRESET 焊盘。
- 它能够可选地控制辅助子系统（诸如 RF 子系统功率 IC 等其他上电管理器）的上电。控制此功能的引脚可以是 REGEN、SYSEN 或任何其他电源资源。

#### 4.3.1.1 PWRON

当器件处于主模式时，PWRON 信号由一个按钮激活。在主模式中，此输入端的电压为电池电压。当器件以从模式启动时，PWRON 也可由一个数字信号驱动。在从模式中，当主功率 IC 以高电平驱动 PWRON 时即激活 PWRON。

在一些具体的用户案例中，按钮不是必需的。此时，可将 PWRON 连接到电池电源。然后，连接 VBAT 引脚上的电池电源即可实现上电。请务必确保电池电源稳定且高于阈值。实现器件上电的 VBAT 触发器的阈值为  $3.2\text{ V} \pm 100\text{ mV}$ 。

#### 4.3.1.2 nRESPWRON

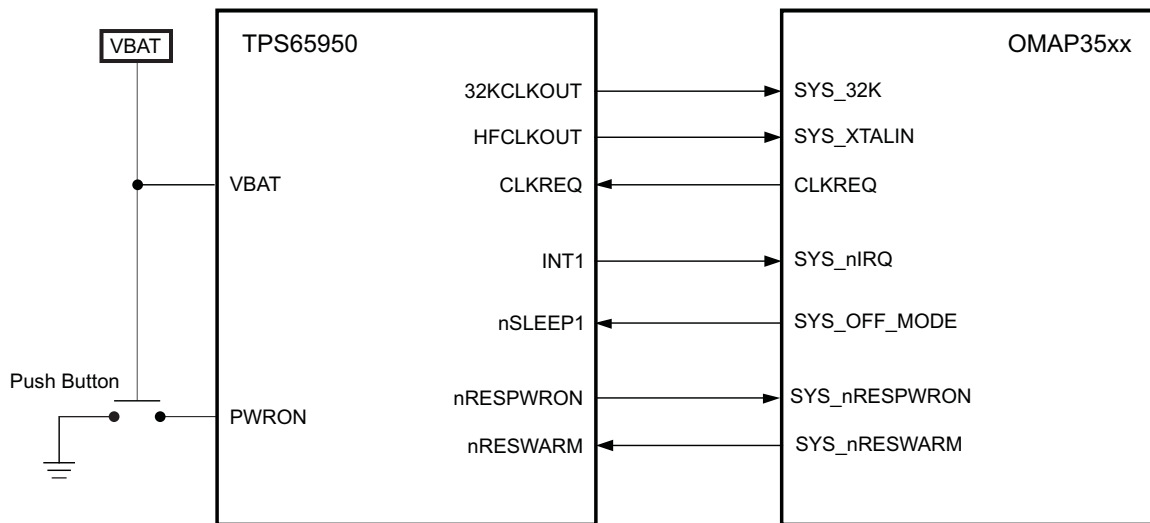
在内核电压和输入/输出 (I/O) 电源正确设置的情况下，nRESPWRON 输出信号是在上电复位 (POR) 时发送给 OMAP 处理器的复位信号。见图 4 中所示的上电顺序。

#### 4.3.1.3 nWARMRESET

nRESWARM 是向器件发送的一个低电平有效输入复位信号。根据应用情况，此信号可连接到一个复位按钮、RC 单元或 OMAP 应用程序处理器的热复位输出。

此复位信号可用于使器件处于已知的稳定状态下。为使热复位信号工作，应在器件内存中编入预定义的顺序。有关此顺序的详细信息，请参见 TRM。

图 5. 复位和控制连接



SWCU056-005

NOTE: 如果系统上电不正确，且 REGEN 不停切换，请尝试将 TEST.RESET 引脚接地。在一些平台上，TEST.REST 悬空会造成不稳定。

#### 4.3.1.4 系统复位

TPS65950 提供两种复位：NRESPWRON 和 NRESWARM。NRESPWRON 是 TPS65950 的输出，该输出在最初上电时使 OMAP 复位无效。这一复位不得用于异步复位 OMAP。如果使用外部电路来驱动 NRESPWRON 有效以复位 OMAP，那么这会导致 OMAP 复位并可能导致平台不稳定。当 OMAP 复位时，它将使（驱动低电平）SYS\_OFF\_MODE 信号无效。如果 TPS65950 编入了休眠 (SLEEP) 时序，那么驱动此信号保持低电平将会按照编程的时序改变 DCDC 输出信号。如果 DCDC 降低到无法给 OMAP 内核域上电的水平，系统将挂起或处于异常的未定义状态。

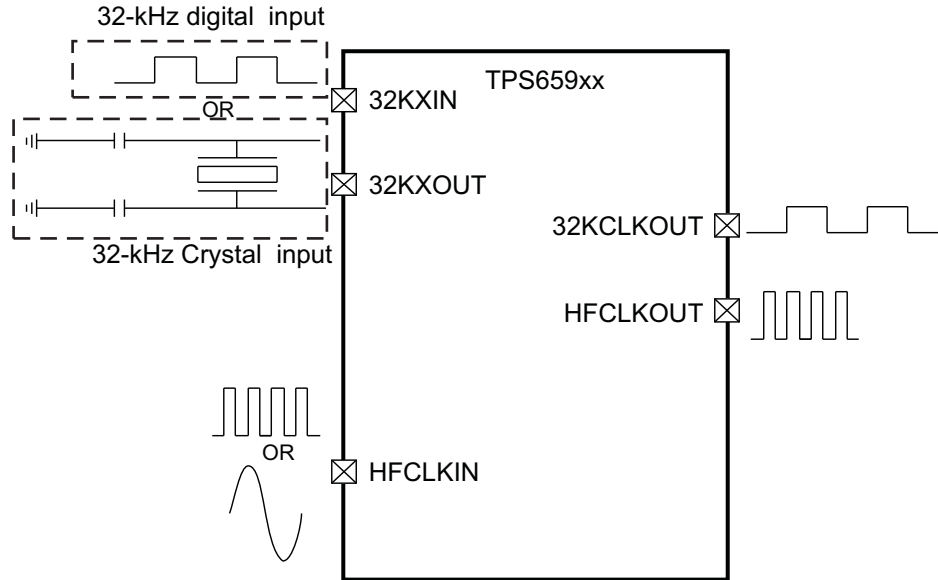


为避免发生上述情况，建议采用 OMAP 和 TPS65950 上的热复位功能来对它们进行复位。OMAP 热复位可配置成一个输入。如果外部逻辑驱动 OMAP 和 TPS65950 上的热复位均为低电平，那么这两个器件都将无任何异常地复位。确保在热复位期间维持 HFCLK。

### 4.3.2 时钟

本部分提供有关器件的快慢时钟要求的信息。

图 6. 系统时钟连接



SWCU056-006

#### 4.3.2.1 慢时钟 (32KHz)

32kHz 时钟 (32.768kHz) 电路可通过外部提供的数字信号或石英晶体工作。32kHz 时钟驱动实时时钟 (RTC)，从而将实时时钟用于多种功能。

无论器件的 32kHz 振荡电路是从晶体还是从外部 32kHz 信号直接运行，器件都将缓冲得到的 32kHz 信号，并将它作为可由外部向应用程序处理器或其他器件提供的 32KCLKOUT 提供。32KCLKOUT 信号的默认模式为有效，但是可以禁用。

表 8. 32kHz 时钟规格

焊盘	时钟频率		稳定性	占空比
32KXIN、32KXOUT	32.768kHz	晶体	± 30 ppm	40% / 60%
		方波	-	45% / 55%
		正弦波	-	-

#### 4.3.2.2 高频时钟

HFCLKIN 为高频输入时钟。它可以是方波或正弦波输入时钟。如果提供的是方波时钟，建议将该区块切换为旁路模式，以避免时钟带载。

高频时钟电路不会改变输入时钟特性。使用正弦波振荡器时它将作为限幅器工作。如果时钟输入端提供方波，则时钟限幅器应为旁路模式。在任何情况下振荡器时钟特性都不会因此电路受损。为获得时钟特性的完全兼容性，请确保输入高频时钟满足 OMAP 时钟要求。

**NOTE:** 确保外部 HF 振荡器的启动时间少于 5.3ms。初始上电时，内部设计中一个默认计时器能够将 HFCLK 发送到 OMAP。如果 HFCLK 未能在 nRESPWRON 保持高电平之前提供给 OMAP，系统将无法正常运行。如果无法实现延迟，可以通过使用外部监控延迟 nRESPWRON 信号来解决。

#### 4.4 TPS659xx 电源管理功能

OMAP3 应用处理器拥有 TPS659xx 器件支持的各种电源管理功能。TPS659xx 上的每一个电源资源都能单独控制或按组进行控制，以实现 OMAP3 应用处理器的高效电源管理。电源资源可配置成在多种状态下工作。

电源资源工作状态可分为以下几类：

- 活动 (ACTIVE)：电源资源正在以满载电流能力供应标称电压。
- 休眠 (SLEEP)：电源资源正在以低功耗和低电流能力供应标称输出电压。
- 关断 (OFF)：未维持输出电压，功耗实际上为零伏。

这三种状态可由 OMAP 处理器通过内部集成电路 (I<sup>2</sup>C™) 总线或使用外部控制信号 (如 nSLEEP1、nSLEEP2 和 CLKREQ) 进行控制。

##### 4.4.1 使用 nSLEEP1、nSLEEP2 和 CLKREQ 信号进行状态控制

TPS65950 支持将其资源分为三个处理器组 - P1、P2 和 P3

其目的是将同一处理器所需的所有资源分为一组，以便在请求时统一更改它们的状态 (导通 (ON)、关断 (OFF)、休眠 (SLEEP))。

处理器组 1 (P1) 通常针对与应用处理器 (本例中为 OMAP35xx) 相关的所有资源；处理器组 2 (P2) 通常包含与调制解调器 (如适用) 相关的所有资源，而处理器组 3 (P3) 则包含与外围器件或时钟系统相关的资源。

##### TPS65950

的每一个资源 (如电源、时钟或输出信号) 都可以分配到三个处理器组中的一个组、两个组或全部三个组，也可以不分配到任何一组。这一分配可由用户编程；提供取决于启动模式的默认分配。

如果不同资源被分配到多个处理器组，而这些处理器组又要求同一资源处于不同状态 (导通 (ON)、休眠 (SLEEP) 或关断 (OFF))，则资源将始终进入要求最高的状态。例如，如果某个资源被分配到 P1 和 P2，P1 要求状态为导通 (ON)，P2 要求状态为休眠 (SLEEP)，该资源将进入导通 (ON) 状态。相反，如果某个资源未被分配到任何一个处理器组，它将始终处于关断 (OFF) 状态。

状态控制信号 nSLEEP1、nSLEEP2 和 CLKREQ 分别用于触发 P1、P2 和 P3 状态转换的执行。

##### 4.4.2 电源管理技术

###### 4.4.2.1 直接控制软件扩展模式 (采用 VSEL)

TPS659xx 上的每一个电源资源均可控制在不同的电压电平。OMAP3 应用处理器可发送 I<sup>2</sup>C 命令来设置电源资源的不同电压电平。软件可命令 TPS659xx 电源资源根据电压和频率要求相应地改变电压电平。

这一技术可用于此 IC 上的 LDO。为控制和管理 DCDC 输出电平，最好使用在节 4.4.2.3 中说明的 SmartReflex 技术。

###### 4.4.2.2 DVFS (使用 VMODE)

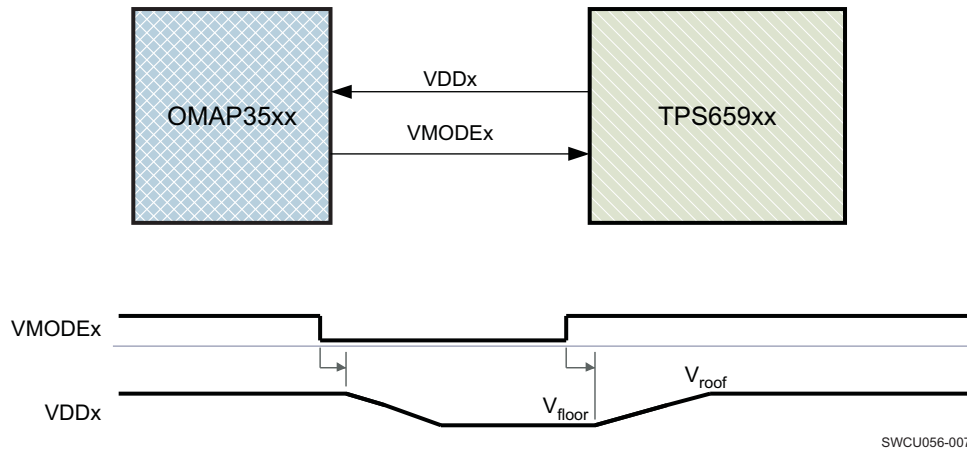
TPS659XX 可将其两个开关模式电源 (SMPS) VDD1 和 VDD2 的供电电压自动设置为两个不同电平 - V<sub>ROOF</sub> (高电平) 和 V<sub>FLOOR</sub> (低电平)。这一选项默认为禁用，可通过两个专用状态位分别针对 VDD1 和 VDD2 启用。

V<sub>ROOF</sub> 和 V<sub>FLOOR</sub> 的设置相对 DCDC1 和 DCDC2 而言是独立的；也就是说，可以为 DCDC1 和 DCDC2 编写不同的 V<sub>ROOF</sub> 和 V<sub>FLOOR</sub> 电平。四个专用寄存器 VDD1\_VFLOOR、VDD1\_VROOF、VDD2\_VFLOOR 和 VDD2\_VROOF 可用来设置这些电压电平。这些寄存器通过 I<sup>2</sup>C 编程。

选择的供电电压取决于相关电压控制引脚的输入电平。V<sub>MODE1</sub> 引脚控制 VDD1 电源的输出电压，V<sub>MODE2</sub> 引脚控制 VDD2 电源的输出电压。

如果 V<sub>MODE</sub> 引脚为高电平，则提供的相关电源资源为 V<sub>ROOF</sub>；如果 V<sub>MODE</sub> 为低电平，则提供 V<sub>FLOOR</sub>。

图 7. 采用 V<sub>MODE</sub> 引脚进行 DVFS 控制



SWCU056-007

#### 4.4.2.3 SmartReflex

使用 SmartReflex 可在一个比从弱硅器件上获得的电压低得多的电压下从强硅器件上实现特定的频率性能。SmartReflex 通过降低供电电压来利用这一点，从而降低有功功率和泄漏功能。

TPS659xx 系列器件支持 Class3 SmartReflex。这为给 OMAP3 内核电源 ( VDD\_MPU 和 VDD\_CORE ) 供电的两个 DCDC 开关电源 ( VDD1 和 VDD2 ) 提供了动态电压管理。该硬件技术大幅节省了功耗。

SmartReflex 默认为禁用。它可以通过将 DC-to-DC\_GLOBAL\_CFG[SMARTREFLEX\_ENABLE] 位设置为 1 来启用。对电压电平的进一步控制可通过配置 VDD1\_SR\_CONTROL 和 VDD2\_SR\_CONTROL 寄存器来实现。

SmartReflex 的命令传输通过专用 I<sup>2</sup>C 接口 ( OMAP35xx 上的 I2C4 和 TPS659xx 上的 I2C.SR ) 来实现。OMAP35xx 处理器可充当调节 TPS659xx 上的 VDD1 和 VDD2 电源的主控制器。

这一技术最大程度地实现了系统功耗的降低。

## 4.5 音频

该系列器件中的 TPS65950 和 TPS65930 包含音频模块。TPS65950 有两个输入放大器和多个模拟输出选项 ( D 类、耳机、耳塞、前置驱动器 )。TPS65930 有一个输入放大器和一个模拟输出 ( 前置驱动器 )。

图 8 和图 9 显示了 TPS65950 提供的输入和输出选项。

图 8. 音频模拟输入选项

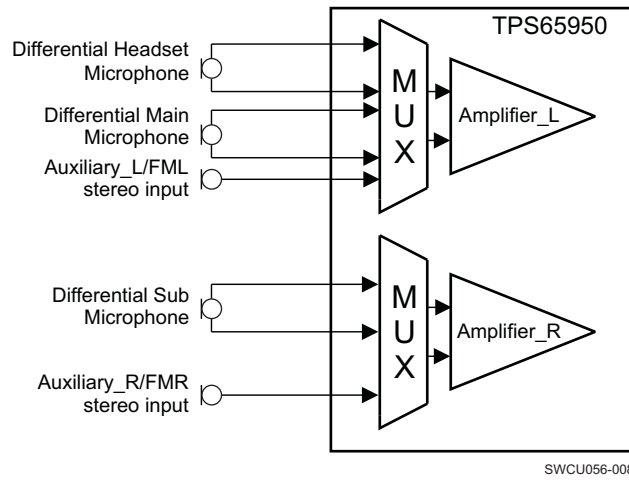


图 9. 音频模拟输出选项

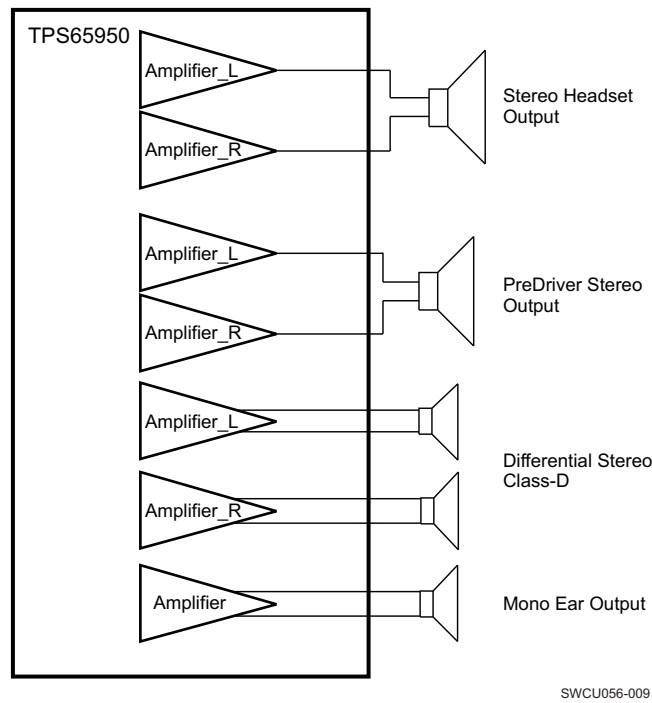
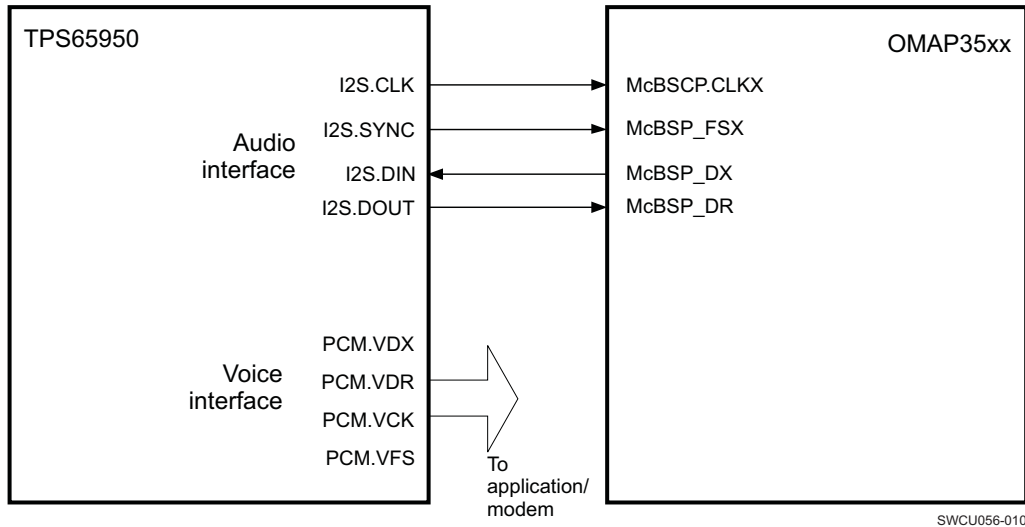


图 10显示了 TPS65950 和 OMAP35xx 应用处理器之间的典型连接。

图 10. TPS65950 音频与 OMAP35xx 的连接示例

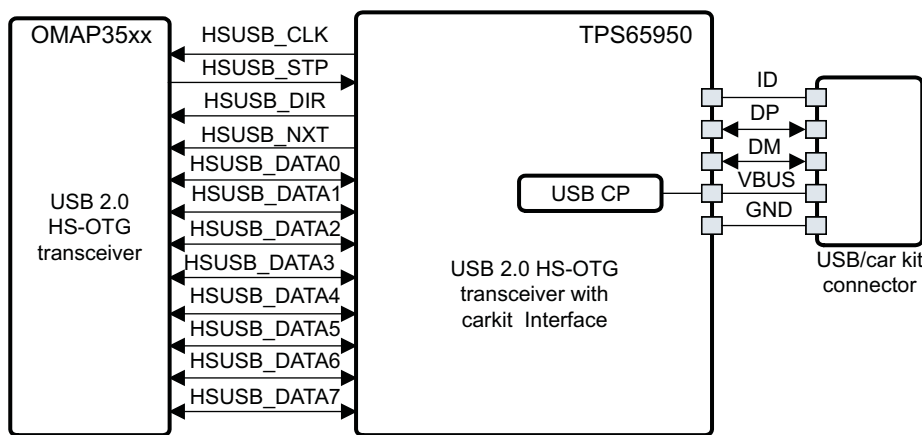


## 4.6 USB

TPS659xx 包含一个带 CEA 和 MCPC 车载套件接口的通用串行总线 (USB) on-the-go (OTG) 收发器。它通过一个 4 针 UTMI+ 低引脚接口 (ULPI) 支持 USB 480Mbps 高速 (HS)、12Mbps 全速 (FS) 和 1.5Mbps 低速 (LS)。

该器件包含一个充电泵，能为 4.8V、100mA 典型输出供电。USB 接口可配置成在多种模式下工作。欲了解详细信息，请参见技术参考手册。

图 11. TPS65950 USB 与 OMAP35xx 之间的连接



SWCU056-011

**NOTE:** 在有必要使用一个外部 5V 电源以满足较大电流要求的情况下，可以使用一个外部电源；但是，该器件的 VBUS 引脚必须连接到 USB 连接器上的 VBUS 焊盘上。

这样做是为了使 USB 模块的内部比较器支持在 OTG 模式和 VBUS 检测中正确工作。

## 重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

### 产品

放大器	<a href="http://www.ti.com.cn/amplifiers">http://www.ti.com.cn/amplifiers</a>
数据转换器	<a href="http://www.ti.com.cn/dataconverters">http://www.ti.com.cn/dataconverters</a>
DSP	<a href="http://www.ti.com.cn/dsp">http://www.ti.com.cn/dsp</a>
接口	<a href="http://www.ti.com.cn/interface">http://www.ti.com.cn/interface</a>
逻辑	<a href="http://www.ti.com.cn/logic">http://www.ti.com.cn/logic</a>
电源管理	<a href="http://www.ti.com.cn/power">http://www.ti.com.cn/power</a>
微控制器	<a href="http://www.ti.com.cn/microcontrollers">http://www.ti.com.cn/microcontrollers</a>

### 应用

音频	<a href="http://www.ti.com.cn/audio">http://www.ti.com.cn/audio</a>
汽车	<a href="http://www.ti.com.cn/automotive">http://www.ti.com.cn/automotive</a>
宽带	<a href="http://www.ti.com.cn/broadband">http://www.ti.com.cn/broadband</a>
数字控制	<a href="http://www.ti.com.cn/control">http://www.ti.com.cn/control</a>
光纤网络	<a href="http://www.ti.com.cn/opticalnetwork">http://www.ti.com.cn/opticalnetwork</a>
安全	<a href="http://www.ti.com.cn/security">http://www.ti.com.cn/security</a>
电话	<a href="http://www.ti.com.cn/telecom">http://www.ti.com.cn/telecom</a>
视频与成像	<a href="http://www.ti.com.cn/video">http://www.ti.com.cn/video</a>
无线	<a href="http://www.ti.com.cn/wireless">http://www.ti.com.cn/wireless</a>

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2006, Texas Instruments Incorporated