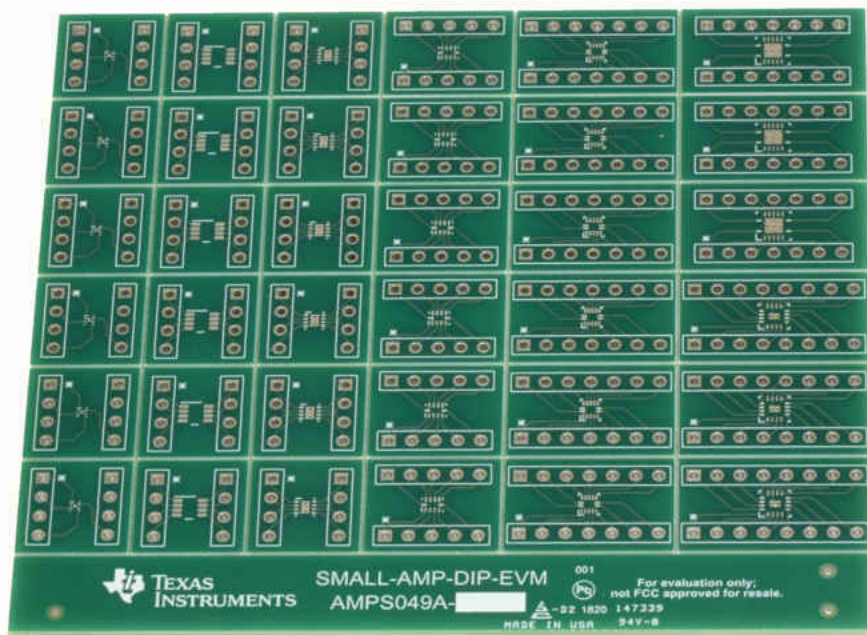


SMALL-AMP-DIP 评估模块 (EVM)



摘要



本用户指南包含 SMALL-AMP-DIP 评估模块 (EVM) 的支持文档。文中介绍了设置和配置该 EVM 的分步指南，并包含物料清单 (BOM) 和印刷电路板 (PCB) 布局。

内容

1 简介	3
1.1 封装列表.....	3
2 硬件设置	4
2.1 EVM 封装位置.....	4
2.2 EVM 组装说明.....	5
3 EVM 描述和 PCB 布局	7
3.1 DPW 封装.....	7
3.2 DSG 封装.....	7
3.3 DCN 和 DDF 封装.....	7

3.4 RUG 封装.....	7
3.5 RUC 封装.....	8
3.6 RGY 封装.....	9
3.7 RTE 封装.....	9
4 物料清单和参考文献.....	10
4.1 物料清单.....	10
4.2 参考文献.....	10
5 修订历史记录.....	10

插图清单

图 2-1. EVM 上各封装的位置.....	4
图 2-2. 分离所需的 PCB.....	5
图 2-3. 分离下来的 PCB 上已焊接 IC.....	5
图 2-4. 端接排针 (TS-132-G-AA) 已剪成 4 针位长度.....	5
图 2-5. 端接排针 (TS-132-G-AA) 已插入备用 DIP 插座.....	6
图 2-6. 组装完成的 PCB.....	6
图 3-1. DPW 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	7
图 3-2. DSG 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	7
图 3-3. DCN 和 DDF 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	7
图 3-4. RUG 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	8
图 3-5. RUC 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	8
图 3-6. RGY 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	9
图 3-7. RTE 封装顶层 (左) 和底层 (右) 的 PCB 布局.....	9

表格清单

表 2-1. 与 EVM 上对应的封装类型.....	4
----------------------------	---

商标

所有商标均为其各自所有者的财产。

1 简介

SMALL-AMP-DIP-EVM 旨在为评估采用小型封装的运算放大器提供便利。此 EVM 为用户提供了一种简易的工具来测试采用以下封装的运算放大器：DPW、DCN、DDF、DSG、RUG、RUC、RGY 和 RTE。此 EVM 可将器件的每个引脚路由到插头引脚，并可用作电路设计和器件测试的基本构建模块。

1.1 封装列表

SMALL-AMP-DIP-EVM 包含以下封装：

- DPW-5
- DCN-8
- DDF-8
- DSG-8
- RUG-10
- RUC-14
- RGY-14
- RTE-16

2 硬件设置

在设置 SMALL-AMP-DIP-EVM 时，需要确定所需的 PCB 并将它从 EVM 上分离下来，然后将 IC 和端接排针焊接到 EVM 上。本节详细介绍了这些步骤。

2.1 EVM 封装位置

图 2-1 和表 2-1 列出了 EVM 上每个封装的位置。图 2-1 使用从 A 到 G 的字母标记了每个封装图。表 2-1 列出了与图 2-1 中字母对应的封装图。

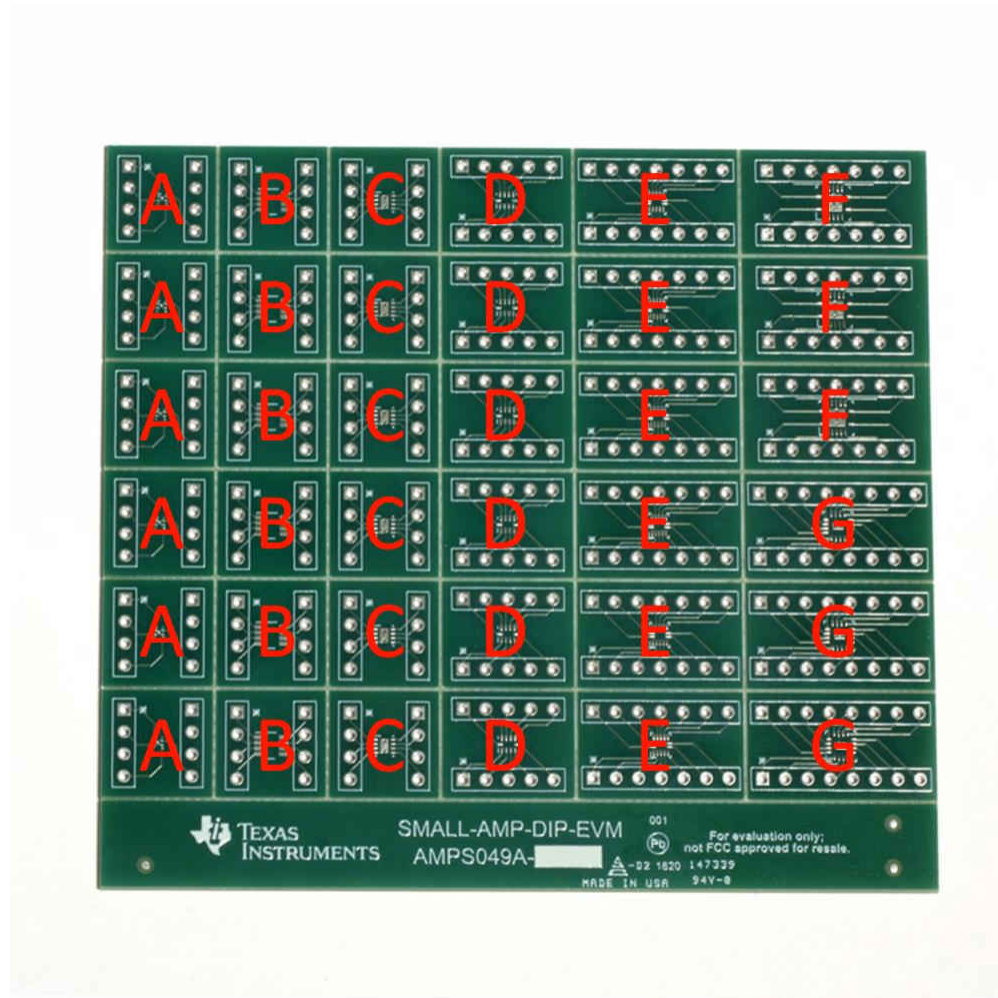


图 2-1. EVM 上各封装的位置

表 2-1. 与 EVM 上对应的封装类型

封装名称	图 2-1 中的字母
DPW-5	A)
DCN-8	B
DDF-8	B
DSG-8	C
RUG-10	D
RUC-14	E
RGY-14	F
RTE-16	G

2.2 EVM 组装说明

本节提供了关于如何组装该 EVM 的分步说明。

1. 选择所需的封装。有关每种封装对应的位置，请参阅节 2.1。
2. 在划线处轻轻弯曲 PCB 面板以从 EVM 上分离所需的封装。

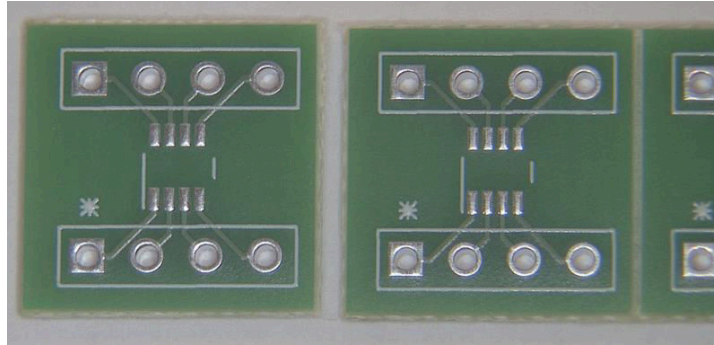


图 2-2. 分离所需的 PCB

3. 将器件焊接到分离下来的 PCB 上。

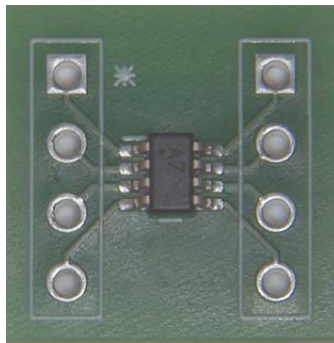


图 2-3. 分离下来的 PCB 上已焊接 IC

4. 使用尖嘴钳将端接排针剪成所需的针位长度。
 - 对于 DPW、DCN、DDF 和 DSG 封装，端接排针需要剪成 4 针位长度，如图 2-4 中所示。
 - 对于 RUG 封装，请使用 5 针位长度。
 - 对于 RUC 和 RGY 封装，请使用 7 针位长度。
 - 而对于 RTE 封装，请使用 8 针位长度。

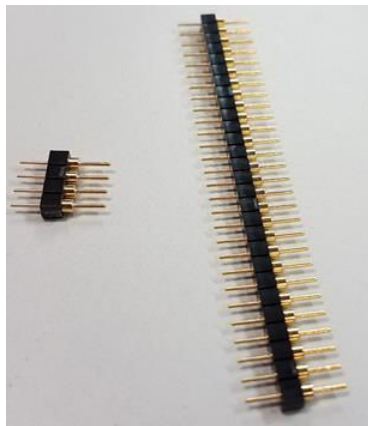


图 2-4. 端接排针 (TS-132-G-AA) 已剪成 4 针位长度

5. 将插头排针插入备用 DIP 插座或试验电路板，如图 2-5 中所示。

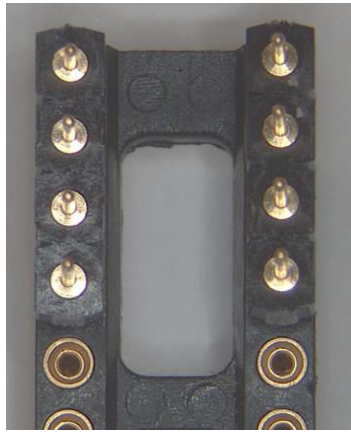


图 2-5. 端接排针 (TS-132-G-AA) 已插入备用 DIP 插座

- 将分离下来且已焊接 IC 的 PCB 放到端接排针上并焊接固定每个引脚。从 DIP 插座上小心拆焊 PCB。图 2-6 所示为组装完成的 PCB。

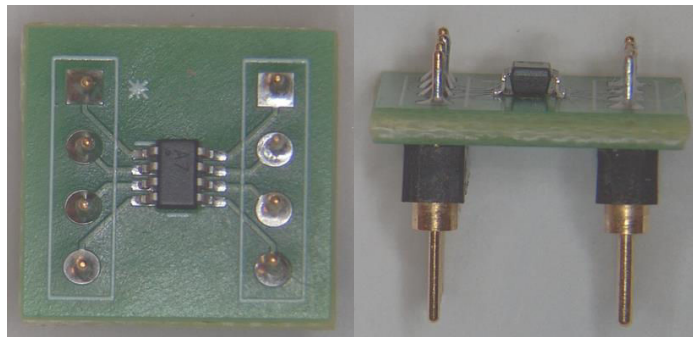


图 2-6. 组装完成的 PCB

3 EVM 描述和 PCB 布局

本节介绍了 EVM 上提供的每种电路配置的 PCB 布局。

3.1 DPW 封装

图 3-1 所示为 DPW 封装顶层 (左) 和底层 (右) 的 PCB 布局。

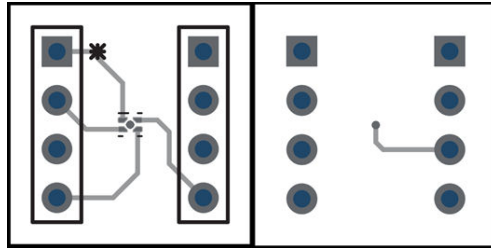


图 3-1. DPW 封装顶层 (左) 和底层 (右) 的 PCB 布局

X2SON (DPW) 封装的尺寸如下：间距为 0.48mm、高度上限为 0.37mm、长度为 0.8mm 且宽度为 0.8mm。

3.2 DSG 封装

图 3-2 所示为 DSG 封装顶层 (左) 和底层 (右) 的 PCB 布局。

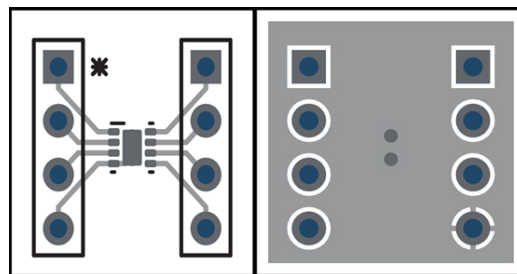


图 3-2. DSG 封装顶层 (左) 和底层 (右) 的 PCB 布局

WSON (DSG) 封装的尺寸如下：引脚间距为 0.5mm、高度上限为 0.75mm、长度为 2.0mm 且宽度为 2.0mm。

3.3 DCN 和 DDF 封装

图 3-3 展示了 DCN 和 DDF 封装顶层 (左) 和底层 (右) 的 PCB 布局。

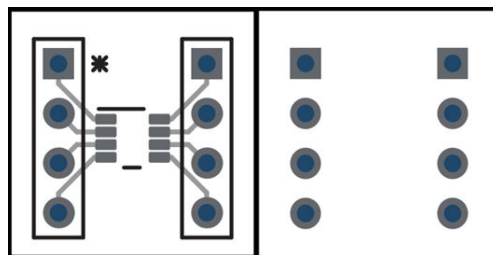


图 3-3. DCN 和 DDF 封装顶层 (左) 和底层 (右) 的 PCB 布局

SOT-23 (DCN 和 DDF) 封装的尺寸如下：引脚间距为 0.65mm、高度上限为 1.1mm、长度为 2.9mm 且宽度为 1.63mm。

3.4 RUG 封装

图 3-4 所示为 RUG 封装顶层 (左) 和底层 (右) 的 PCB 布局。

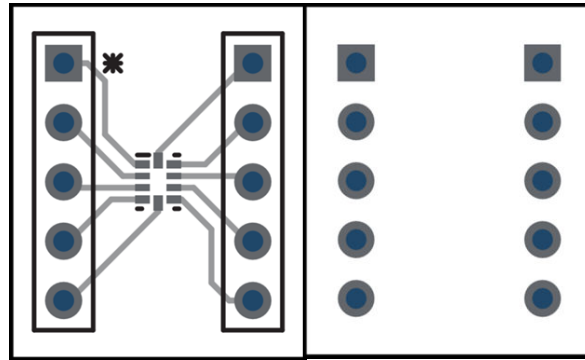


图 3-4. RUG 封装顶层 (左) 和底层 (右) 的 PCB 布局

X2QFN (RUG) 封装的尺寸如下：引脚间距为 0.5mm、高度上限为 0.37mm、长度为 1.5mm 且宽度为 2.0mm。

3.5 RUC 封装

图 3-5 所示为 RUC 封装顶层 (左) 和底层 (右) 的 PCB 布局。

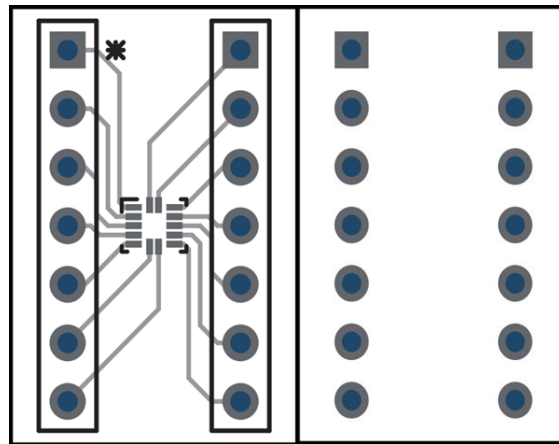


图 3-5. RUC 封装顶层 (左) 和底层 (右) 的 PCB 布局

X2QFN (RUC) 封装的尺寸如下：引脚间距为 0.4mm、高度上限为 0.35mm、长度为 2.0mm 且宽度为 2.0mm。

3.6 RGY 封装

图 3-6 所示为 RGY 封装顶层 (左) 和底层 (右) 的 PCB 布局。

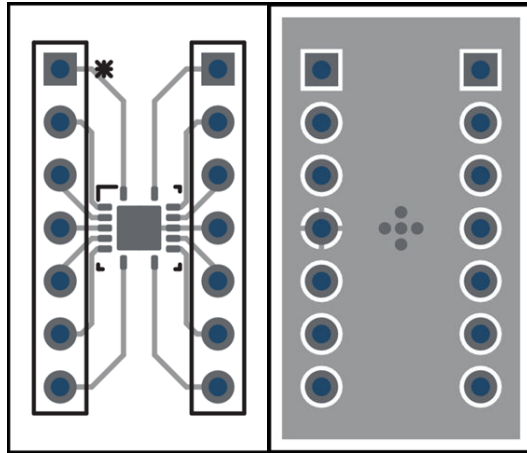


图 3-6. RGY 封装顶层 (左) 和底层 (右) 的 PCB 布局

VQFN (RGY) 封装的尺寸如下：引脚间距为 0.5mm、高度上限为 0.9mm、长度为 3.5mm 且宽度为 3.5mm。

3.7 RTE 封装

图 3-7 所示为 RTE 封装顶层 (左) 和底层 (右) 的 PCB 布局。

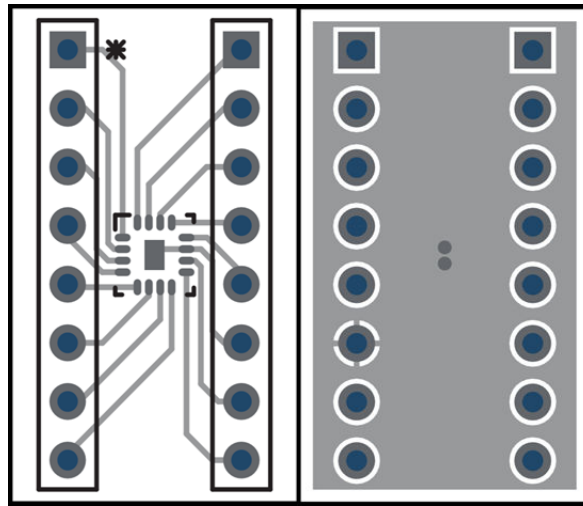


图 3-7. RTE 封装顶层 (左) 和底层 (右) 的 PCB 布局

WQFN (RTE) 封装的尺寸如下：引脚间距为 0.5mm、高度上限为 0.75mm、长度为 3.0mm 且宽度为 3.0mm。

4 物料清单和参考文献

4.1 物料清单

代号	数量	描述	器件型号
PCB	1	Printed-Circuit-Board	SMALL-AMP-DIP-EVM
插头排针	2	插头, 2.54mm, 32x1, 金, TH	TS-132-G-AA

4.2 参考文献

1. [DIYAMP-EVM 工具文件夹](#)
2. [DUAL-DIYAMP-EVM 工具文件夹](#)
3. [DIP 适配器 EVM 工具文件夹](#)
4. [TI 高精度实验室培训](#)

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2019) to Revision A (July 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	3

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司