



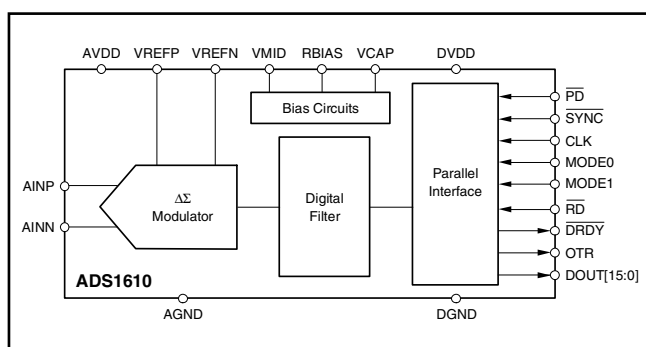
16ビット、10MSPS デルタ・シグマ ADコンバータ

特長

- 高速、広帯域のデルタ-シグマ ($\Delta\Sigma$) 型ADC
- 出力データ・レート：10MSPS
- 信号帯域幅：4.9MHz
- 信号/雑音比：86dBFS
- 全高調波歪：-94dB
- スプリアスフリー・ダイナミック・レンジ：95dB
- アンチ・エイリアシングを容易にする内蔵デジタル・フィルタ
- SYNCピンにより複数のADS1610を同時サンプリング
- 低群遅延：3 μ s
- パラレル・インターフェイス
- TMS320 DSPに直接接続
- 入力範囲外信号のアラート・ピン

アプリケーション

- 科学用機器
- 試験装置
- 通信機器



概要

ADS1610は、高速で高精度なデルタ-シグマ ($\Delta\Sigma$) 型ADコンバータ (ADC) です。分解能は16ビットで、5Vのアナログ電源および3Vのデジタル電源で動作します。先進の多段アナログ変調回路と内蔵デジタル・デシメーション・フィルタにより、5MHzの信号帯域幅で信号対雑音比 (SNR) 86dBFS、全高調波歪-94dBを実現しています。

ADS1610のデルタ-シグマ ($\Delta\Sigma$) トポロジには、アンチ・エイリアス・フィルタとクロック・ジッタに関して、システム・レベル設計における重要な利点があります。内蔵デジタル・フィルタによって帯域外信号が大きく減衰されるため、ユーザのフロントエンドのアンチ・エイリアス・フィルタの設計が単純化されます。ADS1610のフィルタは、非常に平坦な通過帯域 (リップルが ± 0.0002 dB) の直後に非常に広い遮断帯域 (5MHz~55MHz) を持つブリック・ウォール応答となっています。高周波数、大振幅の信号をデジタル化する際には、クロック・ジッタが特に重要な要素となります。ADS1610は、入力信号のオーバーサンプリングによりクロック・ジッタを効果的に平均化することで、クロック・ジッタの影響を大きく低減しています。

出力データはパラレル・インターフェイスから提供され、TMS320デジタル・シグナル・プロセッサ (DSP) へ簡単に接続できます。消費電力は外部抵抗を使用して調整できるため、動作速度が遅い場合に消費電力を低減できます。

優れた高速性能を持つADS1610は、データ・アキュイジション、科学用機器、試験/計測装置、通信機器といった要件の厳しいアプリケーションに対して最適です。ADS1610はTQFP64パッケージで供給され、-40°C~85°Cで仕様が規定されています。

PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報

最新のパッケージおよびご注文情報については、このドキュメントの巻末にあるパッケージ情報を参照するか、またはTIのWebサイト (www.tij.co.jpもしくはwww.ti.com)をご覧ください。

絶対最大定格⁽¹⁾

	規定値	単位
AVDD 対 AGND	-0.3 ~ +6	V
DVDD 対 DGND	-0.3 ~ +3.6	V
AGND 対 DGND	-0.3 ~ +0.3	V
Input current, I _I	100 瞬時	mA
	10 連続	
アナログ I/O 対 AGND	-0.3 ~ AVDD + 0.3	V
デジタル I/O 対 DGND	-0.3 ~ DVDD + 0.3	V
最大ジャンクション温度 T _J	150	°C
動作ジャンクション温度範囲 T _A	-40 ~ +105	°C
保存温度 T _{stg}	-60 ~ +150	°C
端子温度（半田付け, 10s）	260	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

電気的特性

特に記述のない限り、T_A = -40°C ~ 85°C、AVDD = 5V、DVDD = 3V、f_{CLK} = 60MHz、V_{REF} = 3V、MODE = 00、V_{CM} = 2.5V、RBIAS = 19kΩです。

パラメータ	テスト条件	MIN	TYP	MAX	単位
ANALOG INPUT					
V _{ID(AINP - AINN)}	差動入力電圧 (AINP-AINN)		±V _{REF}		V
V _{IC(AINP + AINN)/2}	同相入力電圧		2.5		V
V _{IHA}	入力電圧 (AINP, AINN 対 AGND)	-0.1		4.2	V
DYNAMIC SPECIFICATIONS					
データ・レート			$10 \left(\frac{f_{CLK}}{60 \text{ MHz}} \right)$		MSPS
SNR	フルスケール外挿の信号対雑音比 ⁽¹⁾	f _{IN} = 100kHz, -2dBFS	83	86	dBFS

(1) この動的仕様はフルスケールまで外挿されるため、単位はdBFSです。以降の動的仕様はdBc (dB) です。
仕様 (dBc単位) = 仕様 (dBFS単位) + AIN (dBFS単位の入力振幅) です。
詳細については、『Understanding and comparing datasheets for high-speed ADCs』を参照してください。

電気的特性

特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 60\text{MHz}$ 、 $V_{\text{REF}} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $R_{\text{BIAS}} = 19\text{k}\Omega$ です。

パラメータ		テスト条件	MIN	TYP	MAX	単位
SNR	信号対雑音比	$f_{\text{IN}} = 100\text{kHz}$, -2dBFS	81	84		dB
		$f_{\text{IN}} = 100\text{kHz}$, -6dBFS	77	80		
		$f_{\text{IN}} = 100\text{kHz}$, -20dBFS		66		
		$f_{\text{IN}} = 1\text{MHz}$, -2dBFS		83		
		$f_{\text{IN}} = 1\text{MHz}$, -6dBFS		80		
		$f_{\text{IN}} = 1\text{MHz}$, -20dBFS		66		
		$f_{\text{IN}} = 4\text{MHz}$, -2dBFS	79.5	83		
		$f_{\text{IN}} = 4\text{MHz}$, -6dBFS	76	79		
		$f_{\text{IN}} = 4\text{MHz}$, -20dBFS		65		
THD	全高調波歪	$f_{\text{IN}} = 100\text{kHz}$, -2dBFS		-90	-83	dB
		$f_{\text{IN}} = 100\text{kHz}$, -6dBFS		-95	-85	
		$f_{\text{IN}} = 100\text{kHz}$, -20dBFS		-95		
		$f_{\text{IN}} = 1\text{MHz}$, -2dBFS		-91		
		$f_{\text{IN}} = 1\text{MHz}$, -6dBFS		-93		
		$f_{\text{IN}} = 1\text{MHz}$, -20dBFS		-95		
		$f_{\text{IN}} = 4\text{MHz}$, -2dBFS		-109	-100	
		$f_{\text{IN}} = 4\text{MHz}$, -6dBFS		-105	-100	
		$f_{\text{IN}} = 4\text{MHz}$, -20dBFS		-95		
SINAD	信号対(雑音+歪)比	$f_{\text{IN}} = 100\text{kHz}$, -2dBFS		83		dB
		$f_{\text{IN}} = 100\text{kHz}$, -6dBFS		79		
		$f_{\text{IN}} = 100\text{kHz}$, -20dBFS		65		
		$f_{\text{IN}} = 1\text{MHz}$, -2dBFS		82		
		$f_{\text{IN}} = 1\text{MHz}$, -6dBFS		79		
		$f_{\text{IN}} = 1\text{MHz}$, -20dBFS		65		
		$f_{\text{IN}} = 4\text{MHz}$, -2dBFS		83		
		$f_{\text{IN}} = 4\text{MHz}$, -6dBFS		79		
		$f_{\text{IN}} = 4\text{MHz}$, -20dBFS		65		
SFDR	スプリアスフリー・ダイナミックレンジ	$f_{\text{IN}} = 100\text{kHz}$, -2dBFS	85	90		dB
		$f_{\text{IN}} = 100\text{kHz}$, -6dBFS	90	96		
		$f_{\text{IN}} = 100\text{kHz}$, -20dBFS		96		
		$f_{\text{IN}} = 1\text{MHz}$, -2dBFS		94		
		$f_{\text{IN}} = 1\text{MHz}$, -6dBFS		94		
		$f_{\text{IN}} = 1\text{MHz}$, -20dBFS		96		
		$f_{\text{IN}} = 4\text{MHz}$, -2dBFS	100	109		
		$f_{\text{IN}} = 4\text{MHz}$, -6dBFS	100	105		
		$f_{\text{IN}} = 4\text{MHz}$, -20dBFS		95		
アパーチャ・ジッタ	CLKソースのジッタは除く		2		ps, rms	
アパーチャ・ディレイ			4		ns	

電気的特性

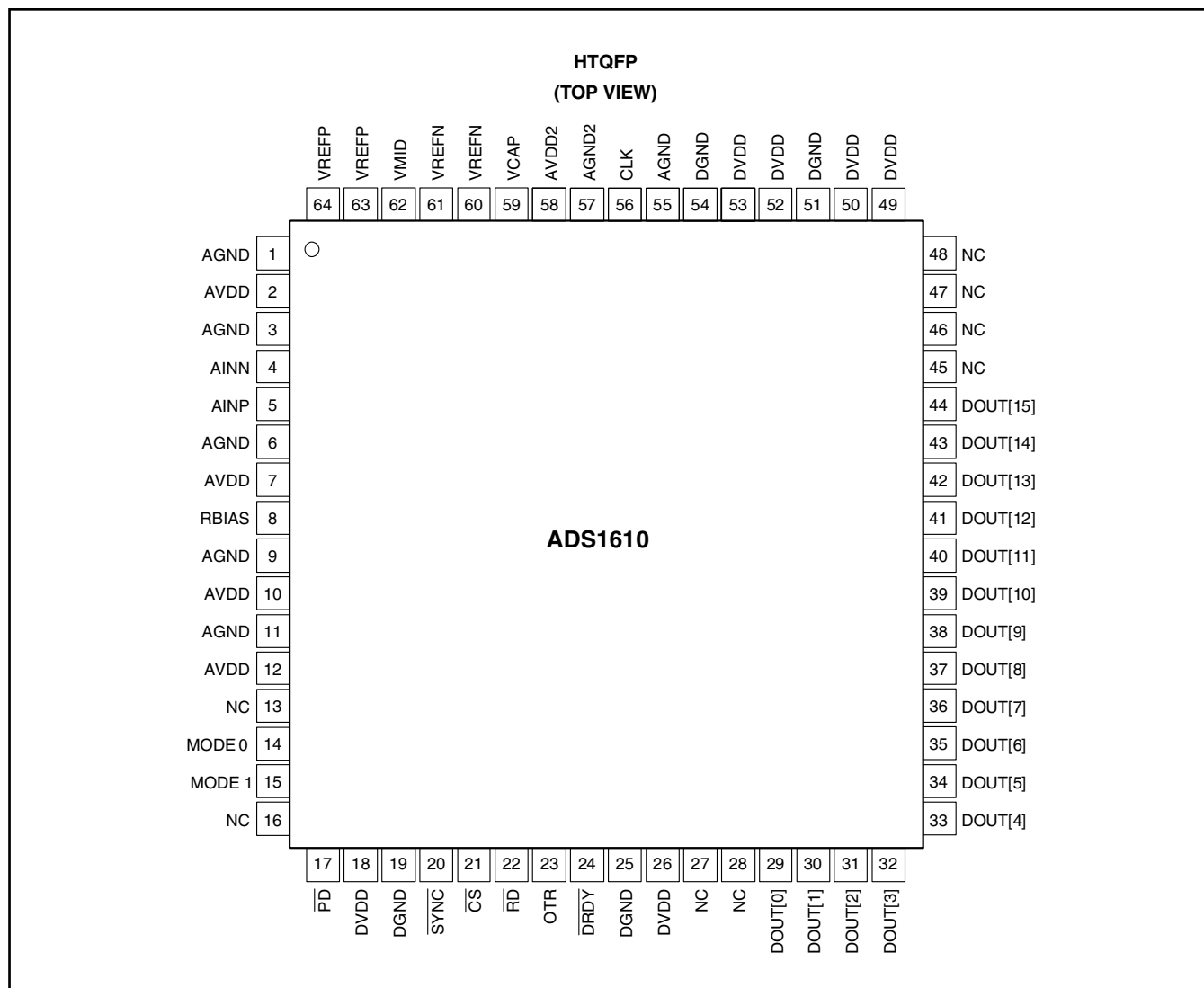
特に記述のない限り、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{\text{CLK}} = 60\text{MHz}$ 、 $V_{\text{REF}} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $R_{\text{BIAS}} = 19\text{k}\Omega$ です。

パラメータ	テスト条件	MIN	TYP	MAX	単位
デジタル・フィルタ					
通過帯域		0		$4.4 \left(\frac{f_{\text{CLK}}}{60 \text{ MHz}} \right)$	MHz
通過帯域リップル				± 0.0002	dB
通過帯域トランジション	-0.1dB 減衰		$4.6 \left(\frac{f_{\text{CLK}}}{60 \text{ MHz}} \right)$		MHz
	-3.0dB 減衰		$4.9 \left(\frac{f_{\text{CLK}}}{60 \text{ MHz}} \right)$		
阻止帯域		5.6		54.4	MHz
阻止帯域減衰		80	See Figure 34		dB
$t_{d(\text{grp})}$ 群遅延			$3.0 \left(\frac{60 \text{ MHz}}{f_{\text{CLK}}} \right)$		μs
t_s セトリング時間	To $\pm 0.001\%$		$5.5 \left(\frac{60 \text{ MHz}}{f_{\text{CLK}}} \right)$		μs
静的特性					
分解能	ノー・ミッシング・コード	16			Bits
入力 rms ノイズ	入力短絡		1.0	1.4	LSB (rms)
積分非直線性	1V 入力		± 0.4		LSB
	2.5V 入力		± 1.5		LSB
微分非直線性			± 0.5		LSB
V_{IO} オフセット誤差	$T = 25^{\circ}\text{C}$		0.05		%FS
オフセット・ドリフト			5		ppm/ $^{\circ}\text{C}$
$G_{(\text{ERR})}$ ゲイン誤差	$T = 25^{\circ}\text{C}$		$\pm 0.3^{(1)}$		%FS
G ゲインドリフト	リファレンスのドリフトは除く		10		ppm/ $^{\circ}\text{C}$
CMRR 同相除去比	At DC		60		dB
PSRR 電源除去比	At DC		80		dB
リファレンス					
V_{ref} リファレンス電圧 (VREFP - VREFN)		2.9	3.0	3.1	V
VREFP		3.6	4.0	4.4	V
VREFN		0.9	1.0	1.1	V
VMID		2.2	2.5	3.8	V
デジタル入力/出力					
V_{IH} “H” レベル入力電圧		0.7DVDD		DVDD	V
V_{IL} “L” レベル入力電圧		DGND		0.3DVDD	V
V_{OH} “H” レベル出力電圧	$I_{\text{OH}} = -50\mu\text{A}$	0.8DVDD			V
V_{OL} “L” レベル出力電圧	$I_{\text{OL}} = 50\mu\text{A}$			0.2DVDD	V
I_{ikg} Input leakage current	DGND < $V_{\text{DIGITAL INPUT}} < \text{DVDD}$			± 10	μA
電源					
V_{AVDD} AVDD 電圧		4.9	5.0	5.1	V
V_{DVDD} DVDD 電圧		2.7	3.0	3.6	V
I_{AVDD} AVDD 電流			150	170	mA
I_{DVDD} DVDD 電流			70	80	mA
P_{D} 消費電力			960	1100	mW
	$\text{PD} = \text{low}$		4		

(1) $\pm 0.3\%$ の可変ゲイン誤差に加えて、 3.8% の固定ゲイン誤差があります。したがって、ゲイン誤差は $3.8 \pm 0.3\%$ です。

デバイス情報

ピン配置



ピン構成

端子		アナログ/デジタル I/O	説明
名称	番号		
AGND	1, 3, 6, 9, 11, 55	A	アナログ・グラウンド
AVDD	2, 7, 10, 12	A	アナログ電源
AINN	4	AI	負のアナログ入力
AINP	5	AI	正のアナログ入力
RBIAS	8	A	アナログ・バイアス設定抵抗
NC	13, 16, 27, 28, 45-48	—	接続しないでください。
MODE	14, 15	DI	4つの出力モードの制御(「モード選択」の項を参照)
\overline{PD}	17	DI; “L” アクティブ	パワーダウン
DVDD	18, 26, 49, 50, 52, 53	D	デジタル電源
DGND	19, 25, 51, 54	D	デジタル・グラウンド
SYNC	20	DI; “L” アクティブ	デジタル・リセット
\overline{CS}	21	DI; “L” アクティブ	チップ選択

ピン構成

端子		アナログ/デジタル I/O	説明
名称	番号		
\overline{RD}	22	DI; “L” アクティブ	リード・イネーブル
OTR	23	DO	アナログ入力範囲外通知
\overline{DRDY}	24	DO	データ・レディ
DOUT[15:0]	29–44	DO	データ出力。DOUT[15]がMSB、DOUT[0]がLSBです。
CLK	56	DI	クロック入力
AGND2	57	A	AVDD2のアナログ・グランド
AVDD2	58	A	変調回路のクロック用アナログ電源
VCAP	59	A	バイパス・コンデンサ
VREFN	60, 61	A	負電圧リファレンス
VMID	62	A	中点電圧
VREFP	63, 64	A	正電圧リファレンス

タイミング図

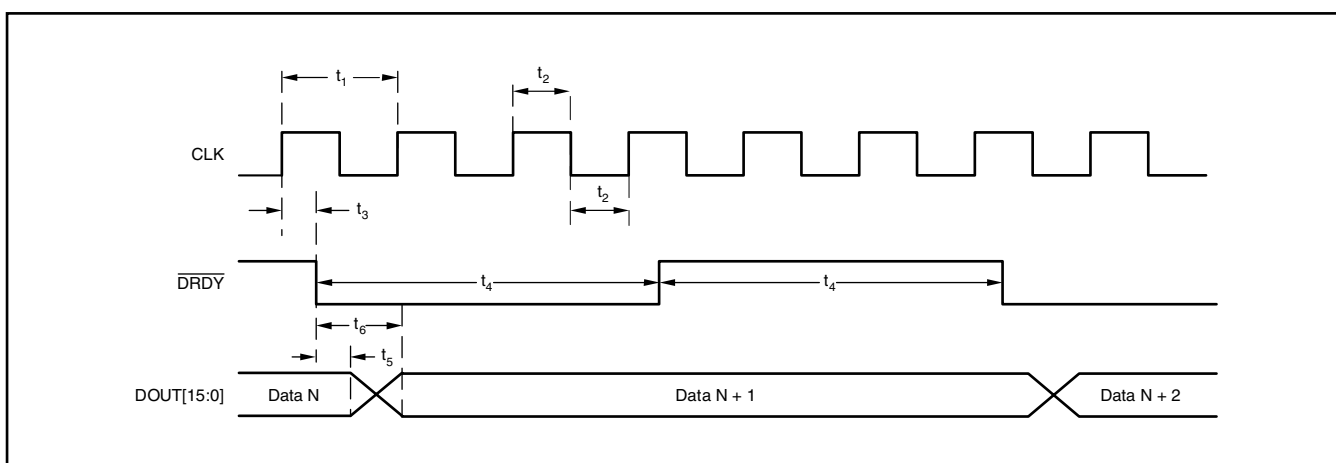


図 1. データの取得タイミング

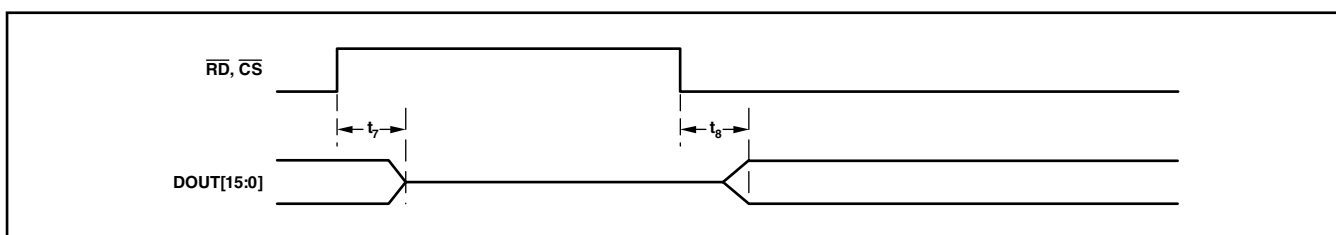


図 2. DOUTの非アクティブ/アクティブ・タイミング

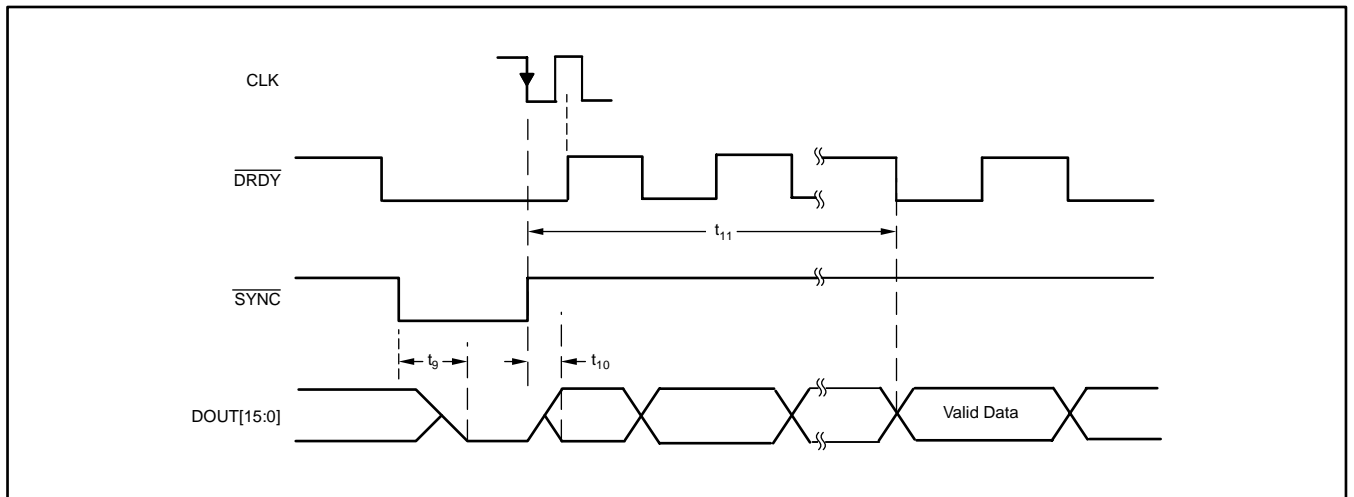


図 3. リセット・タイミング

タイミング特性⁽¹⁾

	説明	MIN	TYP	MAX	単位
t_1	CLK 周期 ($1/f_{CLK}$)	16.667			ns
$1/t_1$	f_{CLK}	1		60	MHz
t_2	CLK パルス幅、“High” もしくは “Low”	45%		55%	ns
t_3	CLK ~ \overline{DRDY} “High” まで (伝播遅延)		12		ns
t_4	\overline{DRDY} パルス幅、“High” もしくは “Low”		$3 t_1$		ns
t_5	前データ有効 (ホールド・タイム)	0			ns
t_6	新データ有効 (セットアップ・タイム)			5	ns
t_7	\overline{RD} , \overline{CS} 非アクティブ (“High”) から DOUT ハイ・インピーダンスまで		15		ns
t_8	\overline{RD} , \overline{CS} アクティブ (“Low”) から DOUT ハイ・インピーダンスまで		15		ns
t_9	\overline{SYNC} アクティブ (“Low”) から全 DOUT[15:0] がゼロになるまでのディレイ		12		ns
t_{10}	\overline{SYNC} 非アクティブ (“High”) から DOUT[15:0] がゼロでなくなるまでのディレイ			21	DRDY
t_{11}	\overline{SYNC} 非アクティブ (“High”) から DOUT[15:0] が有効となるまでのディレイ (DRDY の 55 サイクル。デジタル・フィルタが安定になるまでの時間)		55		DRDY

(1) 出力負荷 = 10pF || 500kΩ

代表的特性

$T_A = 25^\circ\text{C}$ 、 $R_{\text{BIAS}} = 19\text{k}\Omega$ 、 $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3\text{V}$ 、 $f_{\text{CLK}} = 60\text{MHz}$ 、 $V_{\text{REF}} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{\text{CM}} = 2.5\text{V}$ です(特に記述のない限り)。

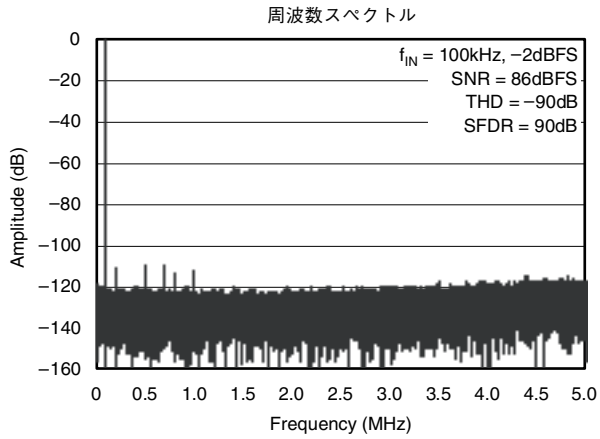


図 4

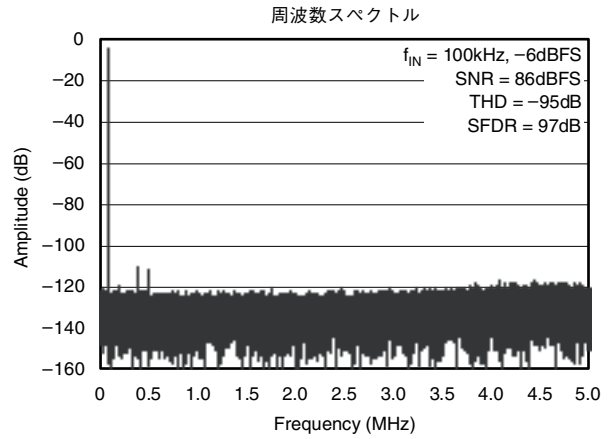


図 5

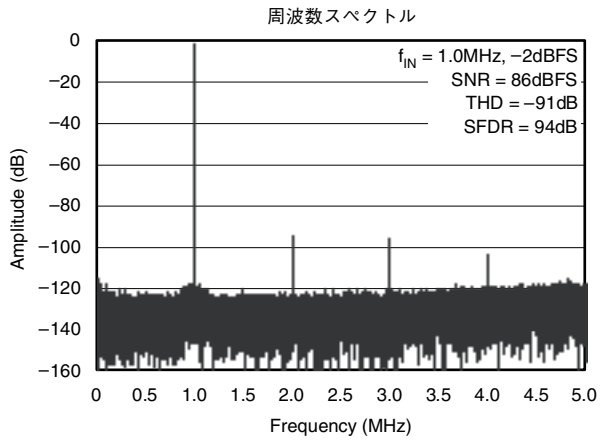


図 6

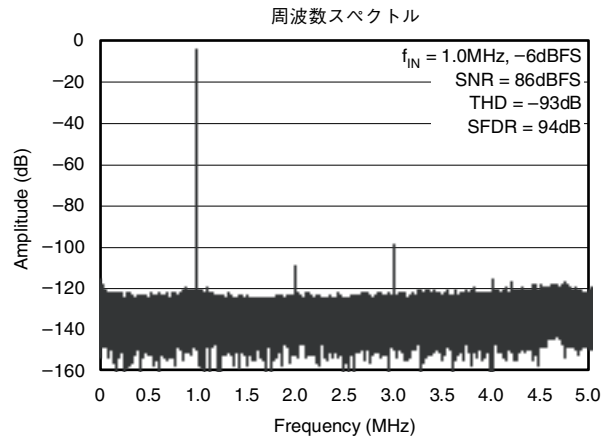


図 7

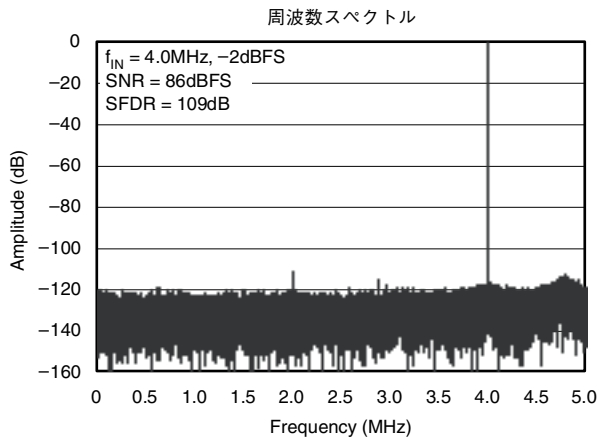


図 8

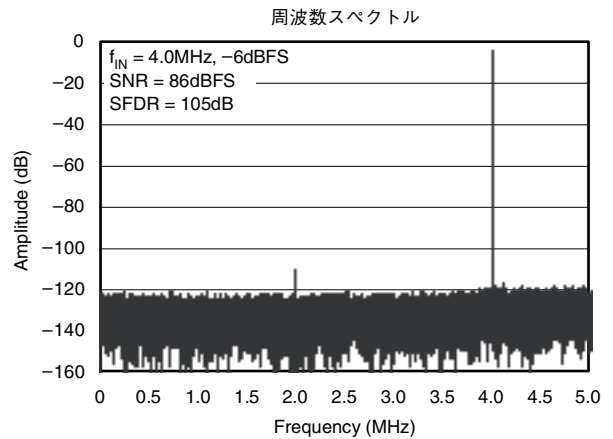


図 9

代表的特性

$T_A = 25^\circ\text{C}$ 、 $R_{\text{BIAS}} = 19\text{k}\Omega$ 、 $AV_{\text{DD}} = 5\text{V}$ 、 $DV_{\text{DD}} = 3\text{V}$ 、 $f_{\text{CLK}} = 60\text{MHz}$ 、 $V_{\text{REF}} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{\text{CM}} = 2.5\text{V}$ です(特に記述のない限り)。

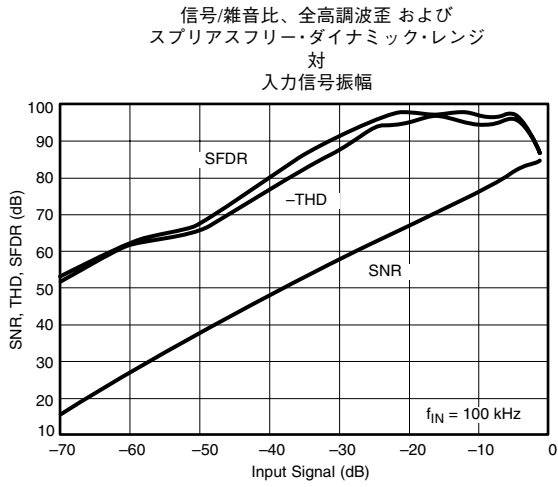


図 10

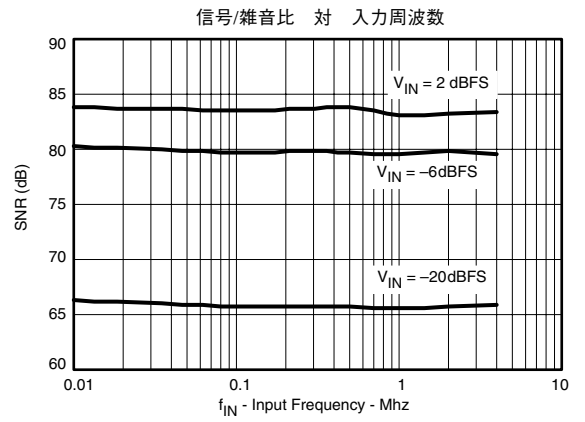


図 11

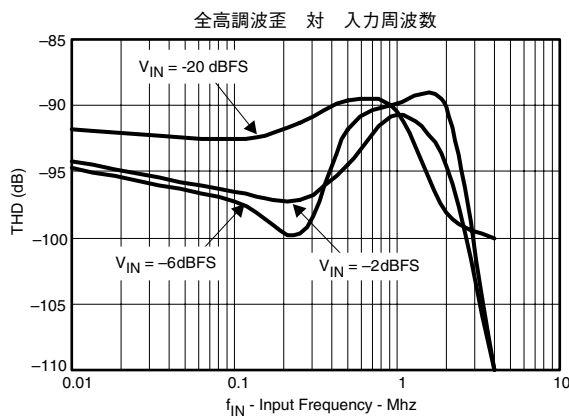


図 12

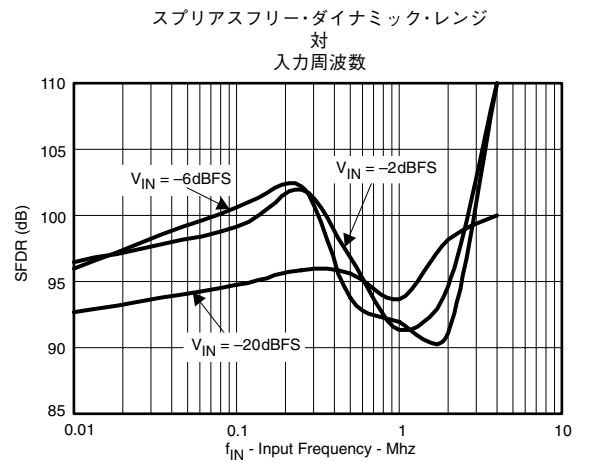


図 13

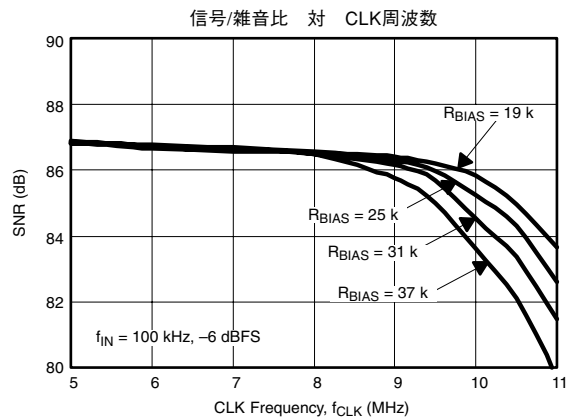


図 14

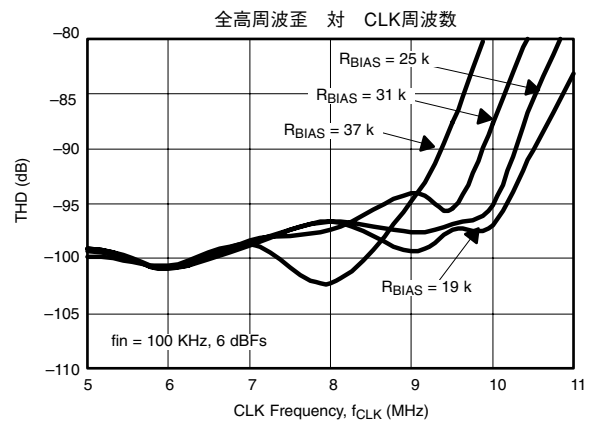


図 15

代表的特性

$T_A = 25^\circ\text{C}$ 、 $R_{\text{BIAS}} = 19\text{k}\Omega$ 、 $AV_{\text{DD}} = 5\text{V}$ 、 $DV_{\text{DD}} = 3\text{V}$ 、 $f_{\text{CLK}} = 60\text{MHz}$ 、 $V_{\text{REF}} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{\text{CM}} = 2.5\text{V}$ です(特に記述のない限り)。

スプリアスフリー・ダイナミック・レンジ
対
CLK周波数

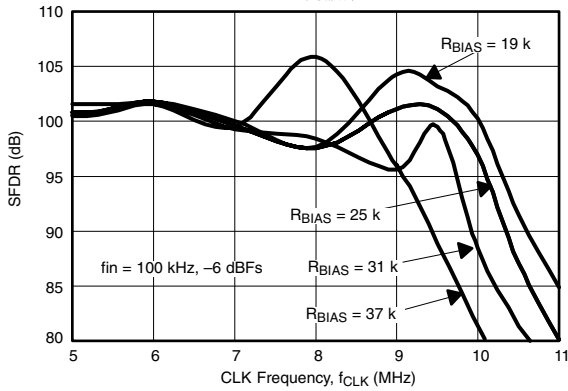


図 16

信号/雑音比 対 温度

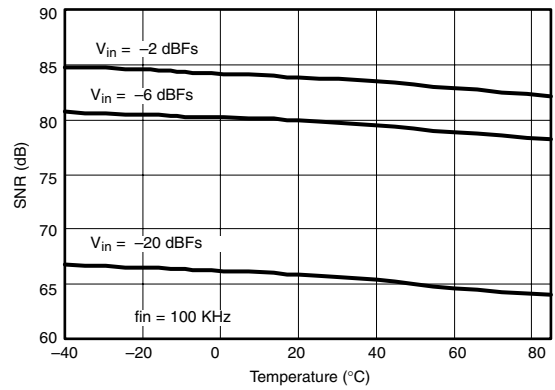


図 17

全高調波歪 対 温度

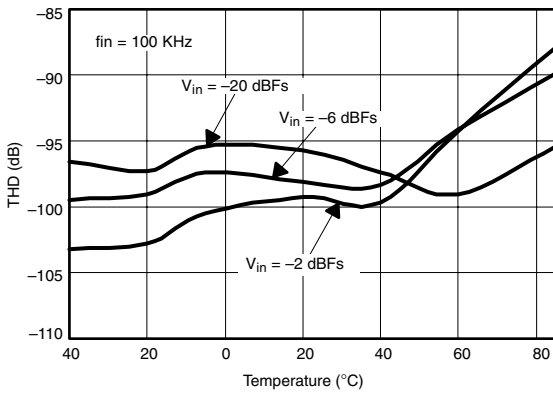


図 18

スプリアスフリー・ダイナミック・レンジ
対
温度

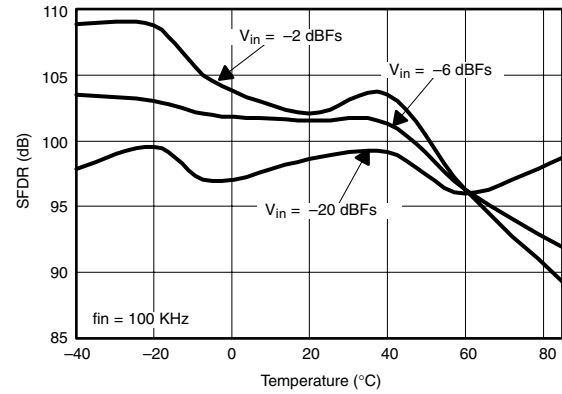


図 19

INL誤差 対 入力電圧

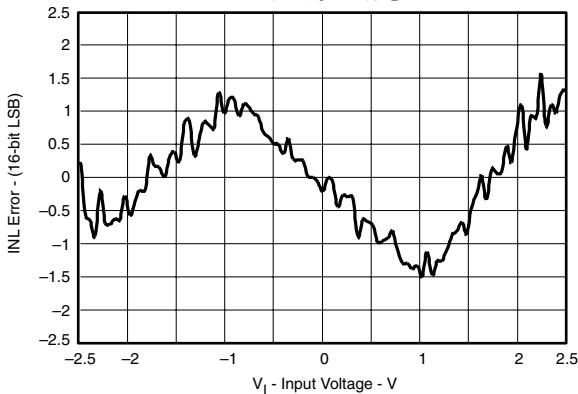


図 20

INL誤差 対 入力電圧

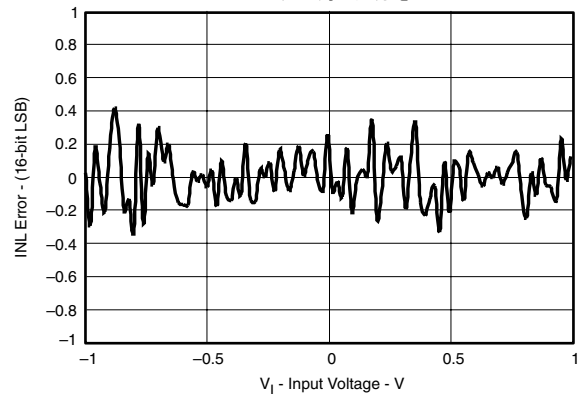


図 21

代表的特性

$T_A = 25^\circ\text{C}$ 、 $R_{BIAS} = 19\text{k}\Omega$ 、 $AVDD = 5\text{V}$ 、 $DVDD = 3\text{V}$ 、 $f_{CLK} = 60\text{MHz}$ 、 $V_{REF} = 3\text{V}$ 、 $\text{MODE} = 00$ 、 $V_{CM} = 2.5\text{V}$ です(特に記述のない限り)。

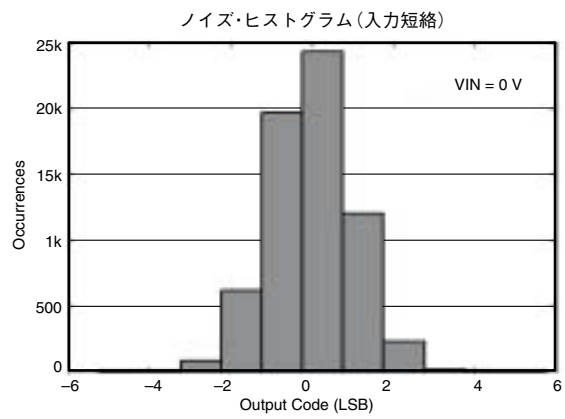


図 22

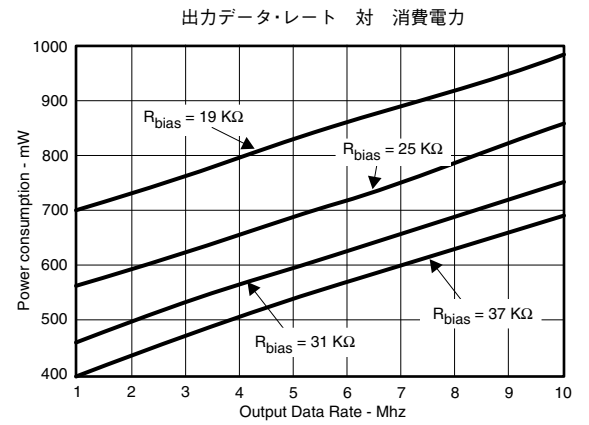


図 23

概要

ADS1610は、高性能のデルタ-シグマ型ADCです。変調回路には、本質的に安定したパイプライン型のデルタ-シグマ変調アーキテクチャを使用し、非常にリニアな高速動作を可能とする独自の回路を内蔵しています。変調回路は、入力信号を60MSPSでサンプリングします ($f_{CLK} = 60\text{MHz}$ 時)。低リップルの直線位相デジタル・フィルタで変調回路の出力を1/6にデシメーションすることにより、4.9MHzまでの信号通過帯域で10MSPSのデータ出力ワード・レートを実現します。

概念的には、変調回路およびデジタル・フィルタは、図24に示されるように、差動リファレンス $V_{ref} = (V_{REFP} - V_{REFN})$ に対して差動入力信号 $V_{ID} = (A_{INP} - A_{INN})$ を測定します。DSPへの直接接続用に設計された16ビットの平行データ・バスから、データが出力されます。I/Oに対して別個の電源を使用することで、異なるロジック・ファミリーに対する柔軟なインターフェイスが可能で、入力信号がオーバーレンジの際は、専用のデジタル出力ピンで通知されます。アナログ消費電力は、外部抵抗を使用して制御されます。これにより、低速での動作時に消費電力を低減できます。未使用時には、 \overline{PD} ピンを使用して消費電力を大幅に低減することができます。

アナログ入力 (A_{INP}、A_{INN})

ADS1610は、非常に広い範囲の入力信号をサポートします。そのような広い入力範囲を持つため、範囲外信号の可能性は低くなりますが、範囲を越す信号が発生した場合には、デジタル出力OTRが“High”になります。

最高のアナログ性能を実現するためには、入力を0.891VREF (-1dBFS) 以下に制限することを推奨します。VREF = 3Vの場合、推奨入力範囲は2.67Vとなります。

最適な性能を得るには、アナログ入力を差動信号で駆動する必要があります。入力信号の推奨同相電圧 [$V_{CM} = (A_{INP} + A_{INN})/2$] は、2.5Vです。

差動および同相入力電圧に加えて、絶対入力電圧も重要です。これは、AGNDを基準とした各入力 (A_{INP}またはA_{INN}) の電圧です。この電圧の範囲は次のとおりです。

$$-0.1\text{V} < (A_{INN}\text{または}A_{INP}) < 4.2\text{V} \quad (1)$$

いずれかの入力が-0.1Vを下回ると、入力のESD保護ダイオードがオンになります。いずれかの入力が4.2Vを超えた場合、直線性性能が低下します。ESD保護ダイオードは、入力がAVDD (+5V) を超えた場合にもオンになります。

入力回路

ADS1610は、スイッチド・キャパシタ回路を使用して入力電圧を測定します。内部コンデンサが入力によって充電された後、内部で放電されるというサイクルが、CLKの周波数で繰り返されます。図25に、この回路の概念図を示します。スイッチS₂は、サンプリング・コンデンサを放電する際の変調回路全体の正味の効果を表すものであり、実際の実装とは異なります。図26に、スイッチS₁およびS₂のタイミングを示します。

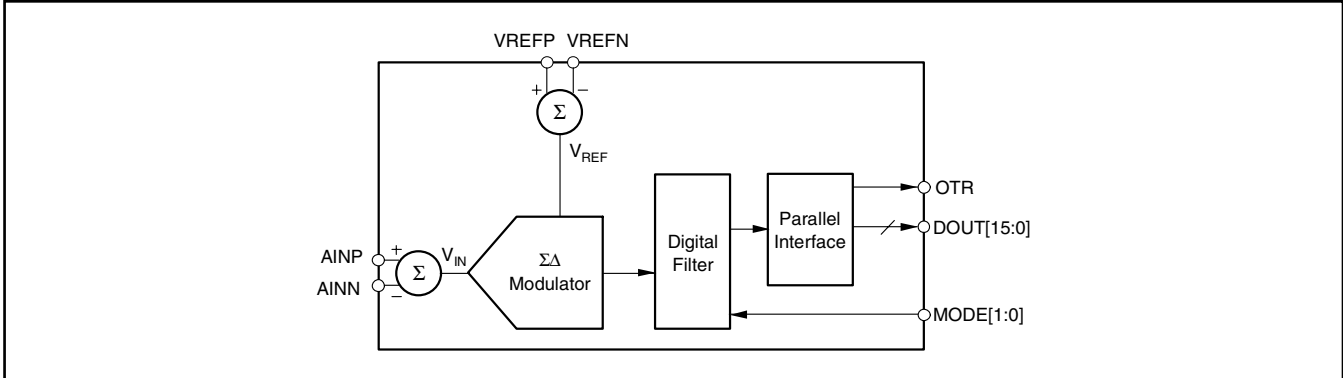


図 24. 概念ブロック図

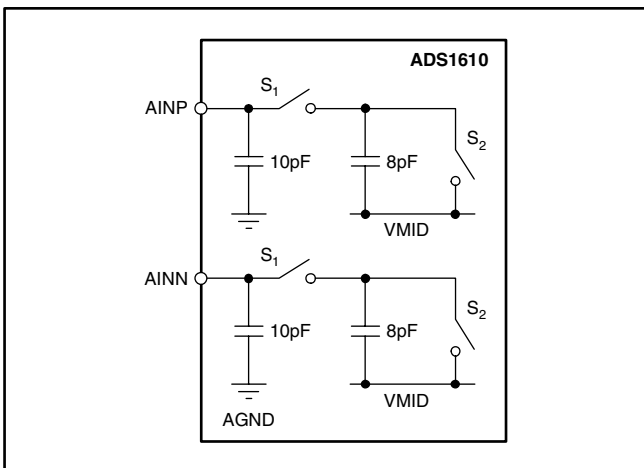


図 25. アナログ入力に接続された内部回路の概念図

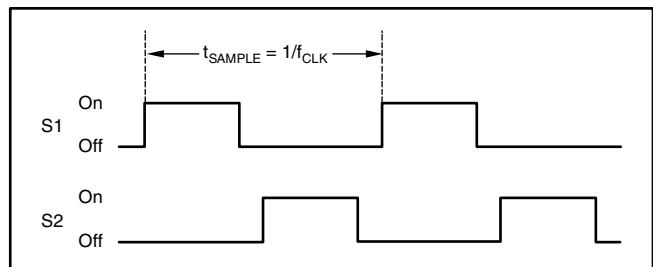


図 26. 図25のスイッチのタイミング

入力の駆動

ADS1610の入力を駆動する外部回路は、ADS1610内のスイッチング・コンデンサによる負荷を処理できる必要があります。図25の入力スイッチS₁は、サンプリング周期t_{SAMPLE}の約1/2の時間で閉じられているため、f_{CLK} = 60MHzの場合、内部コンデンサが入力によって充電されるための時間が約8nsしかありません。

図27および図28に、シングルエンドまたは差動のオペアンプを使用した場合の推奨回路を示します。最適な性能を得るには、アナログ入力を差動で駆動する必要があります。シングルエンド入力しか使用できない場合は、-V_{IN}をグランドに短絡して図27の構成を使用できます。

この構成では、シングルエンドから差動への変換が実現されます。

入力間、および各入力とAGNDとの間の外部コンデンサは、直線性を向上させますが、これらのコンデンサはピンにできるだけ近づけて配置する必要があります。ドライバは入力の近くに配置し、それらの電源には適切なコンデンサでバイパスしてください。通常は、大きなコンデンサと並列に、小さな高品質セラミック・コンデンサを使用します。ドライバ回路で使用する抵抗には熱ノイズの小さい抵抗を使ってください。ドライバ回路で発生する熱ノイズは、ノイズ性能全体の劣化につながります。信号をADS1610入力にAC結合できる場合は、単純なRCフィルタによって入力同相モード電圧を設定できます。ADS1610は、高速、高性能のADCです。このデバイスに対して使用する試験装置の選択やセット・アップには、十分な注意が必要です。ADS1610の測定時に性能が制限されることのないよう、信号源には特に注意が必要です。

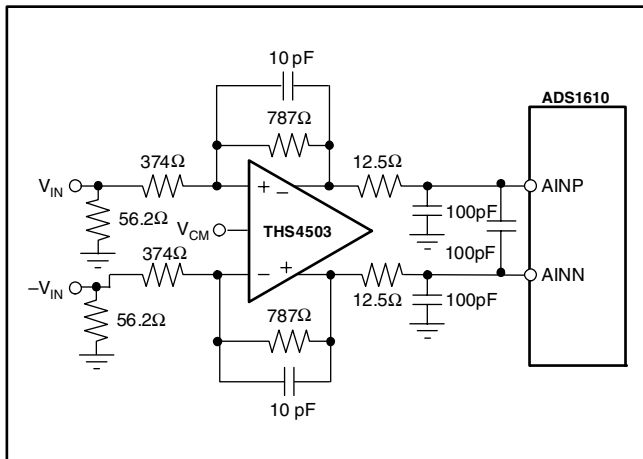
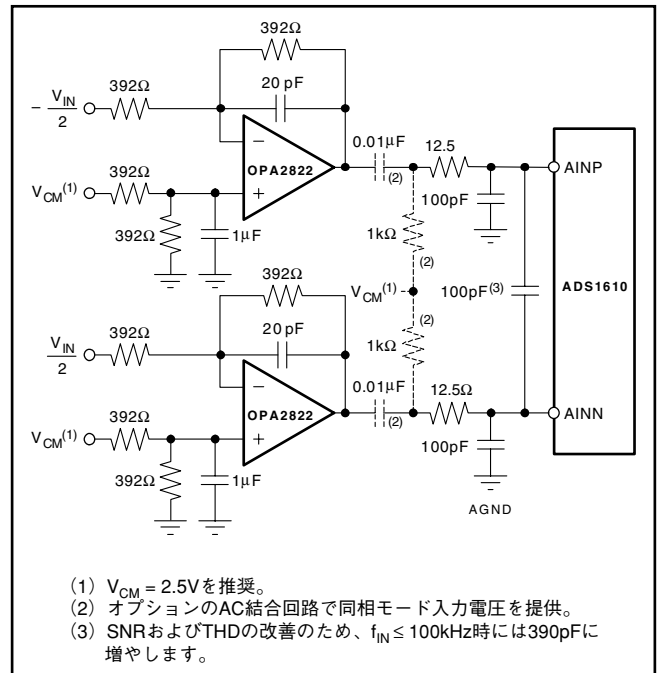


図 27. THS4503差動アンプを使用した、シングルエンドから差動への推奨変換回路



- (1) V_{CM} = 2.5Vを推奨。
- (2) オプションのAC結合回路で同相モード入力電圧を提供。
- (3) SNRおよびTHDの改善のため、f_{IN} ≤ 100kHz時には390pFに増やします。

図 28. OPA2822を使用した推奨ドライバ回路

リファレンス入力 (VREFN、VREFP、VMID)

ADS1610は、外部電圧リファレンスで動作します。リファレンス電圧 (V_{ref}) は、VREFNおよびVREFP間の差動電圧によって設定され、V_{ref} = (VREFP - VREFN) となります。VREFPおよびVREFNはそれぞれ2本のピンを使用し、2本のピンは互いに短絡する必要があります。VMID (約2.5V) は、変調回路で使用されます。VCAPは、内部ノードに接続され、外部コンデンサでバイパスする必要があります。

これらのピンに印加される電圧は、電気的特性の表に示される値の範囲内である必要があります。標準では、VREFP = 4V、VMID = 2.5V、およびVREFN = 1Vです。外部回路は、DCと過渡電流の両方を提供できる必要があります。図29に、リファレンスの内部回路の概略図を示します。入力回路の場合と同様に、スイッチS₁およびS₂の開閉は図26のように行われます。

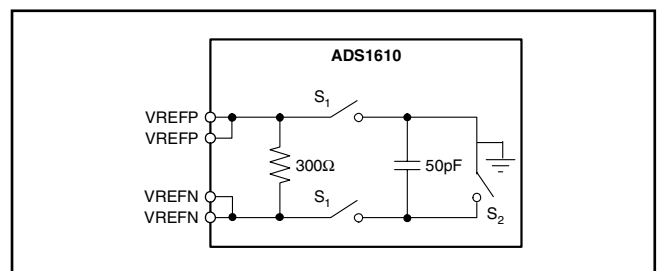


図 29. リファレンス入力の概念回路図

図30に、これらのリファレンス入力を駆動するための推奨回路を示します。熱ノイズによる特性の低下を防ぐために、バッファ回路で使用される抵抗は低くしてください。これらの回路のレイアウトは重要であるため、必ず適切な高速レイアウト手法に従ってください。バッファ、および特にバイパス・コンデンサは、できる限りピンに近づけて配置する必要があります。

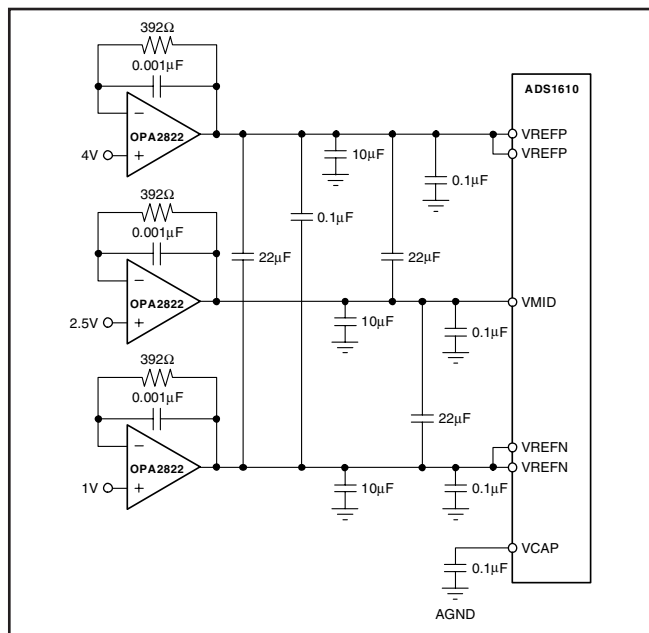


図 30. 推奨リファレンス・バッファ回路

データ・フォーマット

表2に示されるように、16ビット出力データは、2の補数バイナリ・フォーマットです。入力が正の範囲を超えた場合、つまり V_{REF} の正のフルスケール値を超えている場合は、出力が $7FFF_H$ にクリップされ、OTR出力が “High” になります。

入力信号		最大許容 クロック・ ソース・ジッタ
最大周波数	最大振幅	
4MHz	-1dB	1.6ps
4MHz	-20dB	14ps
2MHz	-1dB	3.3ps
2MHz	-20dB	29ps
1MHz	-1dB	6.5ps
1MHz	-20dB	58ps
100kHz	-1dB	65ps
100kHz	-20dB	581ps

表 1. 入力信号の各周波数および振幅に対する最大許容クロック・ソース・ジッタ

入力信号 (INP - INN)	理想出力コード ⁽¹⁾	OTR
$\geq +V_{ref} (> 0dB)$	$7FFF_H$	1
$V_{ref} (0dB)$	$7FFF_H$	0
$\frac{+V_{REF}}{2^{15} - 1}$	0001_H	0
0	0000_H	0
$\frac{-V_{REF}}{2^{15} - 1}$	$FFFF_H$	0
$-V_{REF} \left(\frac{2^{15}}{2^{15} - 1} \right)$	8000_H	0
$\leq -V_{REF} \left(\frac{2^{15}}{2^{15} - 1} \right)$	8000_H	1

(1) ノイズ、INL、オフセット、およびゲイン誤差の影響は除外しています。

表 2. 出力コード対入力信号

同様に、入力が負の範囲を超えた場合、つまり V_{ref} の負のフルスケール値を下回っている場合は、出力が 8000_H にクリップされ、OTR出力が “High” になります。入力信号が範囲外の間、OTRは “High” に保持されます。

範囲外通知 (OTR)

DOUT[15:0]の出力コードが正または負のフルスケールを超えた場合、範囲外デジタル出力 (OTR) がDRDYの立ち下がりがエッジで “High” になります。出力コードがフルスケール範囲内に戻ると、OTRはDRDYの立ち下がりがエッジで “Low” に戻ります。

クロック入力 (CLK)

ADS1610では、CLK入力ピンに外部クロック信号が供給されます。変調回路のサンプリングは、このクロック信号によって制御されます。他の高速データ・コンバータと同様に、最適な性能を得るためには高品質のクロックが重要です。CLKのソースとしては水晶クロック発振器が推奨されます。それ以外のソース (周波数シンセサイザなど) は適切でないことがあります。CLK入力には過度のリングングがないようにしてください。トレースをできるだけ短くすることが有効です。

高周波数かつ大振幅の信号を測定するには、クロック・ジッタの厳密な制御が必要です。入力のサンプリング中にクロック・ジッタによって不確実性が生じると、達成可能な最大SNRが制限されます。この影響は、入力の周波数が高く、振幅が大きくなるほど顕著になります。ADS1610では、オーバーサンプリング・トポロジにより、クロック・ジッタの影響が、パイプライン型コンバータや逐次比較型コンバータなどのナイキスト・レート・コンバータに比べて、 $\sqrt{6}$ の割合で低減されます。

ADS1610のSNR性能が制限されないようにするために、クロック・ソースのジッタは表1に示す値より低く保ってください。より低い周波数および小さい振幅の入力を測定する場合には、それより高いCLKジッタも許容されます。許容されるクロック・ソース・ジッタを決定する際には、アプリケーションで考えられるワースト・ケースの入力 (最高の周波数、最大の振幅) を選択してください。

データの取得

データの取得は、単純なパラレル・インターフェイスで制御されます。 $\overline{\text{DRDY}}$ 出力の立ち下がりエッジは、新しいデータが使用可能であることを示します。出力バスをアクティブにするには、表3に示されるように、 $\overline{\text{CS}}$ と $\overline{\text{RD}}$ の両方が“Low”である必要があります。性能の低下につながるため、DOUTバスでは重い負荷 (>20pF) を駆動しないようにしてください。エッジ・コネクタまたはケーブルを駆動する場合は、外部バッファを使用します。

$\overline{\text{CS}}$	$\overline{\text{RD}}$	DOUT [15:0]
0	0	アクティブ
0	1	ハイ・インピーダンス
1	0	ハイ・インピーダンス
1	1	ハイ・インピーダンス

表 3. $\overline{\text{CS}}$ および $\overline{\text{RD}}$ の真理値表

複数のADS1610の同期

$\overline{\text{SYNC}}$ ピンが“Low”になると、ADS1610は非同期でリセットされます。リセット時には、すべてのデジタル回路がクリアされ、DOUT[15:0]が強制的に“Low”になり、 $\overline{\text{DRDY}}$ が強制的に“High”になります。 $\overline{\text{SYNC}}$ ピンは、CLKの立ち下がりエッジで解除することを推奨します。その後、 $\overline{\text{DRDY}}$ はCLKの2回目の立ち上がりエッジで“Low”になります。デジタル・フィルタが安定するまで $\overline{\text{DRDY}}$ の55サイクル分待つてから、データを取得します。タイミングについては、図3を参照してください。

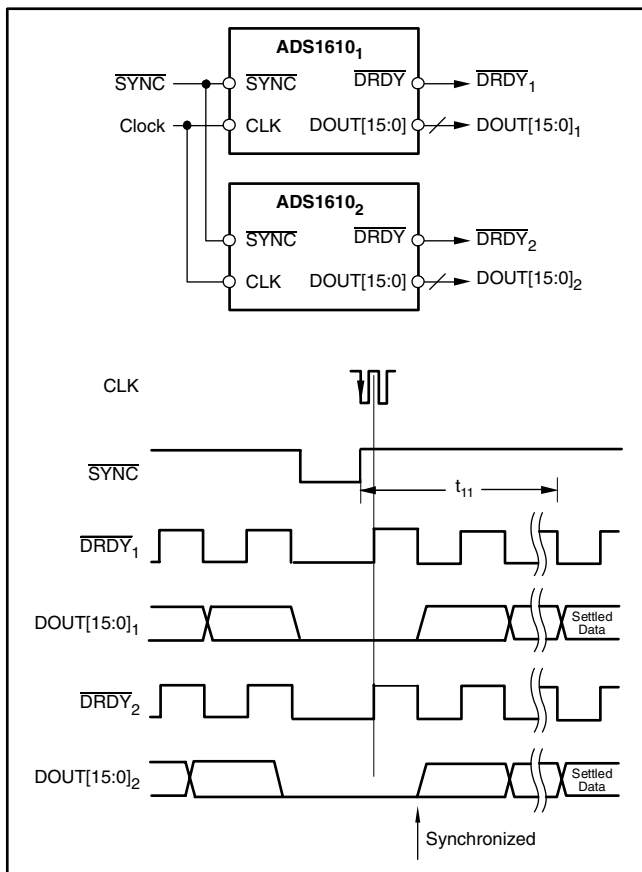


図 31. 複数コンバータの同期

リセットを使用して、複数のADS1610を同期させることができます。同期させるすべてのデバイスで、共通のCLK入力を使用する必要があります。CLK入力の動作中、図31に示されるように、CLKの立ち下がりエッジで $\overline{\text{SYNC}}$ パルスを入力します。その後、各コンバータは同時に変換を実行し、 $\overline{\text{DRDY}}$ 出力が同時に更新されます。同期後は、出力データが完全に安定するまで、 $\overline{\text{DRDY}}$ の55サイクル分の時間 (t_{11}) がかかります。

セトリング・タイム

セトリング・タイムは、大きなステップを含む信号の測定時、またはアナログ入力の前にマルチプレクサを使用する場合には、重要な考慮事項となります。ADS1610のデジタル・フィルタでは、信号レベルの瞬間的な変化が出力に伝播するまでに時間がかかります。

入力信号に大きなステップを印加した後、入力の前に配置されたマルチプレクサでチャンネルを切り替えた後、ADS1610のリセット後、またはパワーダウン・モードの終了後には、フィルタが安定するまでのセトリング・タイムを確保してください。

図32に、MODE = 00 (表4を参照) で $t = 0$ のときに印加されたフルスケール信号ステップに対して、セトリング誤差を時間の関数として示します。この図では、ADS1610の $\overline{\text{DRDY}}$ サイクル数を時間軸 (X軸) に使用しています。 $\overline{\text{DRDY}}$ の55サイクル後に、セトリング誤差は0.001%未満に低下します。 $f_{\text{CLK}} = 60\text{MHz}$ の場合、これは5.5 μs のセトリング・タイムに相当します。

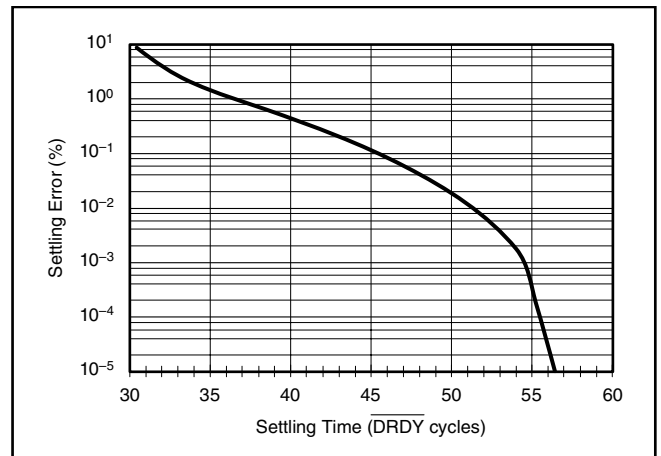


図 32. セトリング・タイム

インパルス応答

図33に、MODE = 00で $t = 0$ のときに印加された入力に対する、正規化された応答を示します。X軸の時間単位は、ADS1610のDRDYサイクル数です。図33に示されるように、インパルスのピークが出力に伝播するまでに30回のDRDYサイクルが必要です。 $f_{CLK} = 60 \text{ MHz}$ の場合、DRDYサイクルの長さは $0.1\mu\text{s}$ であり、伝播時間(群遅延)は $30 \times 0.1\mu\text{s} = 3.0\mu\text{s}$ となります。

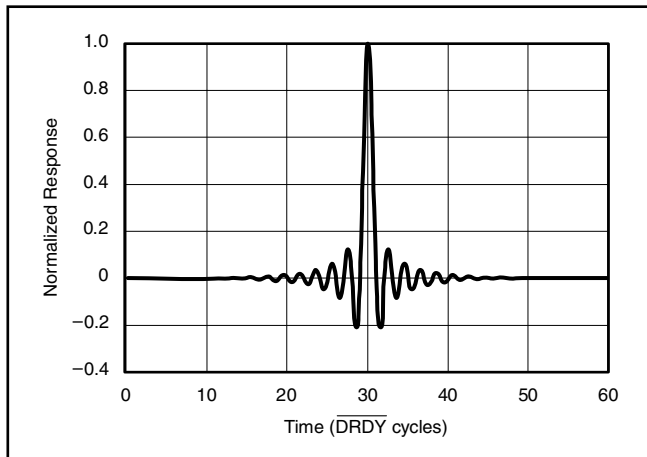


図 33. インパルス応答

周波数応答

直線位相FIRデジタル・フィルタによって、全体的な周波数応答が設定されます。この項に示すすべての図で、デシメーション率は6 (MODE = 00) に設定されています。図34に、 $f_{CLK} = 60\text{MHz}$ の場合のDCから30MHzまでの周波数応答を示します。ADS1610フィルタの周波数応答は、CLK周波数に直接比例します。例えば、CLK周波数を $1/2$ (30MHz)にした場合、図34のX軸の値も $1/2$ にする必要があり、範囲はDCから15MHzまでになります。

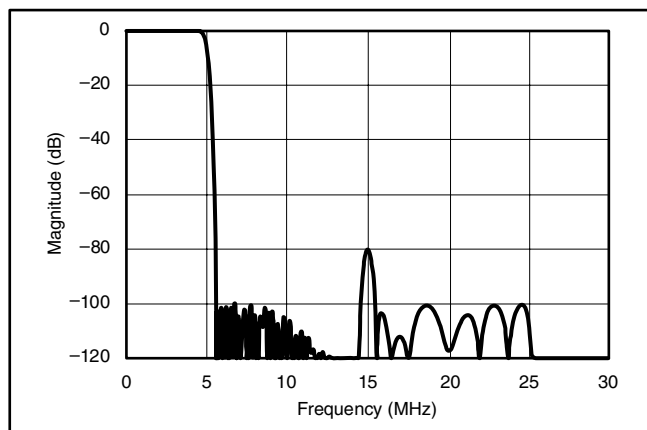


図 34. 周波数応答

図35に、DCから4.4MHzまでの通過帯域リップルを示します ($f_{CLK} = 60\text{MHz}$)。図36では、4.0MHzから5.0MHzまでの通過帯域遷移を拡大して示しています ($f_{CLK} = 60\text{MHz}$)。

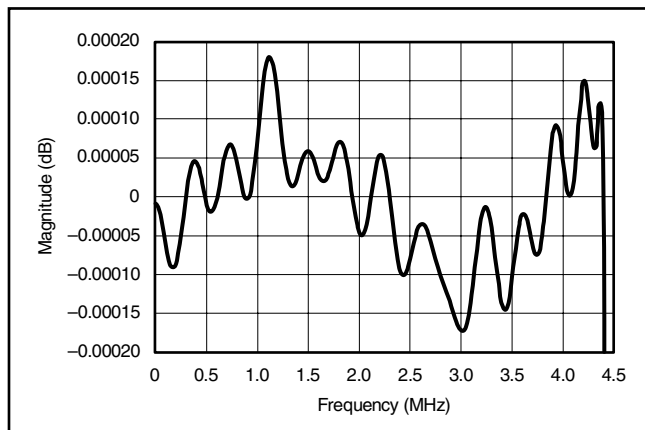


図 35. 通過帯域リップル

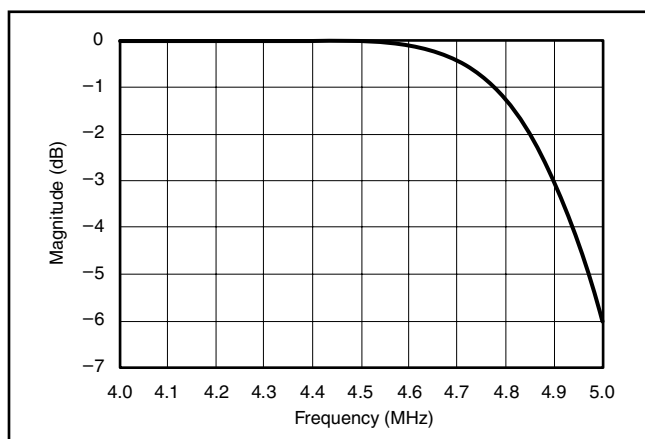


図 36. 通過帯域遷移

この周波数応答全体が、CLK周波数の倍数で繰り返されます。これを分かりやすくするために、図37に180MHzまでの応答を示します ($f_{CLK} = 60\text{MHz}$)。通過帯域応答が60MHz、120MHz、180MHzで繰り返されていることに注意してください。信号に高周波ノイズが含まれる場合は、このシーケンスを考慮することが重要になります。変調回路の帯域幅は、100MHzまでです。60MHzおよび120MHz近傍の高周波ノイズは、変調回路およびデジタル・フィルタでは減衰されません。このノイズは、ADS1610への入力前にフィルタで除外されない限り、帯域内へのエイリアスとなり、全体のSNR性能を低下させます。これを防ぐためには、ADS1610の前後に、55MHzより前で減衰するアンチエイリアス・フィルタを配置します。

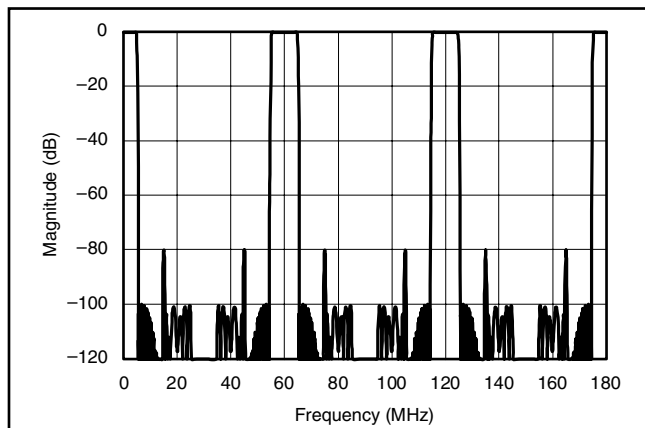


図 37. 120MHzまでの周波数応答

ノイズ・フロア

ADS1610はデルタ-シグマ型ADCであり、ノイズ・シェーピングを使用して優れたSNR性能を達成しています。代表的な逐次比較型(SAR)またはパイプライン型ADCのノイズ・フロアは、ナイキスト周波数に達するまで平坦なままです。2つのサンプル・データを平均化することでSNRを3dB増加できるため、出力データ・レートと達成可能なSNRの間にはトレードオフがあります。対照的に、使用帯域幅内のADS1610のノイズ・フロアはシェーピングされています。そのため、2つのサンプル・データの平均化によって得られるSNRの増加は3dBよりも大きくなります。下の図38に、ADS1610の代表的な帯域内ノイズ・スペクトル密度を示します。図の下に示される数値は、各帯域幅でのフルスケール信号に対するノイズ分布を表しています。灰色の領域は、デフォルト動作モード(出力データ・レート = 10MHz)での信号帯域幅を表します。

適切なフィルタリングを使用することで、ユーザは速度とSNRとのトレードオフを設定できます。使用を容易にするために、ADS1610には次の項で説明する4つのフィルタリング・モードがあります。図39に、使用可能なフィルタリング・モードの概念図を示します。変調回路の出力データに外部でフィルタを追加することにより、カスタム・フィルタリングを実現できます。

モード選択

ADS1610には、それぞれ出力データ・レートの異なる4つの動作モードがあります。これにより、ユーザはアプリケーションに最も適した出力レートを柔軟に選択することができます。すべてのモードで、出力のMSB位置は調整されます。

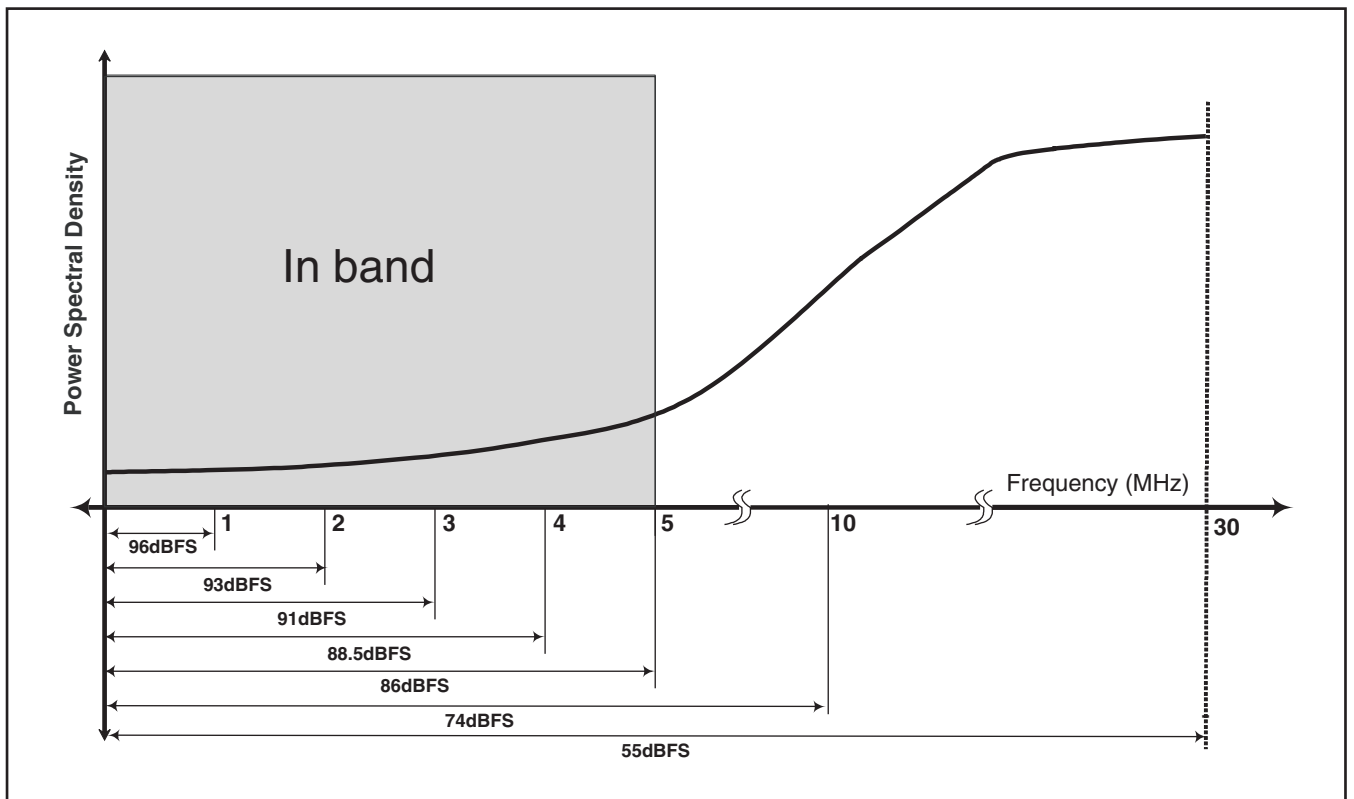


図 38. 代表的なフィルタ・バイパス・モードのノイズ・スペクトル密度

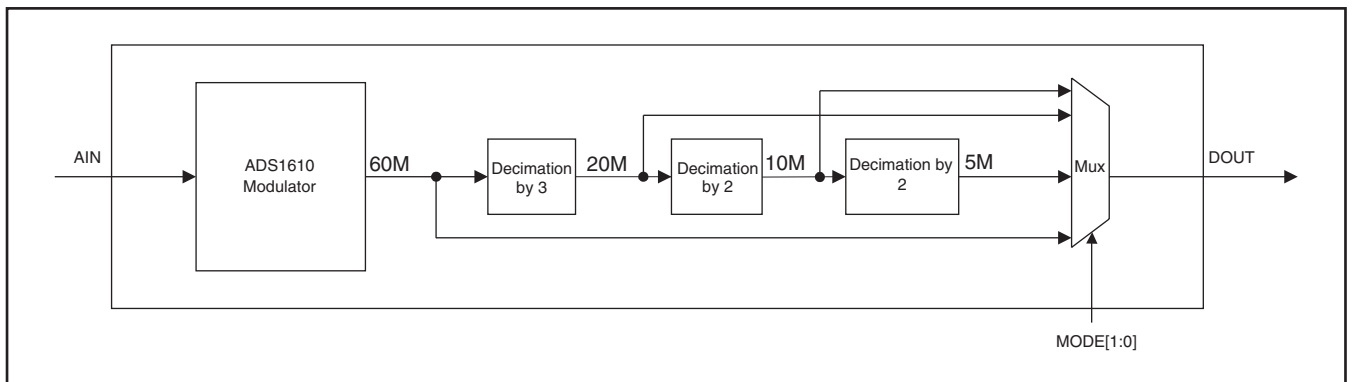


図 39. ADS1610のフィルタリング・モードの概念図

Mode 1	Mode 0	出力レート	OSR	SNR (TYP)	BITS	セットリング・タイム (DRDY cycles)
0	0	デフォルト10MHzモード	6	86dBFS	16	55
0	1	20MHz	3	74dBFS	14	25
1	0	5MHz	12	91dBFS	16	55
1	1	60MHz バイパス・モード	1	55dBFS	12	NA

表 4. 4つの動作モード⁽¹⁾

(1) 両方のモード・ピンに170kΩのプルダウン抵抗があります。ただし、このピンは“High”または“Low”のいずれかに駆動することを推奨します。

20MHzモード

このモードでは、オーバーサンプリング比が3です。OSRを6から3に下げることによって、データ・レートが2倍になり、性能は16ビットから14ビットに低下します。このモードでは、DOUTの16ビットがすべてアクティブに保持されることに注意してください。f_{clk} = 60MHzの場合、データ・レートは20MSPSです。また、群遅延は1μs (= 13 DRDYサイクル)になります。このモードでは、ノイズが増加します。標準のSNR性能は、14dB低下します。THDは、ほぼ同じです。

5MHzモード

このモードでは、f_{clk} = 60MHzの場合にOSRが12であり、データ・レートは5MSPSです。代表的なSNR性能は、4dB増加します。THDは、ほぼ同じです。

60MHzモード

このモードでは、デシメーション・フィルタがバイパスされます。このデータ出力は、ユーザによって外部でフィルタリングできます。f_{clk} = 60MHzの場合、データ・レートは60MSPSです。

アナログ消費電力

図40に示されるように、RBIASピンとアナログ・グランドとの間に接続される外部抵抗によって、アナログ電流レベルが設定されます。この電流は、抵抗値に逆比例します。表5に、各CLK周波数に対するRBIASの推奨値を示します。より遅い周波数のCLK入力を使用すると、変調回路が安定するまでに長い時間があるため、アナログ電流を低減できることに注意してください。バイアスの設定に使用される内部回路に干渉するため、RBIASに並列コンデンサを追加することは避けます。

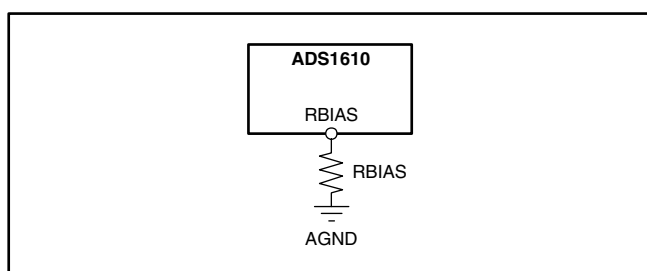


図 40. アナログ消費電力の設定に使用される外部抵抗

f _{CLK}	データ・レート	RBIAS	代表的消費電力
42MHz	7MHz	45kΩ	550mW
48MHz	8MHz	37kΩ	640mW
54MHz	9MHz	31kΩ	720mW
60MHz	10MHz	19kΩ	960mW

表 5. 各CLK周波数に対するRBIAS抵抗の推奨値

パワーダウン (PD)

未使用時には、 $\overline{\text{PD}}$ ピンを“Low”にしてADS1610をパワーダウンすることができます。 $\overline{\text{PD}}$ ピンには170kΩの内部プルアップ抵抗がありますが、未使用時にはこのピンをDVDDに接続することを推奨します。 $\overline{\text{PD}}$ ピンを“High”にした後は、データを取得する前に、変調回路およびデジタル・フィルタが安定するまで、t₁₁ (タイミング特性の表を参照) の $\overline{\text{DRDY}}$ サイクル数だけ待ってください。

電源

ADS1610では、アナログ (AVDD) とデジタル (DVDD) の2つの電源が使用されます。最高の性能を得るには、各電源 (DVDDピン49および50を除く) を適切にバイパスする必要があります。各電源ピンにできるだけ近づけて1μFおよび0.1μFのセラミック・コンデンサを配置することを推奨します。図41に示されるように、電源ピンの各バイパス・コンデンサは対応するグランドに接続してください。各メイン電源バスも、図41に示すように、47μF~0.1μFのコンデンサでバイパスする必要があります。

最適な性能を得るために、AVDD2電源 (ピン58) (変調回路のクロック回路) に直列に10Ωの抵抗を挿入してください。この抵抗によってスイッチングがデカップリングされます。

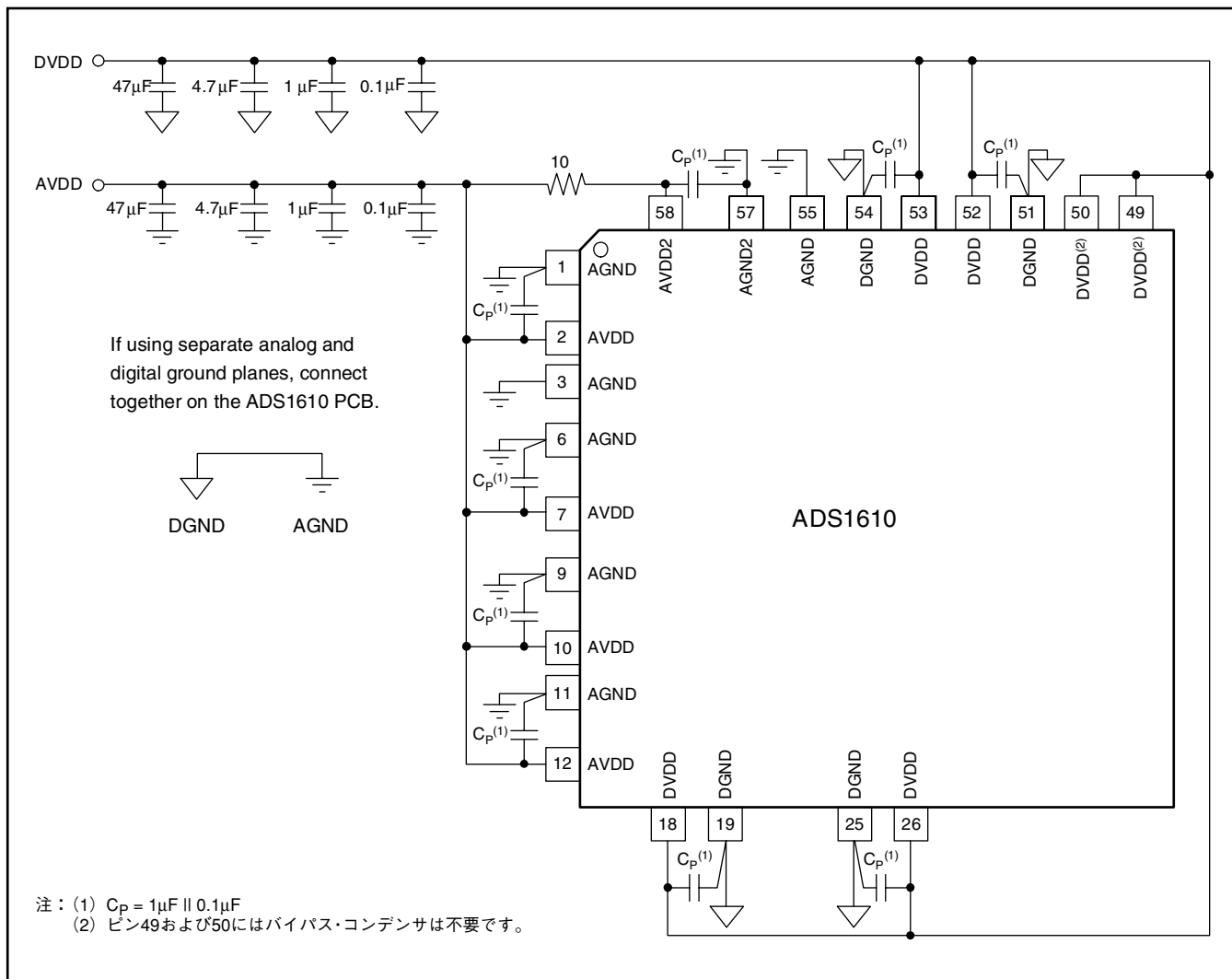


図 41. 推奨電源バイパス

レイアウトについて

ADS1610は、非常に高速で高分解能のデータ・コンバータです。最高の性能を達成するためには、プリント基板 (PCB) のレイアウトについて十分な配慮が必要になります。すべての回路に対して、適切な高速レイアウト手法を使用してください。重要なコンデンサは、ピンにできる限り近づけて配置する必要があります。これには、アナログ入力、リファレンス入力、または電源に直接接続されるコンデンサが含まれます。また、入力およびリファレンスを駆動するすべての回路を適切にバイパスする必要があります。

グランド・プレーンについては、2つのアプローチを採用できます。1つの共通プレーンを使用するか、または、アナログ・グランド用とデジタル・グランド用に1つずつ別々のプレーンを使用するかです。1つの共通プレーンだけを使用する場合は、AGND2 (ピン57) に流れる電流をピン1から分離してください。これはグランド・プレーンに切れ目を設けることで実現します。AGND2には変調回路のアナログ・クロックからのスイッチング電流が流れるため、ピン1のクリーンなアナログ・グランドに悪影響を与える可能性があります。2つのプレーンを使用する場

合は、PCB上でそれらを接続することを推奨します。別々のエッジ・コネクタやケーブルを介した後でこれらのグランド・プレーンを接続することは、性能を低下させラッチアップの可能性を高めるので避けてください。

一般に、過度の熱ノイズによる全体性能の劣化を防ぐために、入力およびリファレンスの駆動回路で使用される抵抗は低く保ってください。ADS1610のデジタル出力で重負荷を駆動することは避けてください。ADS1610が近くのDSPまたはコントローラに直接接続される場合を除き、出力にはバッファを配置することを推奨します。また、デジタル入力はクリーンな信号で駆動されるようにしてください。入力にリングングがあると、ノイズの原因となります。

ADS1610は、TIのPowerPAD™テクノロジーを使用しています。PowerPADは、パッケージ内部のシリコン・サブストレートに物理的に接続されており、パッケージ下部の露出した金属パッドを使用してPCB上のアナログ・グランド・プレーンに半田付けする必要があります。それにより、適切な放熱が行われます。PowerPADパッケージの詳細については、www.tij.co.jpもしくはwww.ti.comでアプリケーション・レポートSLMA002を参照してください。

アプリケーション情報

ADS1610からTMS320C6000へのインターフェイス

図42に、ADS1610をTMS320C6000 DSPに直接接続する方法を示します。このプロセッサは、出力 \overline{ARE} を使用して読み取りを制御します。ADS1610は、DSPの制御出力 $\overline{CE2}$ を使用して選択されます。ADS1610の16ビット・データ出力バスが、TMS320C6000のデータ・バスに直接接続されます。ADS1610のデータ・レディ出力(DRDY)によって、TMS320C6000の割り込み $\overline{EXT_INT7}$ が駆動されます。

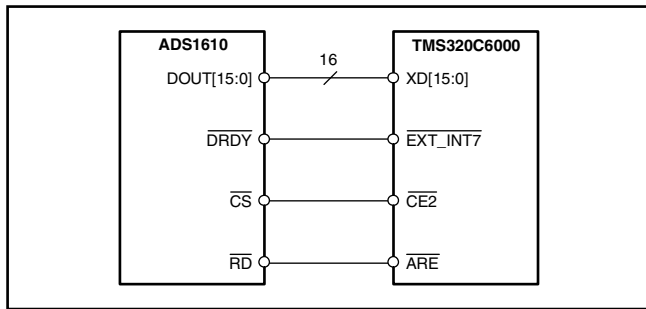


図 42. ADS1610 - TMS320C6000間のインターフェイス接続

ADS1610からTMS320C5400へのインターフェイス

図43に、ADS1610をTMS320C5400 DSPに接続する方法を示します。このプロセッサは、出力 R/\overline{W} および \overline{IS} を使用して読み取りを制御します。I/O空間選択信号(\overline{IS})はオプションであり、DSPが他の外部メモリ空間(アドレスまたはデータ)にアクセスしているときにADS1610の \overline{RD} 入力がストロブされるのを防ぐために使用されます。これにより、デジタル・ノイズがADS1610にカップリングされる可能性が低くなります。この信号を使用しないときには、 R/\overline{W} と \overline{RD} の間をNANDゲートU1に代えてインバータを置きます。2つの信号 \overline{IOSTRB} およびA15がNANDゲートU2で結合されて、ADS1610を選択します。TMS320C5400のI/O空間に接続されているデバイスが他にない場合は、U2を省略できます。単に \overline{IOSTRB} を直接 \overline{CS} に接続してください。ADS1610の16ビット・データ出力バスが、TMS320C5400のデータ・バスに直接接続されます。ADS1610のデータ・レディ出力(\overline{DRDY})によって、TMS320C5400の割り込み $\overline{INT3}$ が駆動されます。

TIのCode Composer Studioは、各種のデータ・コンバータ・プラグインを通じたTI DSPのインターフェイスをサポートします。ADS1610のサポートに関する最新情報については、TIのWebサイト (www.ti.com/sc/dcplug-in) をご覧ください。

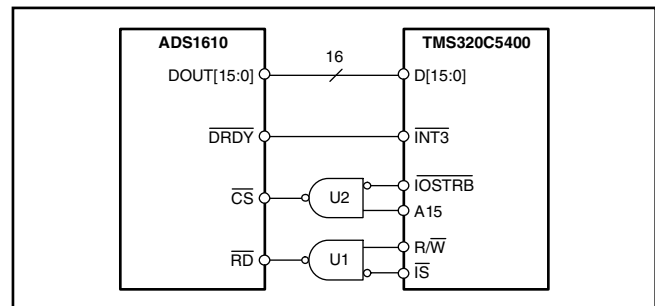


図 43. ADS1610 - TMS320C5400間のインターフェイス接続

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS1610IPAPR	ACTIVE	HTQFP	PAP	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS1610IPAPRG4	ACTIVE	HTQFP	PAP	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS1610IPAPT	ACTIVE	HTQFP	PAP	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS1610IPAPTG4	ACTIVE	HTQFP	PAP	64	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

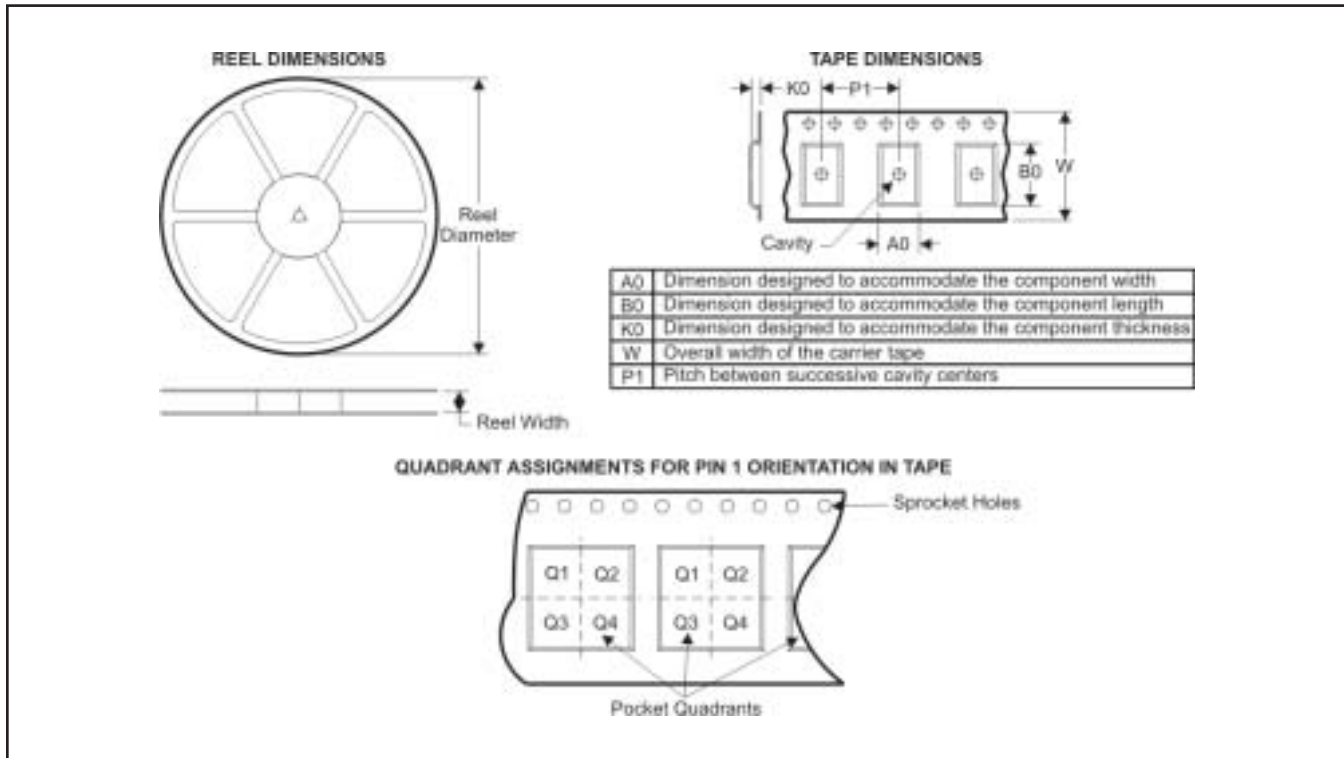
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・材料情報

テープおよびリール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1610IPAPR	PAP	64	SITE 60	330	24	13.0	13.0	1.4	16	24	Q2
ADS1610IPAPT	PAP	64	SITE 60	330	24	13.0	13.0	1.4	16	24	Q2

パッケージ・マテリアル情報

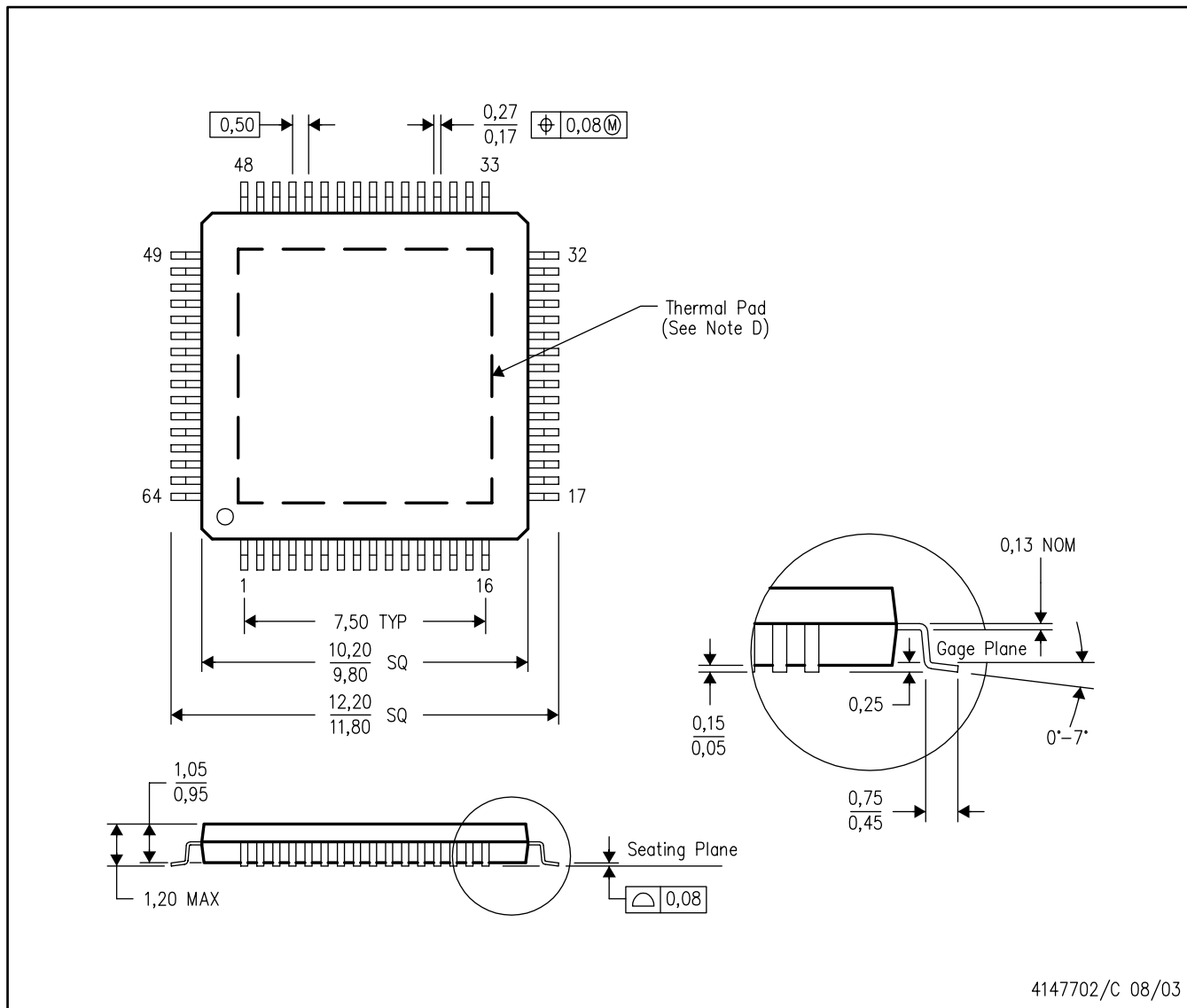


Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS1610IPAPR	PAP	64	SITE 60	0.0	0.0	0.0
ADS1610IPAPT	PAP	64	SITE 60	0.0	0.0	0.0

メカニカル・データ

PAP (S-PQFP-G64)

PowerPAD™ PLASTIC QUAD FLATPACK



4147702/C 08/03

注： A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。

D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。

推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。

これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. JEDEC MS-026に適合しています。

サーマルパッド・メカニカル・データ

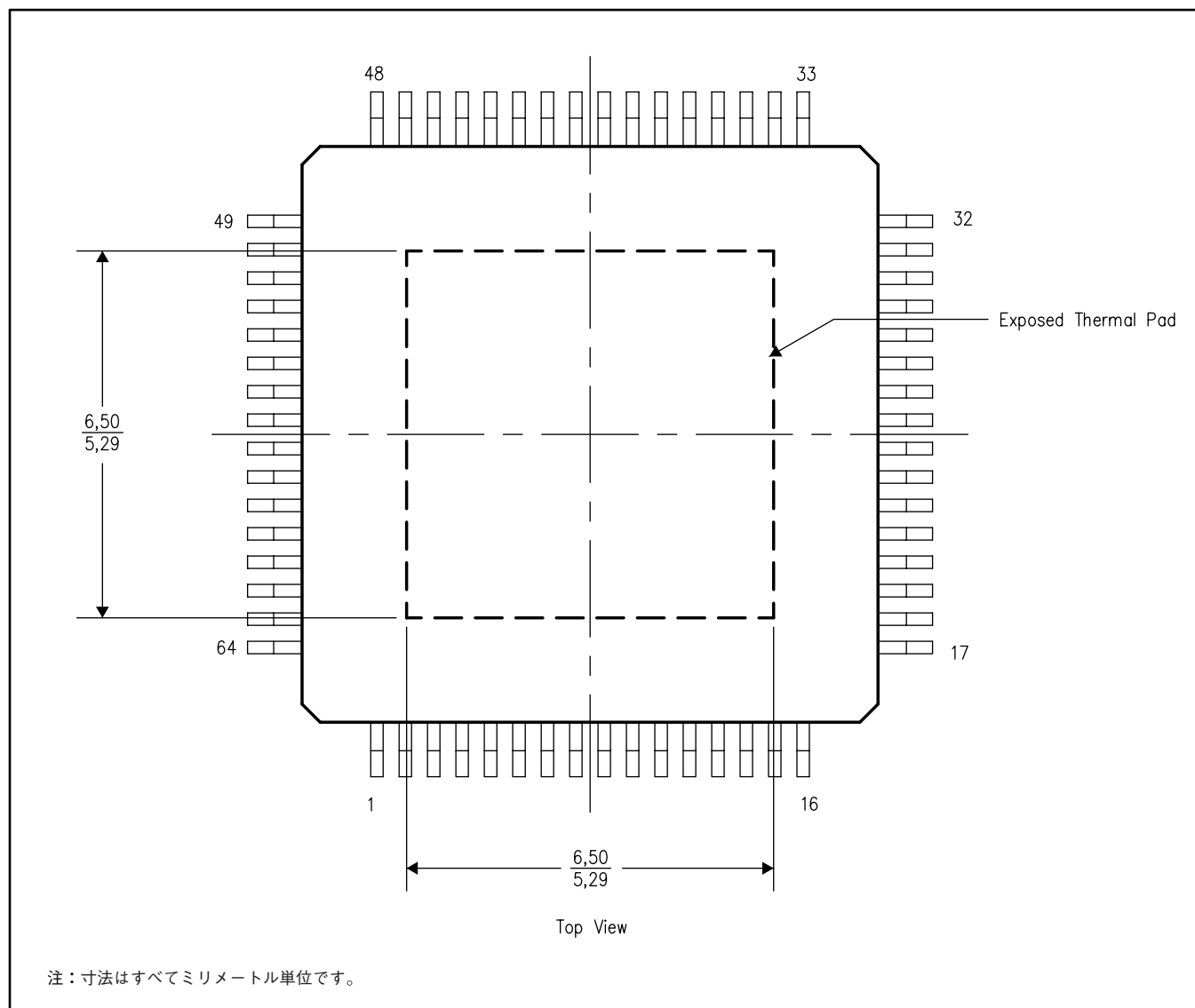
PAP (S-PQFP-G64)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.tij.co.jp もしくは www.ti.com で入手できます。

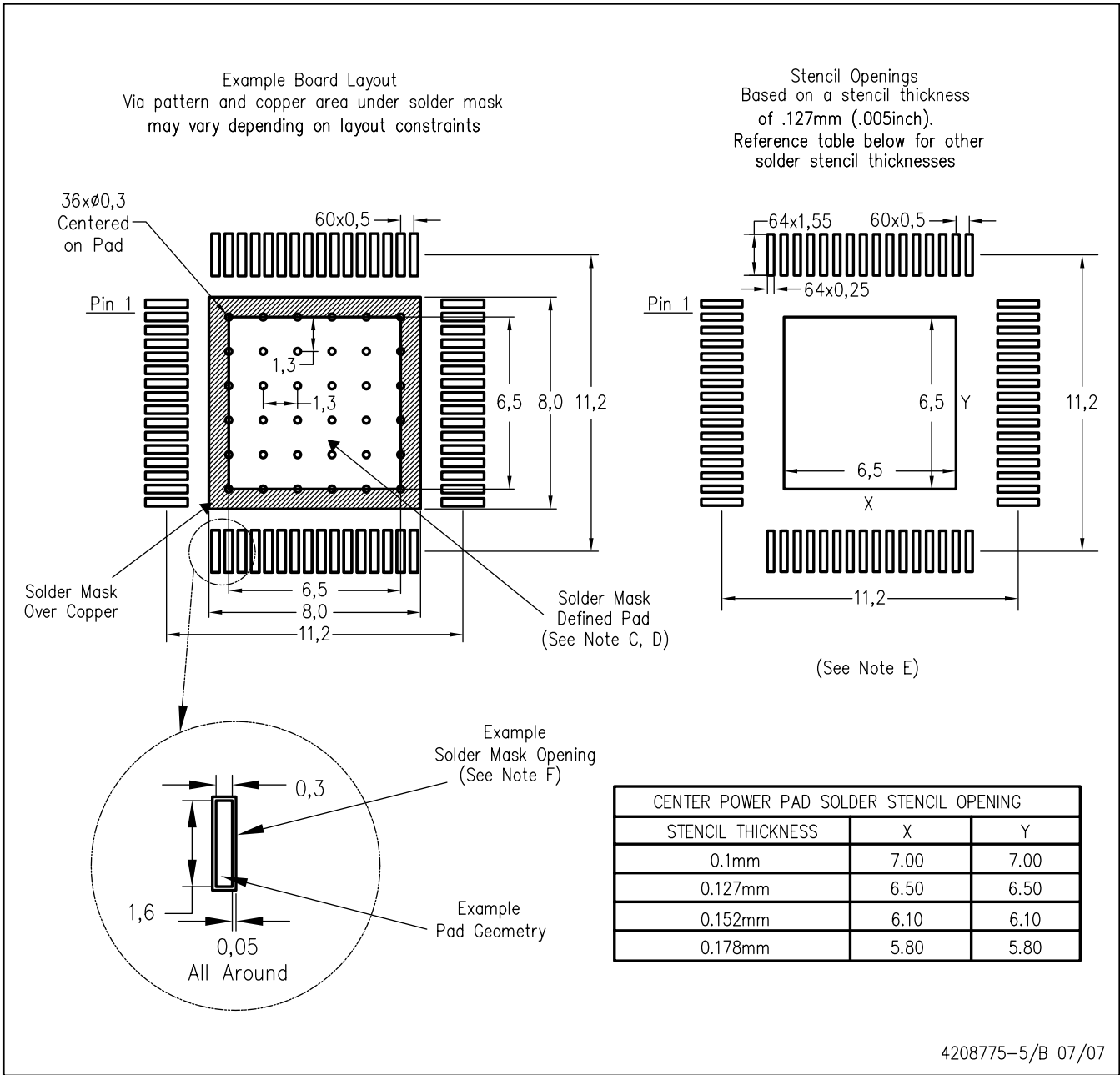
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



露出サーマル・パッドの寸法

LAND PATTERN

PAP (S-PQFP-G64) PowewPAD™



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SBAS344C)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIJの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIJの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上