

# LPC662

*LPC662 Low Power CMOS Dual Operational Amplifier*



Literature Number: JAJ5720



# LPC662

## CMOS デュアルオペアンプ

### 概要

LPC662 CMOS デュアルオペアンプは、単一電源による動作に最適です。+ 5V から + 15V の動作電圧範囲を持ち、出力振幅はフルスイング、そして入力同相範囲にはグラウンドが含まれています。これまで CMOS アンプの難点であった性能上の限界が、この回路設計では解決されています。入力  $V_{OS}$ 、ドリフト、広帯域ノイズ、さらに電圧利得 (100k、5k 負荷時) はどれも、広く一般に使用されているバイポーラオペアンプと同じかそれより優れているにもかかわらず、消費電力は 0.5mW 以下です。

本チップは、ナショナル セミコンダクター社の先進技術であるダブル・ポリ・シリコン・ゲート CMOS プロセスによって製造されています。

以上と同じ特長を備えたクワッド CMOS オペアンプに関しては、LPC660 のデータシートを、シングルオペアンプに関しては LPC661 のデータシートを参照して下さい。

- 長時間積分器
- 高インピーダンス・プリアンプ
- アクティブ・フィルタ
- サンプル/ホールド回路
- ピーク検出器

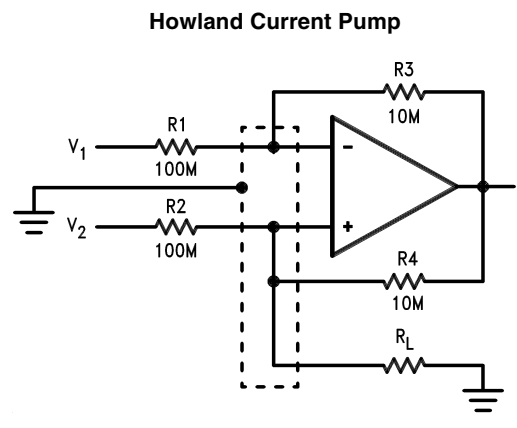
### 特長

- フルスイングの出力振幅
- 微小電力 (< 0.5mW) で動作可能
- 100k 及び 5k 負荷での規格設定
- 高電圧利得 120dB
- 低入力オフセット電圧 最大 3mV
- 低オフセット電圧ドリフト 1.3µV/
- 超低入力バイアス電流 2fA
- グラウンドをも含む広い同相入力電圧
- + 5V から + 15V までの動作保証
- 低歪率 1kHz で 0.01%
- スルーレート 0.11V/µs

### アプリケーション

- 高インピーダンス・バッファ
- 高精度電流電圧変換器

### アプリケーション回路例



**絶対最大定格** (Note 3)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照下さい。

差動入力電圧	±電源電圧
電源電圧 ( $V^+ - V^-$ )	16V
$V^+$ への出力短絡	(Note 11)
$V^-$ への出力短絡	(Note 1)
リード温度 (ハンダ付け、10秒)	260
保存温度範囲	- 65 ~ + 150
接合部温度 (Note 2)	150
ESD 耐圧 ( $C = 100\text{pF}$ , $R = 1.5\text{k}$ )	1000V
入力電流	± 5mA
連続出力電流	± 18mA

消費電流 ± 35mA  
入力 / 出力ピン電圧 ( $V^+$ ) + 0.3V、( $V^-$ ) - 0.3V

**動作定格** (Note 3)

温度範囲			
LPC662AI	- 40	$T_J$	+ 85
LPC662I	- 40	$T_J$	+ 85
電源電圧範囲	4.75V ~ 15.5V		
消費電力	(Note 2、9)		
熱抵抗 ( $\theta_{JA}$ )(Note 10)			
8ピン表面実装 (M)	165	/W	

**DC 電気的特性**

特記のない限り全ての規格値は、 $T_A = T_J = 25$  を保証されます。太文字で表記される規格値は、全温度範囲に適用されます。特記のない限り  $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM} = 1.5\text{V}$ 、 $V_O = V^+ / 2$ 、そして  $R_L > 1\text{M}$  が適用されます。

Parameter	Conditions	Typ	LPC662AI Limit (Note 4)	LPC662I Limit (Note 4)	Units
Input Offset Voltage		1	3	6	mV
			<b>3.3</b>	<b>6.3</b>	max
Input Offset Voltage Average Drift		1.3			$\mu\text{V}/$
Input Bias Current		0.002	<b>4</b>	<b>4</b>	pA max
Input Offset Current		0.001			pA
			<b>2</b>	<b>2</b>	max
Input Resistance		> 1			Tera
Common Mode Rejection Ratio	0V $V_{CM}$ 12.0V $V^+ = 15\text{V}$	83	70	63	dB
			<b>68</b>	<b>61</b>	min
Positive Power Supply Rejection Ratio	5V $V^+$ 15V $V_O = 2.5\text{V}$	83	70	63	dB
			<b>68</b>	<b>61</b>	min
Negative Power Supply Rejection Ratio	0V $V^-$ - 10V	94	84	74	dB
			<b>83</b>	<b>73</b>	min
Input Common-Mode Voltage Range	$V^+ = 5\text{V}$ and 15V For CMRR 50 dB	- 0.4	- 0.1	- 0.1	V
			<b>0</b>	<b>0</b>	max
			$V^+ - 1.9$	$V^+ - 2.3$	$V^+ - 2.3$
Large Signal Voltage Gain	$R_L = 100\text{k}$ (Note 5) Sourcing	1000	400	300	V/mV
			<b>300</b>	<b>200</b>	min
			500	180	90
	$R_L = 5\text{k}$ (Note 5) Sourcing	1000	200	100	V/mV
			<b>160</b>	<b>80</b>	min
			250	100	50
Sinking	250	60	40	min	

### DC 電気的特性 (つづき)

特記のない限り全ての規格値は、 $T_A = T_J = 25$  を保証されます。太文字で表記される規格値は、全温度範囲に適用されます。特記のない限り  $V^+ = 5V$ 、 $V^- = 0V$ 、 $V_{CM} = 1.5V$ 、 $V_O = V^+ / 2$ 、そして  $R_L > 1M$  が適用されます。

Parameter	Conditions	Typ	LPC662AI Limit (Note 4)	LPC662I Limit (Note 4)	Units	
Output Swing	$V^+ = 5V$ $R_L = 100\text{ k}$ to $V^+ / 2$	4.987	4.970	4.940	V	
			<b>4.950</b>	<b>4.910</b>	min	
		0.004	0.030	0.060	V	
			<b>0.050</b>	<b>0.090</b>	max	
		$V^+ = 5V$ $R_L = 5\text{ k}$ to $V^+ / 2$	4.940	4.850	4.750	V
				<b>4.750</b>	<b>4.650</b>	min
	0.040		0.150	0.250	V	
			<b>0.250</b>	<b>0.350</b>	max	
	$V^+ = 15V$ $R_L = 100\text{ k}$ to $V^+ / 2$	14.970	14.920	14.880	V	
			<b>14.880</b>	<b>14.820</b>	min	
		0.007	0.030	0.060	V	
			<b>0.050</b>	<b>0.090</b>	max	
$V^+ = 15V$ $R_L = 5\text{ k}$ to $V^+ / 2$		14.840	14.680	14.580	V	
			<b>14.600</b>	<b>14.480</b>	min	
	0.110	0.220	0.320	V		
		<b>0.300</b>	<b>0.400</b>	max		
Output Current $V^+ = 5V$	Sourcing, $V_O = 0V$	22	16	13	mA	
			<b>14</b>	<b>11</b>	min	
	Sinking, $V_O = 5V$	21	16	13	mA	
			<b>14</b>	<b>11</b>	min	
Output Current $V^+ = 15V$	Sourcing, $V_O = 0V$	40	28	23	mA	
			<b>25</b>	<b>20</b>	min	
	Sinking, $V_O = 13V$ (Note 11)	39	28	23	mA	
			<b>24</b>	<b>19</b>	min	
Supply Current	Both Amplifiers $V_O = 1.5V$	86	120	140	$\mu A$	
			<b>140</b>	<b>160</b>	max	

## AC 電氣的特性

特記のない限り、全ての規格値は  $T_J = +25$  にて保証されます。太字にて表記される数値は全温度動作範囲にて適用されます。特記のない限り、 $V^+ = +5V$ 、 $V^- = 0V$ 、 $V_{CM} = +1.5V$ 、 $V_O = +2.5V$  および  $R_L > 1M$  が適用されます。

Parameter	Conditions	Typ	LPC662AI Limit (Note 4)	LPC662I Limit (Note 4)	Units
Slew Rate	(Note 6)	0.11	0.07	0.05	V/ $\mu$ s min
			<b>0.05</b>	<b>0.03</b>	
Gain-Bandwidth Product		0.35			MHz
Phase Margin		50			Deg
Gain Margin		17			dB
Amp-to-Amp Isolation	(Note 7)	130			dB
Input Referred Voltage Noise	$F = 1$ kHz	42			nV/ $\sqrt{Hz}$
Input Referred Current Noise	$F = 1$ kHz	0.0002			pA/ $\sqrt{Hz}$
Total Harmonic Distortion	$F = 1$ kHz, $A_V = -10$ , $V^+ = 15V$ $R_L = 100$ k $\Omega$ , $V_O = 8$ V <sub>pp</sub>	0.01			%

**Note 1:** 単一電源および両電源での動作に適用します。周囲温度上昇時に連続短絡状態（または複数のオペアンプが短絡状態）になると、150 の最大許容接合部温度を超えることがあります。±30mA 以上の出力電流で長時間にわたり IC を使用すると、IC の信頼性に悪影響を及ぼすことがあります。

**Note 2:** 最大消費電力は、 $T_{J(max)}$ 、 $J_A$ 、 $T_A$  の関数です。周囲温度に対する最大許容消費電力は  $P_D = (T_{J(max)} - T_A) / J_A$  で求められます。

**Note 3:** 絶対最大定格とは、IC に破壊が発生する可能性のある制限値をいいます。動作定格とは IC が機能する条件をいいますが、性能の規格値を保証するものではありません。仕様および試験条件の保証値に関しては電氣的特性を参照下さい。仕様の保証は、表記の試験条件にのみ適用されます。

**Note 4:** リミット値はテスト又は相関により保証されます。

**Note 5:**  $V^+ = +15V$ 、 $V_{CM} = +7.5V$ 、および  $R_L$  を 7.5V に接続します。電流ソース試験では +7.5V  $V_O = +11.5V$ 、電流シンク試験では +2.5V  $V_O = +7.5V$  を適用します。

**Note 6:**  $V^+ = +15V$ 、10V のステップ入力を持つ電圧フォロワーとして接続されます。規定数値は正および負のスレーレートのいずれか遅い方です。

**Note 7:** 入力についての記述です。 $V^+ = +15V$  であり  $R_L = 100k$  は  $V^+ / 2$  に接続されています。各アンプは順番に 1kHz で励起され、 $V_O = 13V_{pp}$  を出力します。

**Note 8:** (省略)

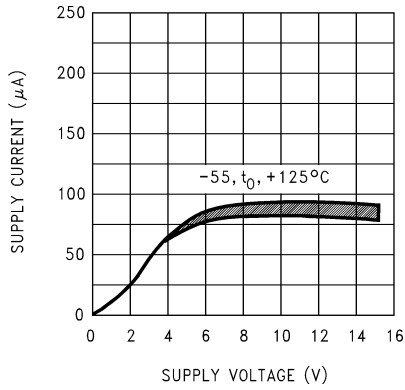
**Note 9:** 温度上昇時の動作では、熱抵抗  $J_A$  と  $P_D = (T_J - T_A) / J_A$  により、定格を下げなければなりません。

**Note 10:** 全ての値は、プリント基板に直接ハンダ付けしたパッケージに適用します。

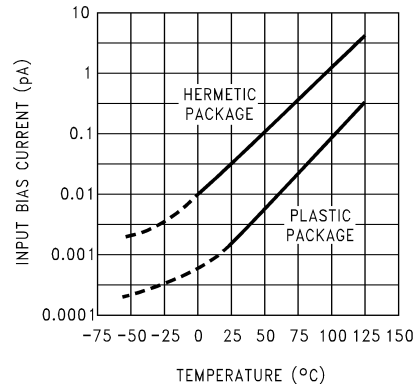
**Note 11:**  $V^+$  が 13V 以上の時、出力を  $V^+$  に接続してはいけません。接続すると IC の信頼性に悪影響を及ぼすことがあります。

代表的な性能特性 特記のない限り、 $V_S = \pm 7.5V$ 、 $T_A = 25$

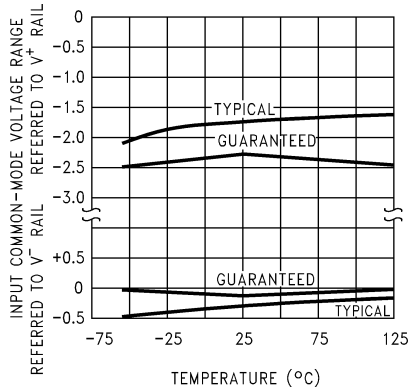
Supply Current vs Supply Voltage



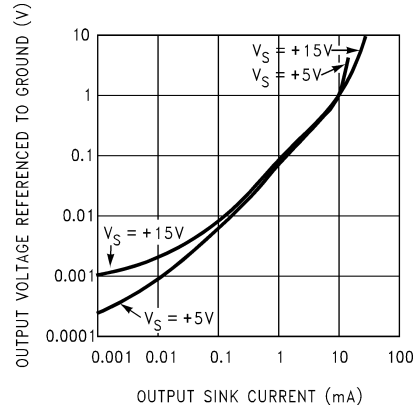
Input Bias Current vs Temperature



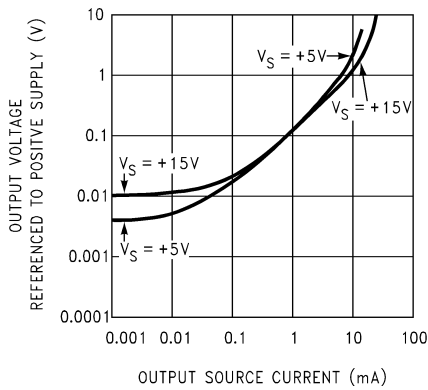
Input Common-Mode Voltage Range vs Temperature



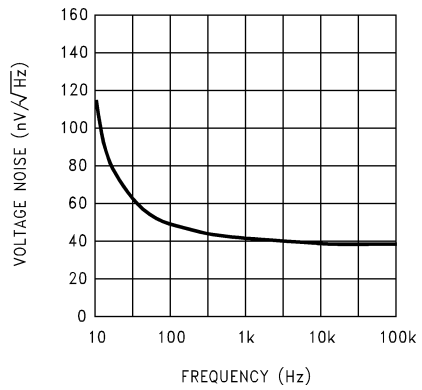
Output Characteristics Current Sinking



Output Characteristics Current Sourcing

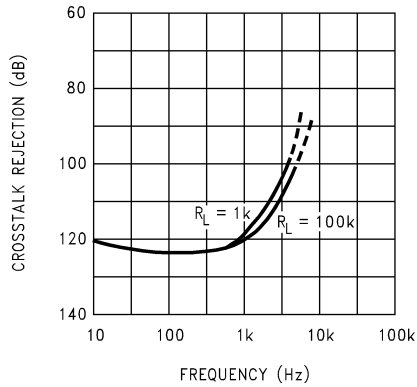


Input Voltage Noise vs Frequency

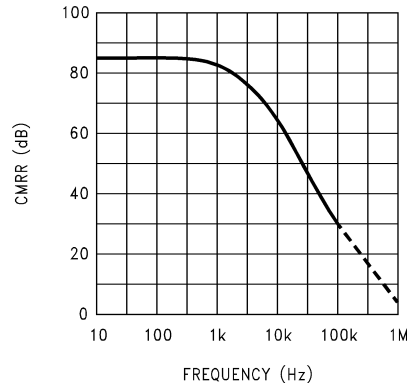


代表的な性能特性 特記のない限り、 $V_S = \pm 7.5V$ 、 $T_A = 25$  (つづき)

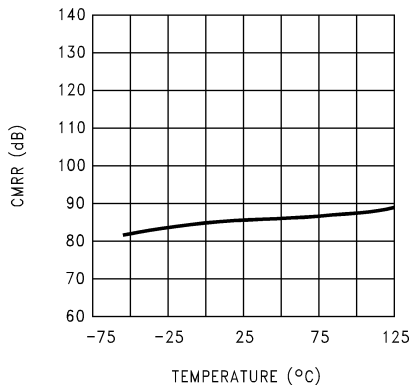
Crosstalk Rejection vs Frequency



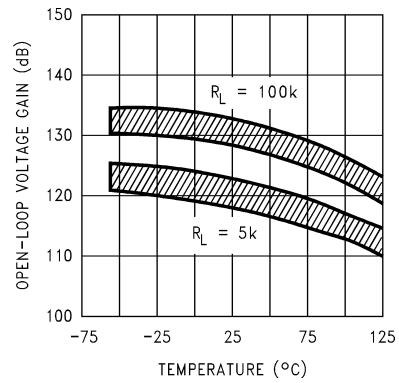
CMRR vs Frequency



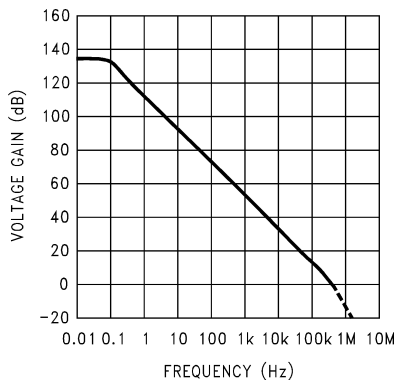
CMRR vs Temperature



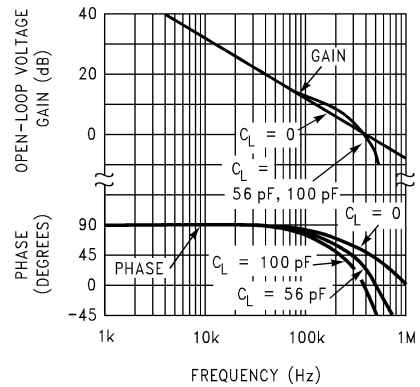
Open-Loop Voltage Gain vs Temperature



Open-Loop Frequency Response

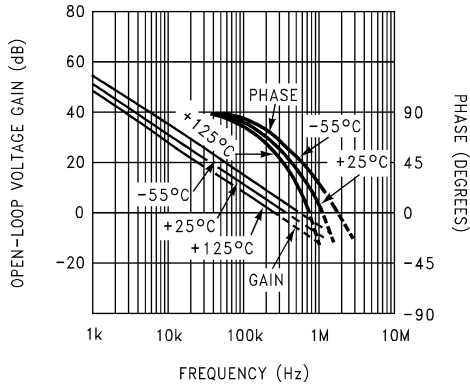


Gain and Phase Responses vs Load Capacitance

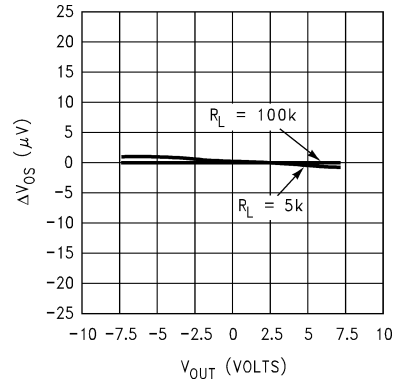


代表的な性能特性 特記のない限り、 $V_S = \pm 7.5V$ 、 $T_A = 25$  (つづき)

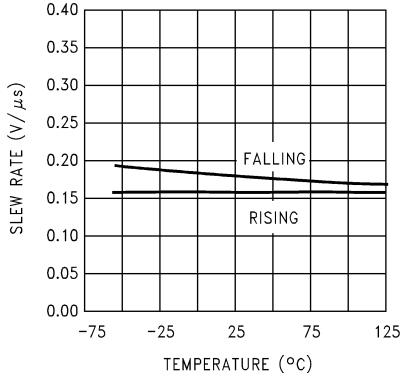
Gain and Phase Responses vs Temperature



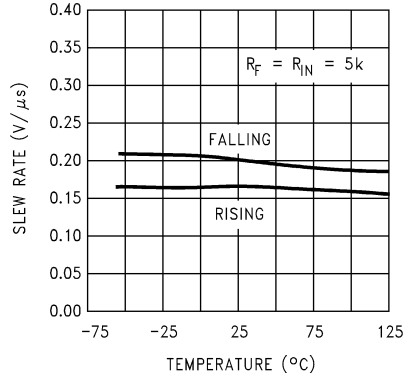
Gain Error ( $V_{OS}$  vs  $V_{OUT}$ )



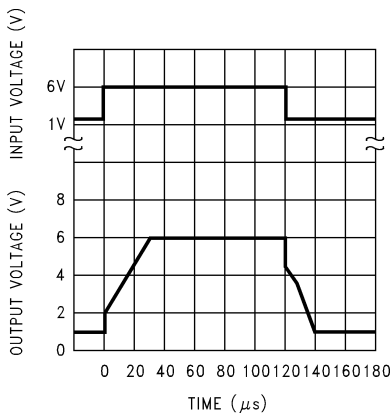
Non-Inverting Slew Rate vs Temperature



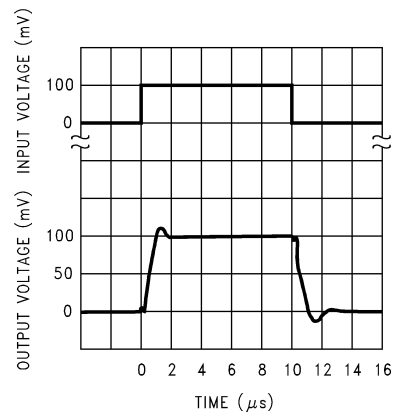
Inverting Slew Rate vs Temperature



Large-Signal Pulse Non-Inverting Response ( $A_V = +1$ )



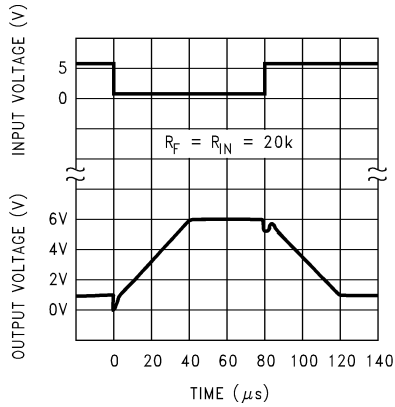
Non-Inverting Small Signal Pulse Response ( $A_V = +1$ )



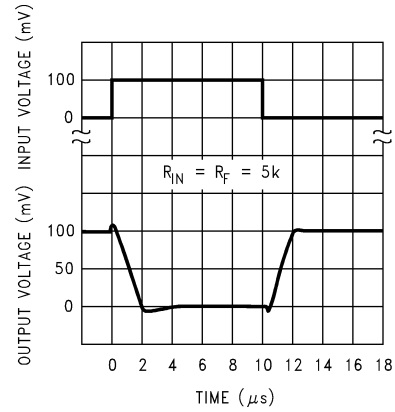


代表的な性能特性 特記のない限り、 $V_S = \pm 7.5V$ 、 $T_A = 25$  (つづき)

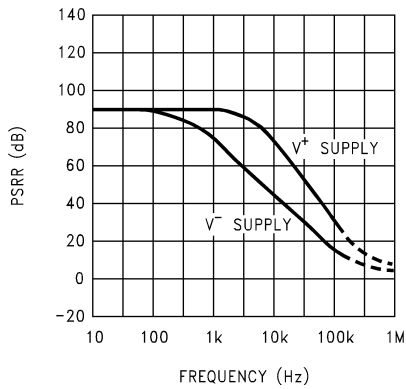
Inverting Large-Signal Pulse Response



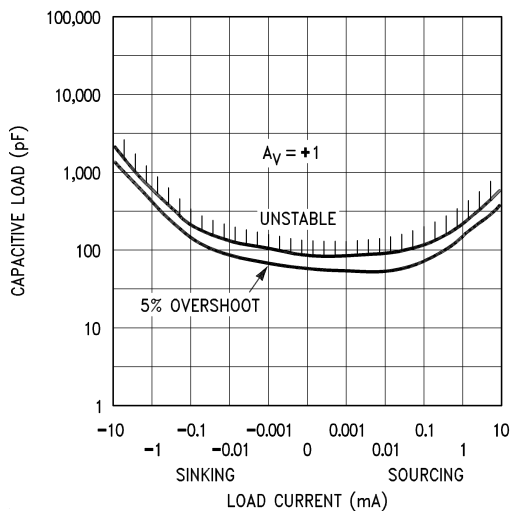
Inverting Small-Signal Pulse Response



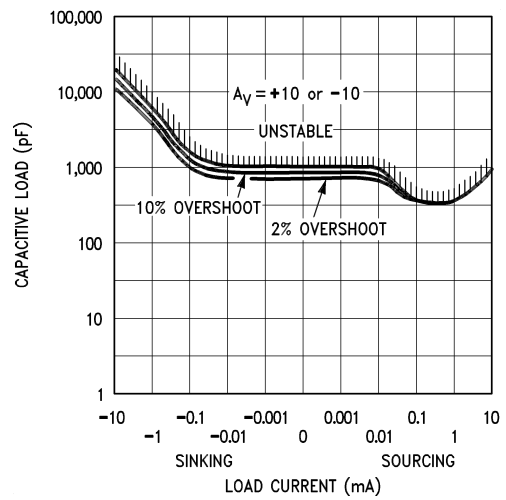
Power Supply Rejection Ratio vs Frequency



Stability vs Capacitive Load



Stability vs Capacitive Load



Note: 500 未満の抵抗負荷は、不安定性の原因になるので避けて下さい。

## アプリケーション・ヒント

### アンプの回路技術

LPC662 に採用された回路技術は、従来のユニティ・ゲインによるバッファ出力段が使用されていないという点で汎用オペアンプに比べ新しいものです。その代わりに、出力は積分器の出力から直接取っており、フルスイングの出力振幅が可能になっています。バッファは従来、オペアンプの高利得と高安定性を保持しながら電力を負荷に送るものであり、そして電源ラインのいずれかの短絡にも耐えねばならないので、現在はこのような機能は積分器をもたせています。

以上のような条件を満たさねばならないので積分器には、専用のユニティ・ゲイン補償ドライバから ( $C_f$  及び  $C_{ff}$  を通って) 順方向に二重に電流を供給される埋込み型利得段が組み合わされています。さらに、積分器の出力部分はプッシュプル構成になっており、重負荷もドライブできるようになっています。電流を減少させる時には、アンプの経路全体は利得段 3 つで構成され、その内の 1 つに順方向に電流が流れます。一方、電流を増大させる時には経路全体は利得段 4 つで構成され、その内の 2 つに順方向の電流が流れます。

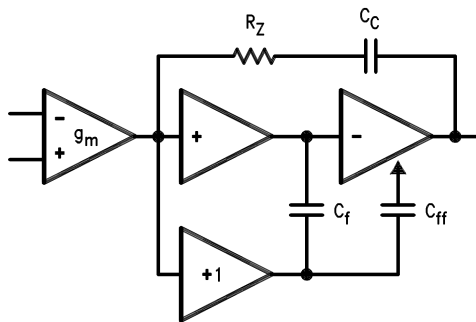


FIGURE 1. LPC662 Circuit Topology (Each Amplifier)

電流増大時の最低 5k の負荷抵抗に対する信号電圧利得が大きいことは従来のバイポーラオペアンプに匹敵するものです。電流減少時の利得は利得段が追加されたため、ほとんどの CMOS オペアンプより先高くなっていますが、5k 以下の負荷抵抗を駆動するときには利得は電気的特性に示すように減少します。本オペアンプは 500 の低負荷抵抗の安定したドライブを行うことができます。

### 入力容量の補償

入力容量の補償に帰還コンデンサが必要かどうか、またコンデンサの容量はどれだけ必要か調べるのには、LMC660 または LMC662 のデータシートを参照して下さい。

### 容量性負荷許容値

他の多くのオペアンプと同様に、LPC662 は負荷が容量性であると発振することがあります。発振のスレッシュホールドは、負荷および回路利得の両方で変化します。最も発振しやすい構成はユニティゲインフォロワです。代表的な性能特性の項を参照して下さい。

負荷容量はオペアンプの出力抵抗と相互に作用し合い新しいポールを作ります。このポールの周波数が低過ぎると、オペアンプの位相マージンが低下し低利得においてはアンプが不安定になってしまいます。オペアンプの出力に小さな抵抗 (50 から 100  $\Omega$ ) を 1 つ直列に追加し、コンデンサ (5pF から 10pF) を反転入力ピンと出力ピン間に 1 つ追加すれば位相マージンは低周波数回路の動作に干渉を及ぼすことなく安全な値に戻ります。したがって、発振することなしに大容量を許容することができます。ただし、負荷容量による発振が始まるスレッシュホールドに近づけば必ず出力にリングングが発生するので注意して下さい。

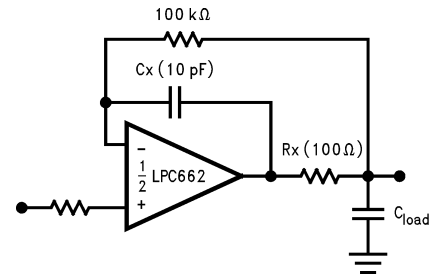


FIGURE 2.  $R_x$ ,  $C_x$  Improve Capacitive Load Tolerance

容量性負荷のドライブ機能を高めるには、 $V^+$  に対してプルアップ抵抗を用います (Figure 3 参照)。通常、50 $\mu$ A 以上を流すプルアップ抵抗を用いると、大幅に容量性負荷応答が高まります。

プルアップ抵抗の数値は、希望の出力振幅を持つアンプの電流シンク機能に基づき決定します。アンプのオープンループ利得もプルアップ抵抗の影響を受けます (電気的特性を参照)。

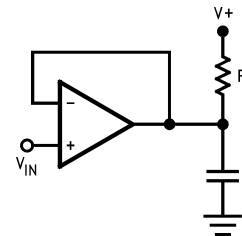


FIGURE 3. Compensating for Large Capacitive Loads with A Pull Up Resistor

### 高インピーダンス仕様の PC ボードのレイアウト

1000pA 以下のリーク電流で動作させなければならない回路では、特別な PC ボードレイアウトが必要であることが一般に知られています。Typ 値が通常 0.04pA 以下という LPC662 の超低バイアス電流を最大限に利用するためには、最適なレイアウトが不可欠です。幸い、リーク電流を小さくする方法は簡単です。まず、たとえ PC ボードの表面リーク電流が許容できるほど小さくても無視してはいけません。というのは、ゴミや汚れが多いと、表面リーク電流が無視できない大きさになるからです。

表面リーク電流の影響を最小限にするために、LPC662 の入力部、およびオペアンプの入力部に接続されているコンデンサ、ダイオード、導体、抵抗、リレーなどのパッドに隣接している Figure 4 に示すように、銅箔リングで完全に囲んで下さい。より効果を上るために、ガードリングを PC ボードの両面に装着して下さい。次に PC 箔をリーク電流を流れなくするためオペアンプの入力部と同じ電源に接続して下さい。なぜならば、同一電位の 2 点間にはリーク電流は流れないからです。例えば、PC ボードのトレースパッド間の抵抗が  $10^{12}$  であれば、通常なら非常に大きな抵抗と考えられますが、トレースが入力部のパッドに隣接している 5V バスの場合には、実際、5pA のリーク電流が流れます。これだけで LPC662 の性能が 100 倍も低下してしまいます。しかし、ガードリングを装着して入力を 5mV 以内に抑えれば、 $10^{11}$  の抵抗でもリーク電流はわずか 0.05pA で、オペアンプの性能は少ししか (1/2) 低下しません。標準オペアンプ構成に対するガードリングの代表的な接続方法については、Figure 5a、5b、5c を参照して下さい。両方の入力部が高インピーダンスかつアクティブであるならばガードリングでグラウンドを覆うだけでも、ある程度の効果があります。Figure 5d を参照して下さい。

## アプリケーション・ヒント(つづき)

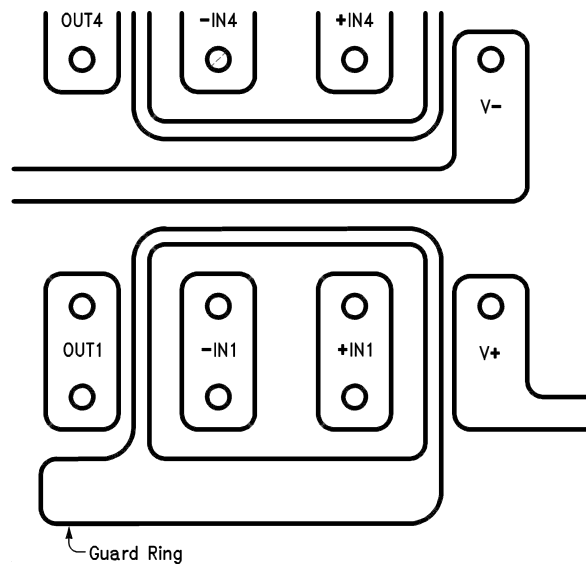


FIGURE 4. Example of Guard Ring in P.C. Board Layout, using the LPC662

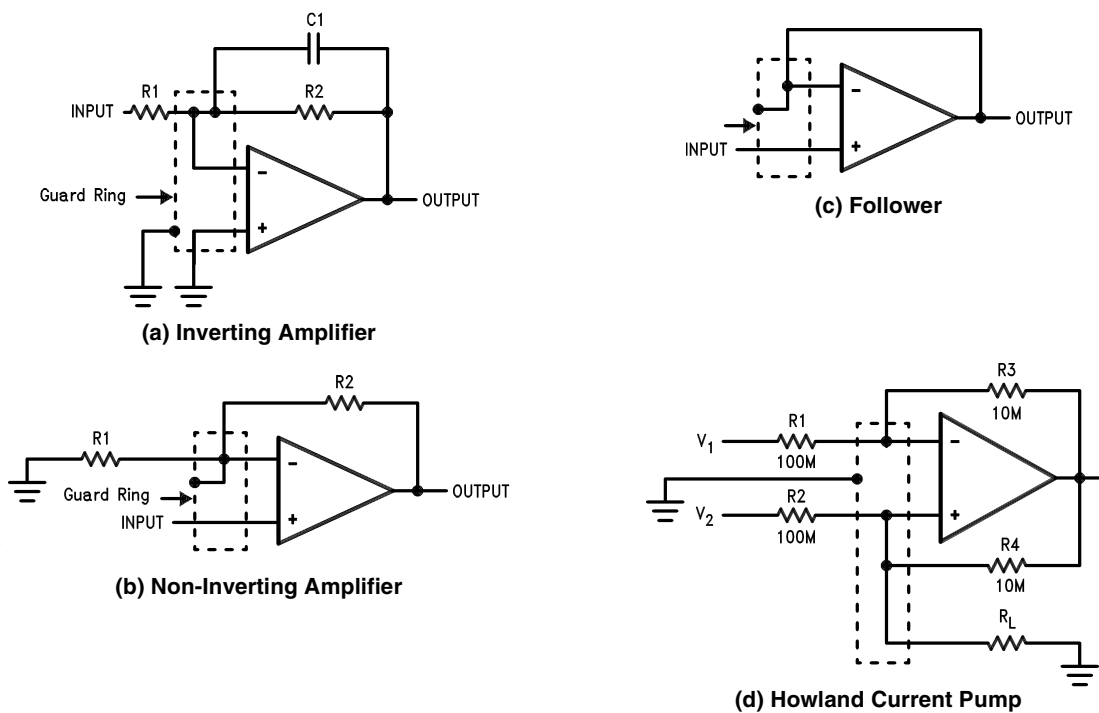
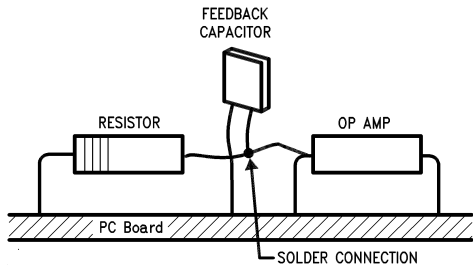


FIGURE 5. Guard Ring Connections

少数の回路のためだけにPCボードのレイアウトをするのは不適切であると考えている設計者の方には、ボードにガードリングを装着するより先っとう簡便な方法があります。この方法をとるときは、決してオペアンプの入力ピンをボードに挿し込んではいけません。そうではなく入力ピンを上に向けて曲げ、空気を絶縁体として使って

下さい。空気は優れた絶縁体です。しかしPCボードの一部の利点を犠牲にしなければなりません。とはいえ、苦労してポイント間の空中配線をするだけの価値は十分にあります。Figure 6を参照して下さい。

アプリケーション・ヒント (つづき)



(入力ピンをPCボードから浮かして、部品に直接ハンダ付けします。それ以外のピンはPCボードに接続します。)

FIGURE 6. Air Wiring

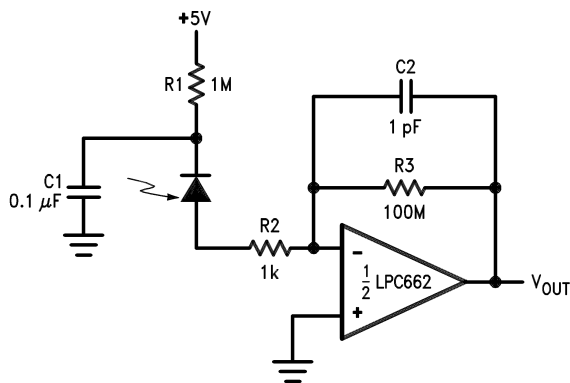
バイアス電流試験

Figure 7 の試験方法は、バイアス電流の正確なベンチマークテストに最適です。動作を理解するために、まずスイッチ S2 を一瞬閉じます。そして、S2 を開かれたとき流れるバイアス電流 ( $I^-$ ) は次式で得られます。

$$I^- = \frac{dV_{OUT}}{dt} \times C2.$$

代表的な単一電源アプリケーション ( $V^+ = 5.0V_{DC}$ )

Photodiode Current-to-Voltage Converter



**Note:** フォトダイオードに 5V のバイアスをかけるとコンデンサ C1 の容量を 1/2 ~ 1/3 だけ減らすことができ、応答が改善され、ノイズも低減します。しかし、フォトダイオードにバイアスをかけると、リーク電流 (暗電流ともいう) が増加します。

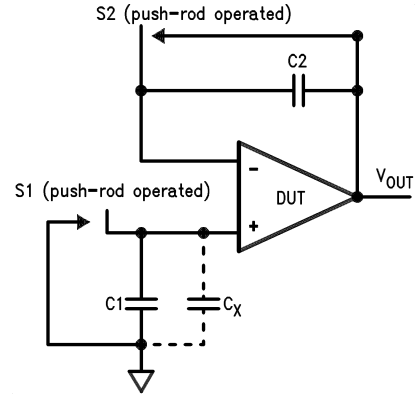


FIGURE 7. Simple Input Bias Current Test Circuit

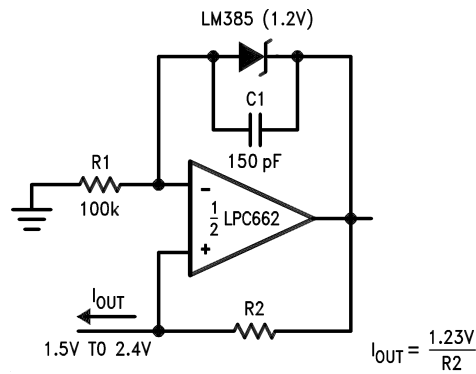
C2 に 5pF または 10pF のシルバードマイカ、NPO セラミック、あるいは空気誘電型コンデンサが適しています。  $I^-$  の大きさを決めるときには、コンデンサおよびソケットのリーク電流を考慮しなければなりません。スイッチ S2 はテスト時短絡させたままにしておきます。短絡させないとコンデンサ C2 の誘電吸収により誤差が生じることがあります。

同様に、S1 が一瞬短絡させたとき (S2 は短絡させたまま) 流れるバイアス電流は次式で得られます。

$$I^+ = \frac{dV_{OUT}}{dt} \times (C1 + C_X)$$

ここで  $C_X$  は + 入力の浮遊容量です。

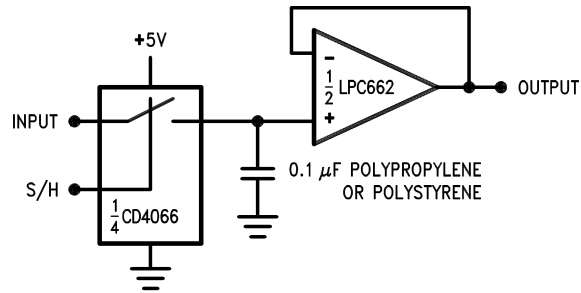
Micropower Current Source



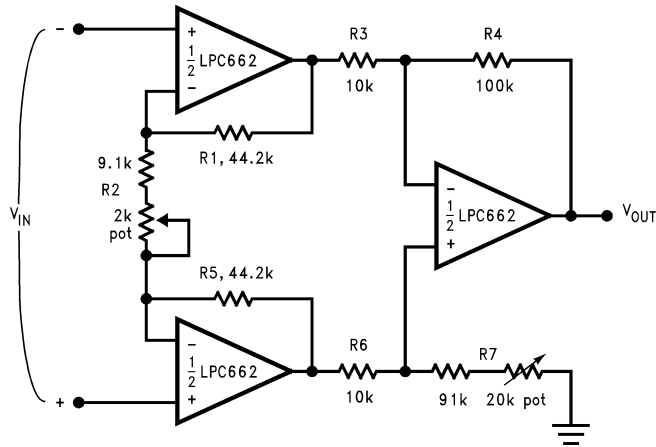
**Note:** (出力範囲の上限は同相入力電圧範囲にしたがって変化します。下限は LM385 の最小電流条件で決まります。)

## 代表的な単一電源アプリケーション (V<sup>+</sup> = 5.0V<sub>DC</sub>) (つづき)

### Low-Leakage Sample-and-Hold



### Instrumentation Amplifier



If  $R_1 = R_5$ ,  $R_3 = R_6$  and  $R_4 = R_7$ ; then

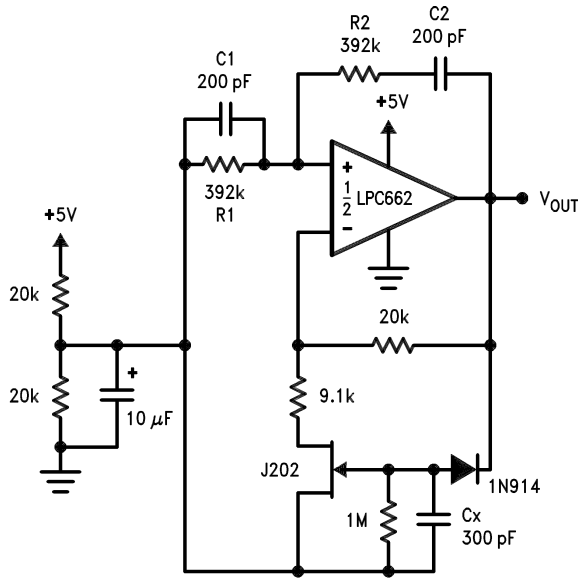
$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2 + 2R_1}{R_2} \times \frac{R_4}{R_3}$$

$\therefore A_v \approx 100$  for circuit shown.

全ての抵抗は最低 1%の許容誤差が必要です。R3とR6、R4とR7とが触れるとCMRRが劣化します。利得はR2で調節できます。CMRRはR7で調節できます。

代表的な単一電源アプリケーション (V<sup>+</sup> = 5.0V<sub>DC</sub>) (つづき)

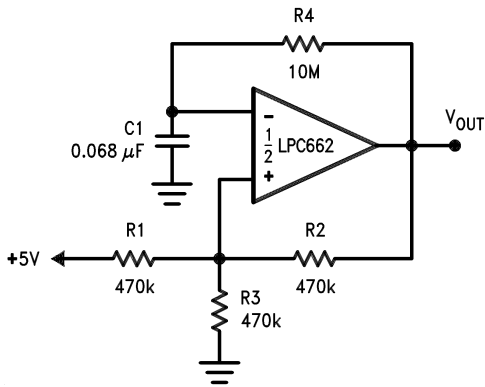
Sine-Wave Oscillator



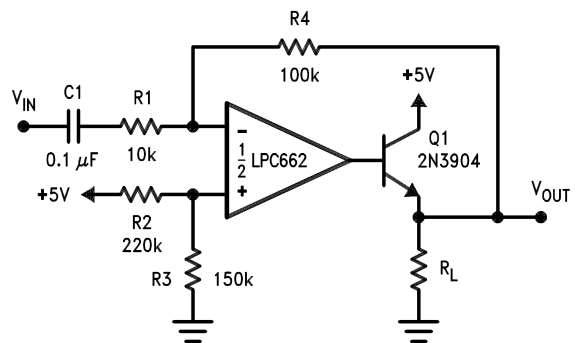
発振周波数は R1、R2、C1、C2 で決まります。  
 $R = R1 = R2, C = C1 = C2$  とすると、  
 $f_{osc} = 1/2 RC$

上記の回数はピーク・ツー・ピークの出力振幅が 4.5V、2.0kHz の周波数で発振します。

1 Hz Square-Wave Oscillator

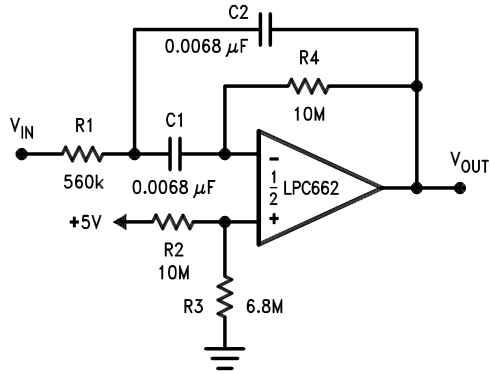


Power Amplifier



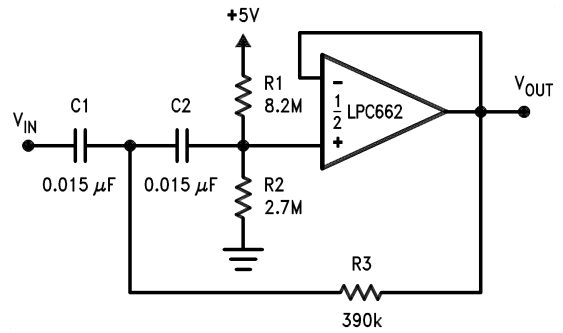
代表的な単一電源アプリケーション ( $V^+ = 5.0V_{DC}$ ) (つづき)

10 Hz Bandpass Filter



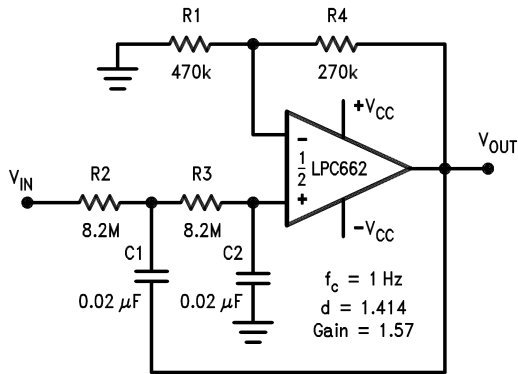
$f_0 = 10 \text{ Hz}$   
 $Q = 2.1$   
 ゲイン = - 8.8

10 Hz High-Pass Filter (2 dB Dip)



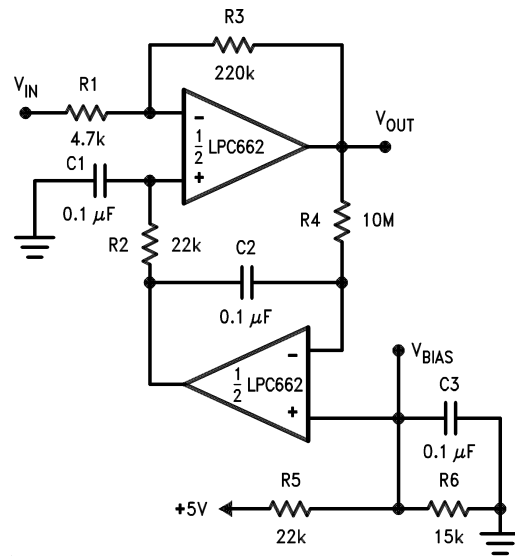
$f_c = 10 \text{ Hz}$   
 $d = 0.895$   
 ゲイン = 1

1 Hz Low-Pass Filter  
 (Maximally Flat, Dual Supply Only)



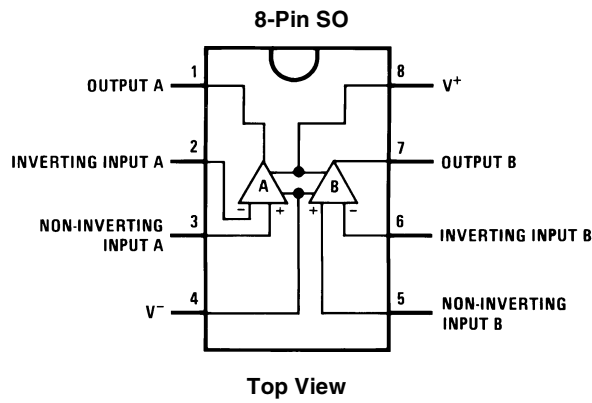
$f_c = 1 \text{ Hz}$   
 $d = 1.414$   
 Gain = 1.57

High Gain Amplifier with Offset Voltage Reduction



ゲイン = - 46.8  
 出力オフセット電圧は、 $V_{BIAS}$  を基準にして、下部オペアンプの入力オフセット電圧レベルまで低下します (代表値は 1mV)。

配置図

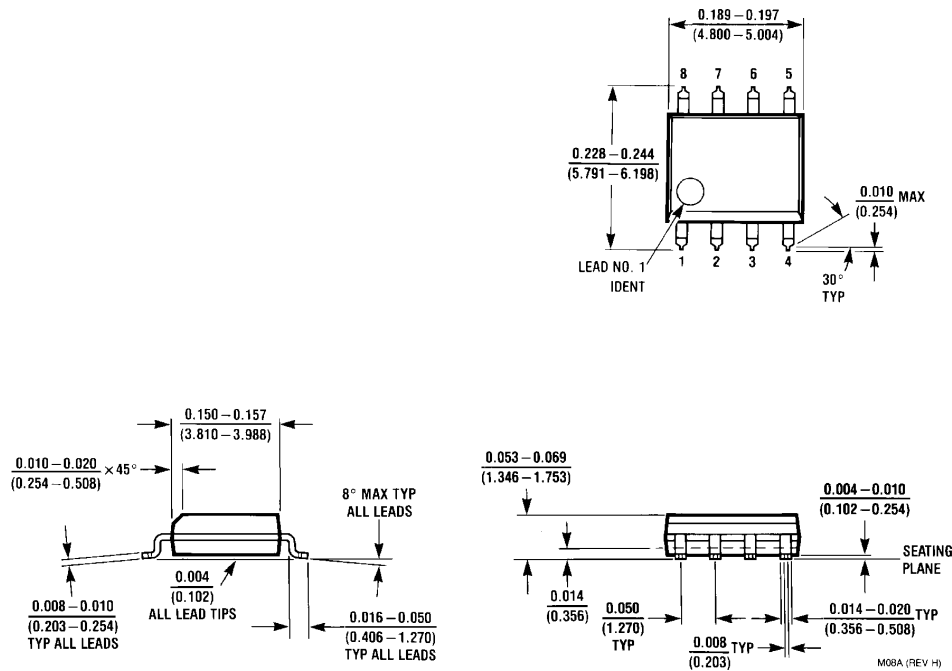


製品情報

Package	Temperature Range	NSC Drawing	Transport Media
	Industrial		
8-Pin Small Outline	LPC662AIM or LPC662IM	M08A	Rail Tape and Reel



**外形寸法図** 特記のない限り inches (millimeters)



**8-Pin Small Outline Molded Package (M)**  
**Order Number LPC662AIM or LPC662IM**  
**NS Package Number M08A**

**生命維持装置への使用について**

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

<http://www.national.com/JPN/>

その他のお問い合わせはフリーダイヤルをご利用下さい。

 **0120-666-116**

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上