

# SN74AC573 3 ステート出力、オクタール D タイプ・トランスペアレント・ラッチ

## 1 特長

- 2V~6V の  $V_{CC}$  で動作
- 6V までの入力電圧に対応
- 最大  $t_{pd}$  9ns (5V 時)
- 3 ステート出力はバスラインを直接駆動

## 2 アプリケーション

- バッファ・レジスタ
- 双方向バス・ドライバ
- 作業レジスタ

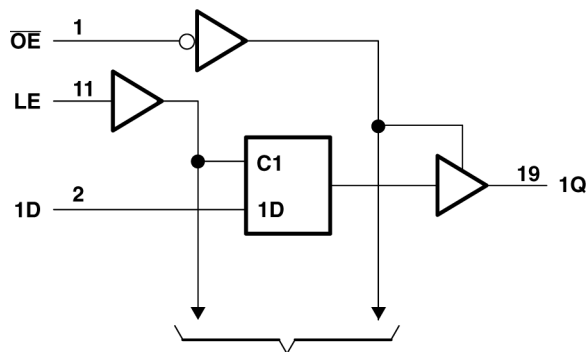
## 3 概要

これらの 8 ビット ラッチは、大きな容量性負荷または比較的低いインピーダンスの負荷の駆動用に設計された 3 ステート出力を備えています。本デバイスは、バッファレジスタ、I/O ポート、双方向バスドライバ、作業レジスタの実装に特に適しています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>	本体サイズ <sup>(3)</sup>
SN74AC573	RKS (VQFN, 20)	4.5mm × 2.5mm	4.5mm × 2.5mm
	DB (SSOP, 20)	7.2 mm × 7.8 mm	7.2mm × 5.30mm
	DGV (TVSOP, 20)	5 mm × 6.4 mm	5mm × 4.4mm
	DW (SOIC, 20)	12.8 mm × 10.3 mm	12.80mm × 7.50mm
	NS (SOP, 20)	12.6 mm × 7.8 mm	12.6mm × 5.3mm
	N (PDIP, 20)	24.33 mm × 9.4 mm	24.33mm × 6.35mm
	PW (TSSOP, 20)	6.5 mm × 6.4 mm	6.50mm × 4.40mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



To Seven Other Channels

論理図 (正論理)



## 目次

<b>1 特長</b> .....	<b>1</b>	<b>7 詳細説明</b> .....	<b>8</b>
<b>2 アプリケーション</b> .....	<b>1</b>	7.1 概要.....	8
<b>3 概要</b> .....	<b>1</b>	7.2 機能ブロック図.....	8
<b>4 ピン構成および機能</b> .....	<b>3</b>	7.3 デバイスの機能モード.....	8
<b>5 仕様</b> .....	<b>4</b>	<b>8 アプリケーションと実装</b> .....	<b>9</b>
5.1 絶対最大定格.....	4	8.1 電源に関する推奨事項.....	9
5.2 推奨動作条件.....	4	8.2 レイアウト.....	9
5.3 熱に関する情報.....	5	<b>9 デバイスおよびドキュメントのサポート</b> .....	<b>11</b>
5.4 電気的特性.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	11
5.5 タイミング要件、 $V_{CC} = 3.3V \pm 0.3V$ .....	5	9.2 サポート・リソース.....	11
5.6 タイミング要件、 $V_{CC} = 5V \pm 0.5V$ .....	6	9.3 商標.....	11
5.7 スイッチング特性、 $V_{CC} = 3V \pm 0.3V$ .....	6	9.4 静電気放電に関する注意事項.....	11
5.8 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$ .....	6	9.5 用語集.....	11
5.9 動作特性.....	6	<b>10 改訂履歴</b> .....	<b>11</b>
<b>6 パラメータ測定情報</b> .....	<b>7</b>	<b>11 メカニカル、パッケージ、および注文情報</b> .....	<b>11</b>

## 4 ピン構成および機能

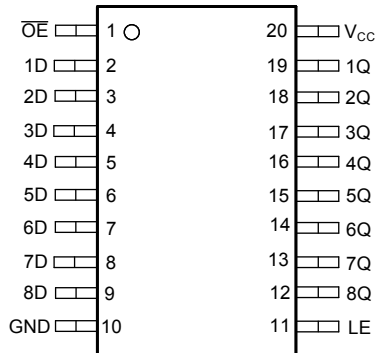


図 4-1. DB、DGV、DW、NS、N、または PW パッケージ、20 ピン SSOP、TVSOP、SOIC、SOP、PDIP または TSSOP (上面図)

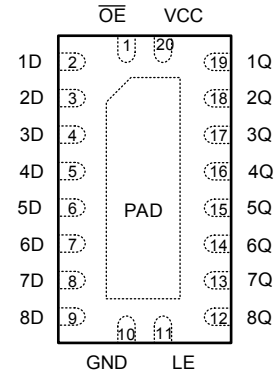


図 4-2. RKS パッケージ、20 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
OE	1	I	出力イネーブル
1D	2	I	1D 入力
2D	3	I	2D 入力
3D	4	I	3D 入力
4D	5	I	4D 入力
5D	6	I	5D 入力
6D	7	I	6D 入力
7D	8	I	7D 入力
8D	9	I	8D 入力
GND	10	—	グラウンド
LE	11	I	ラッチ イネーブル入力
8Q	12	O	8Q 出力
7Q	13	O	7Q 出力
6Q	14	O	6Q 出力
5Q	15	O	5Q 出力
4Q	16	O	4Q 出力
3Q	17	O	3Q 出力
2Q	18	O	2Q 出力
1Q	19	O	1Q 出力
Vcc	20	—	パワー ピン
サーマル パッド(2)		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、P = 電源。

(2) RKS パッケージのみ。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧範囲	-0.5	+7	V
V <sub>I</sub> <sup>2</sup>	入力電圧範囲	-0.5	V <sub>CC</sub> + 0.5	V
V <sub>O</sub> <sup>2</sup>	出力電圧範囲	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	入力クランプ電流	(V <sub>I</sub> < 0 または V <sub>I</sub> > V <sub>CC</sub> )		±20 mA
I <sub>OK</sub>	出力クランプ電流	(V <sub>O</sub> < 0 または V <sub>O</sub> > V <sub>CC</sub> )		±20 mA
I <sub>O</sub>	連続出力電流	(V <sub>O</sub> = 0 ~ V <sub>CC</sub> )		±50 mA
	V <sub>CC</sub> または GND を通過する連続電流			±200 mA
T <sub>stg</sub>	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

### 5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)<sup>1</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧	2	6	V
V <sub>IH</sub>	High レベル入力電圧	V <sub>CC</sub> = 3V	2.1	V
		V <sub>CC</sub> = 4.5V	3.15	
		V <sub>CC</sub> = 5.5V	3.85	
V <sub>IL</sub>	Low レベル入力電圧	V <sub>CC</sub> = 3V	0.9	V
		V <sub>CC</sub> = 4.5V	1.35	
		V <sub>CC</sub> = 5.5V	1.65	
V <sub>I</sub>	入力電圧	0	V <sub>CC</sub>	V
V <sub>O</sub>	出力電圧	0	V <sub>CC</sub>	V
I <sub>OH</sub>	High レベル出力電流	V <sub>CC</sub> = 3V	-12	mA
		V <sub>CC</sub> = 4.5V	-24	
		V <sub>CC</sub> = 5.5V	-24	
I <sub>OL</sub>	Low レベル出力電流	V <sub>CC</sub> = 3V	12	mA
		V <sub>CC</sub> = 4.5V	24	
		V <sub>CC</sub> = 5.5V	24	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート		8	ns/V
T <sub>A</sub>	自由気流での動作温度	-40	85	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

### 5.3 熱に関する情報

熱評価基準	SN74AC573						単位
	DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	RKS (VQFN)	
	20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
R <sub>θJA</sub> 接合部から周囲への熱抵抗 <sup>(1)</sup>	101.2	70	69	60	126.2	68	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

### 5.4 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN74AC573		単位
			最小値	標準値	最大値	最小値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -50μA	3V	2.9		2.9		V	
		4.5V	4.4		4.4			
		5.5V	5.4		5.4			
	I <sub>OH</sub> = -12 mA	3V	2.58		2.48			
		4.5V	3.94		3.8			
		5.5V	4.94		4.8			
I <sub>OH</sub> = -24 mA	5.5V			3.85				
V <sub>OL</sub>	I <sub>OL</sub> = 50μA	3V	0.1		0.1		V	
		4.5V	0.1		0.1			
		5.5V	0.1		0.1			
	I <sub>OL</sub> = 12mA	3V	0.36		0.44			
		4.5V	0.36		0.44			
		5.5V	0.36		0.44			
I <sub>OL</sub> = 24 mA	5.5V			1.65				
I <sub>I</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5.5V	±0.1		±1		μA	
I <sub>OZ</sub>	V <sub>O</sub> = V <sub>CC</sub> または GND	5.5V	±0.25		±2.5		μA	
I <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND、 I <sub>O</sub> = 0	5.5V	4		40		μA	
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	5V	5				pF	

(1) 一度に複数の出力をテストすることはできません。また、テスト期間は 10ms を超えないようにしてください。

### 5.5 タイミング要件、V<sub>CC</sub> = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内、V<sub>CC</sub> = 3.3V±0.3V (特に記述のない限り) (負荷回路および電圧波形を参照)

		T <sub>A</sub> = 25°C		SN74AC573		単位
		最小値	最大値	最小値	最大値	
t <sub>w</sub>	パルス幅、LE High	6		7		ns
t <sub>su</sub>	セットアップ時間、LE ↓ 前のデータ	3.5		4		ns
t <sub>h</sub>	ホールド時間、LE ↓ 後のデータ	2		2		ns

## 5.6 タイミング要件、 $V_{CC} = 5V \pm 0.5V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$  (特に記述のない限り) (負荷回路および電圧波形を参照)

		$T_A = 25^\circ\text{C}$		SN74AC573		単位
		最小値	最大値	最小値	最大値	
$t_w$	パルス幅、LE High	4		5		ns
$t_{su}$	セットアップ時間、LE ↓ 前のデータ	3		3.5		ns
$t_h$	ホールド時間、LE ↓ 後のデータ	2		2		ns

## 5.7 スイッチング特性、 $V_{CC} = 3V \pm 0.3V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 3V \pm 0.3V$  (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	$T_A = 25^\circ\text{C}$		SN74AC573		単位
			最小値	最大値	最小値	最大値	
$t_{PLH}$	D	Q	2.5	13	2	15	ns
$t_{PHL}$			2.5	12	2	14	
$t_{PLH}$	LE	Q	2.5	13	2	15	ns
$t_{PHL}$			2.5	12	2	14	
$t_{PZH}$	$\overline{OE}$	Q	2.5	11	2	12	ns
$t_{PZL}$			2.5	11	2	12.5	
$t_{PHZ}$	$\overline{OE}$	Q	2.5	12.5	2	13.5	ns
$t_{PLZ}$			2.5	9.5	2	10.5	

## 5.8 スイッチング特性、 $V_{CC} = 5V \pm 0.5V$

自由気流での推奨動作温度範囲内、 $V_{CC} = 5V \pm 0.5V$  (特に記述のない限り) (負荷回路および電圧波形を参照)

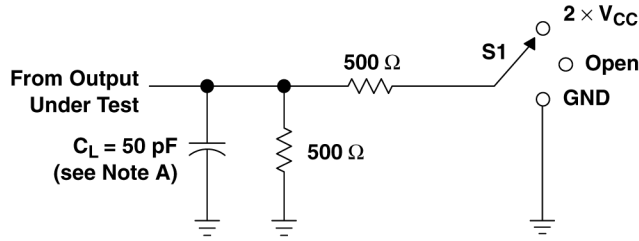
パラメータ	始点 (入力)	終点 (出力)	$T_A = 25^\circ\text{C}$		SN74AC573		単位
			最小値	最大値	最小値	最大値	
$t_{PLH}$	D	Q	2.5	10	2	11.5	ns
$t_{PHL}$			2.5	9.5	2	11	
$t_{PLH}$	LE	Q	2.5	9.5	2	11	ns
$t_{PHL}$			2.5	8.5	2	10	
$t_{PZH}$	$\overline{OE}$	Q	2.5	9	2	10	ns
$t_{PZL}$			2.5	8.5	2	9.5	
$t_{PHZ}$	$\overline{OE}$	Q	2.5	11	2	12	ns
$t_{PLZ}$			2.5	8	2	9	

## 5.9 動作特性

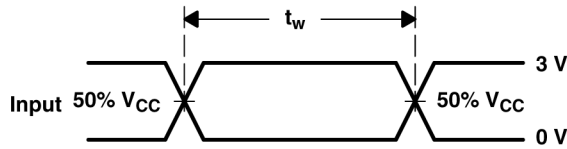
$V_{CC} = 5V$ 、 $T_A = 25^\circ\text{C}$

パラメータ	テスト条件	標準値	単位
$C_{pd}$ 電力散逸容量	$C_L = 50\text{pF}$ 、 $f = 1\text{MHz}$	25	pF

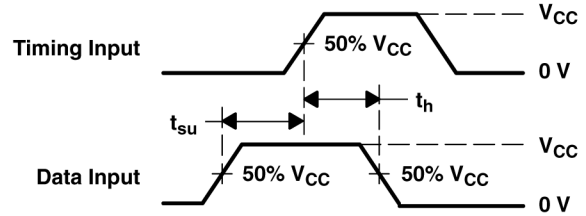
## 6 パラメータ測定情報



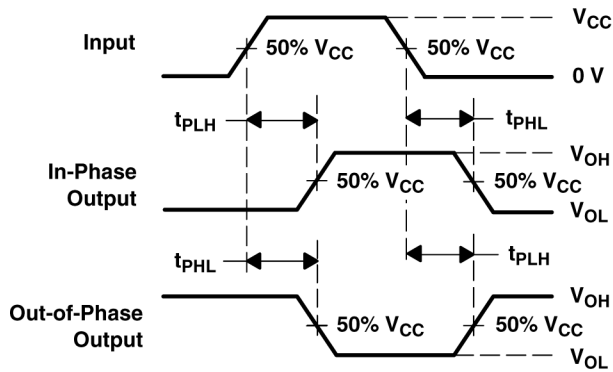
LOAD CIRCUIT



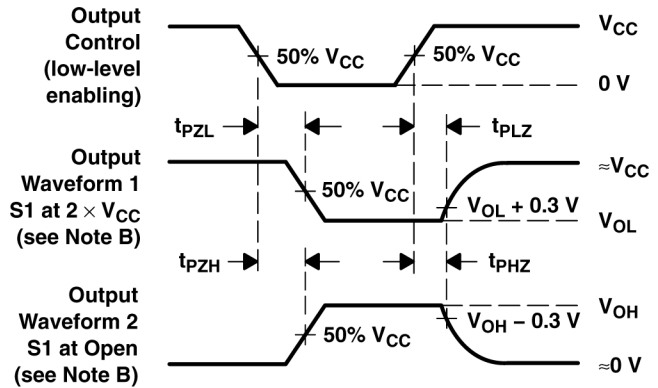
VOLTAGE WAVEFORMS



VOLTAGE WAVEFORMS



VOLTAGE WAVEFORMS



VOLTAGE WAVEFORMS

- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5\text{ns}$ 、 $t_f \leq 2.5\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

図 6-1. 負荷回路および電圧波形

表 6-1.

テスト	S1
$t_{PLH}/t_{PHL}$	オープン
$t_{PZL}/t_{PZL}$	$2 \times V_{CC}$
$t_{PHZ}/t_{PZH}$	オープン

## 7 詳細説明

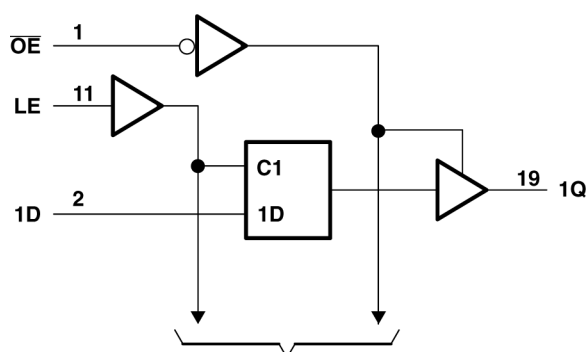
### 7.1 概要

8 つのラッチは D タイプのトランスペアレント ラッチです。ラッチ・イネーブル (LE) 入力が高 (HIGH) の場合、Q 出力はデータ (D) 入力に従います。LE を Low にすると、D 入力で設定されたロジックレベルで Q 出力がラッチされます。

バッファ付きの出力イネーブル ( $\overline{OE}$ ) 入力を使用して、8 つの出力を通常のロジック状態 (High または Low ロジックレベル) または高インピーダンス状態のいずれかにできます。高インピーダンス状態では、出力によってバスラインに大きな負荷がかかったり、駆動されたりしません。高インピーダンス状態と駆動性能の向上によって、インターフェイスまたはプルアップコンポーネントなしでバスラインの駆動が可能になります。

$\overline{OE}$  は、ラッチの内部動作に影響しません。出力が高インピーダンス状態にある間に、古いデータを保持することも新しいデータを入力することもできます。

### 7.2 機能ブロック図



To Seven Other Channels

図 7-1. 論理図 (正論理)

### 7.3 デバイスの機能モード

表 7-1. 機能表 (各ラッチ)

入力 <sup>(1)</sup>			出力 <sup>(2)</sup> Q
OE	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

- (1) H = High 電圧レベル、L = Low 電圧レベル、X = High または Low 電圧レベル  
 (2) H = High に駆動、L = Low に駆動、Q<sub>0</sub> = 直前の High または Low 状態に駆動、Z = 高インピーダンス



## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

### 8.1 電源に関する推奨事項

電源には、[セクション 5.2](#) 表に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。[セクション 5.1](#) 表に示すように、グランドまたは  $V_{CC}$  を流れる合計電流は  $\pm 70\text{mA}$  を超えてはいけません。

電源の障害を防止するため、各  $V_{CC}$  ピンに適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには  $0.1\mu\text{F}$  のコンデンサを推奨します。 $V_{CC}$  端子が複数ある場合は、各電源端子に  $0.01\mu\text{F}$  または  $0.022\mu\text{F}$  のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサを並列に使用します。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

### 8.2 レイアウト

#### 8.2.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。[レイアウト図](#) に示す仕様は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または  $V_{CC}$  のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。この場合、I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

8.2.2 レイアウト例

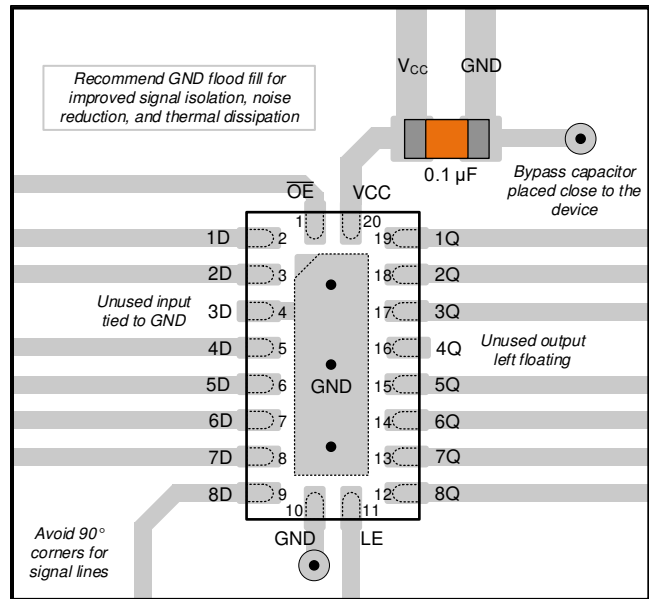


図 8-1. SN74AC573 のレイアウト例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (November 2023) to Revision H (February 2024)	Page
• パッケージ情報表に本体サイズを追加 .....	1
• R0JA の値を更新: DW = 58~101.2, PW = 83~126.2、値はすべて°C/W 単位.....	5
• 「アプリケーションと実装」セクションを追加 .....	9

Changes from Revision F (June 2023) to Revision G (November 2023)	Page
• パッケージリード サイズを含めるよう「パッケージ情報」表を更新 .....	1
• RKS パッケージ情報を追加 .....	1

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AC573DBR	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC573	<a href="#">Samples</a>
SN74AC573DBRG4	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC573	<a href="#">Samples</a>
SN74AC573DW	OBSOLETE	SOIC	DW	20		TBD	Call TI	Call TI	-40 to 85	AC573	
SN74AC573DWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573	<a href="#">Samples</a>
SN74AC573DWRG4	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC573	<a href="#">Samples</a>
SN74AC573N	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74AC573N	<a href="#">Samples</a>
SN74AC573NSR	ACTIVE	SO	NS	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC573	<a href="#">Samples</a>
SN74AC573PW	OBSOLETE	TSSOP	PW	20		TBD	Call TI	Call TI	-40 to 85	AC573	
SN74AC573PWR	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573	<a href="#">Samples</a>
SN74AC573PWRE4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC573	<a href="#">Samples</a>
SN74AC573RKSR	ACTIVE	VQFN	RKS	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AC573	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74AC573 :**

- Automotive : [SN74AC573-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC573DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74AC573DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AC573DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74AC573NSR	SO	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AC573PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AC573PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74AC573RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC573DBR	SSOP	DB	20	2000	356.0	356.0	35.0
SN74AC573DWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74AC573DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AC573NSR	SO	NS	20	2000	367.0	367.0	45.0
SN74AC573PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AC573PWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74AC573RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0



**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74AC573N	N	PDIP	20	20	506	13.97	11230	4.32

N (R-PDIP-T\*\*)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

# DW0020A



# PACKAGE OUTLINE

## SOIC - 2.65 mm max height

SOIC



**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0020A



# PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

### NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



# DB0020A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



4214851/B 08/2019

### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4214851/B 08/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

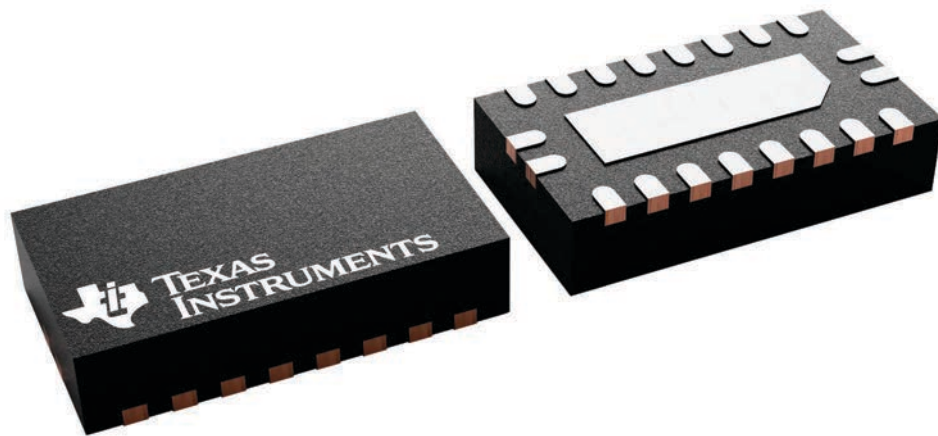
**RKS 20**

**VQFN - 1 mm max height**

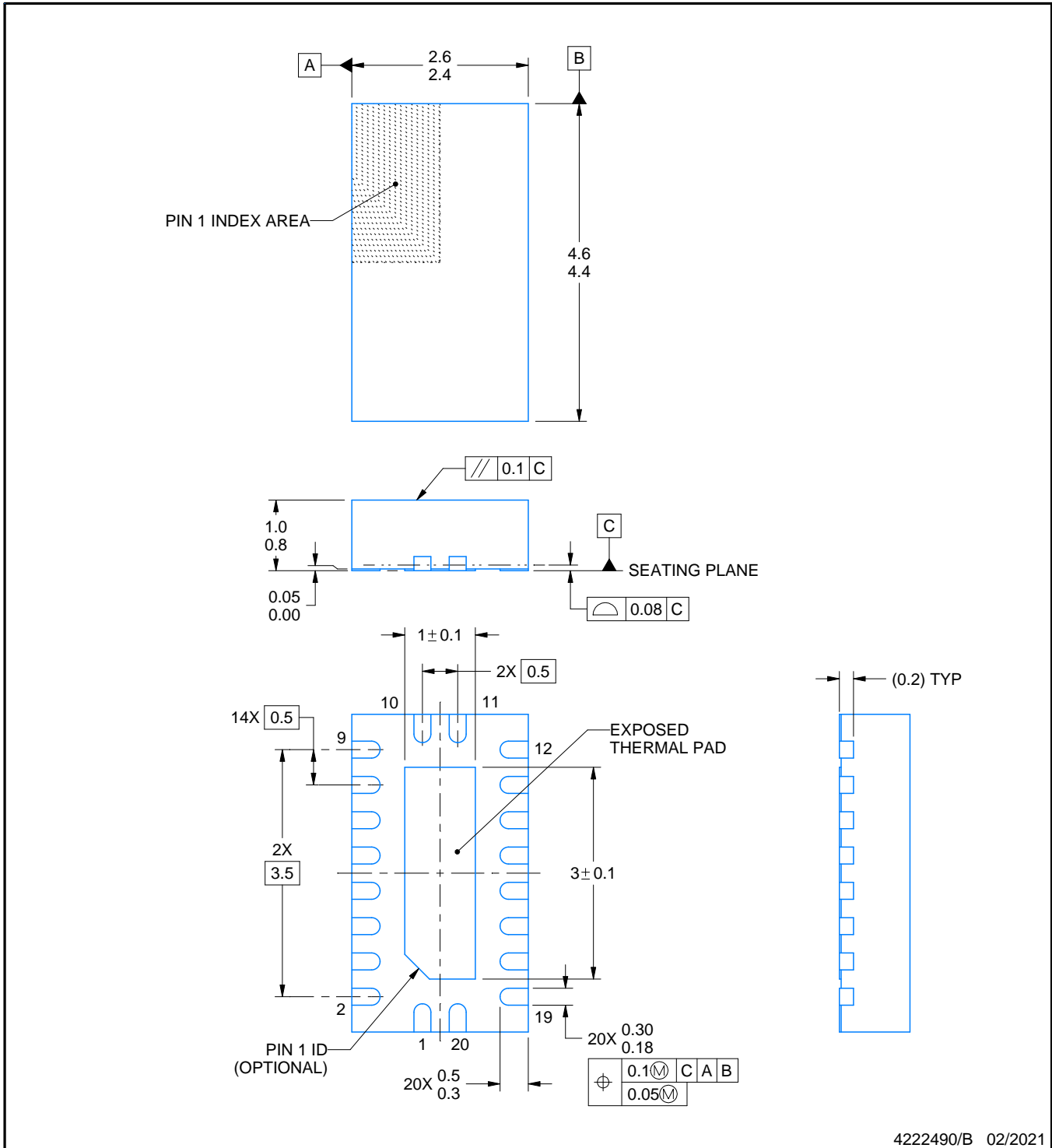
2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4226872/A



4222490/B 02/2021

NOTES:

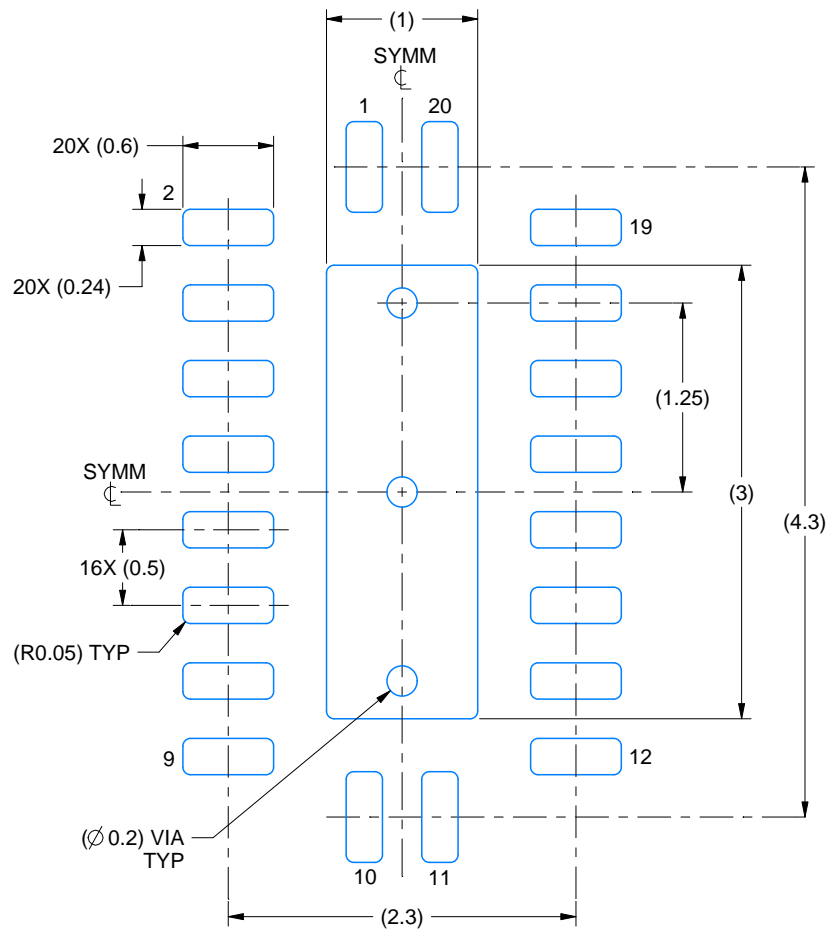
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

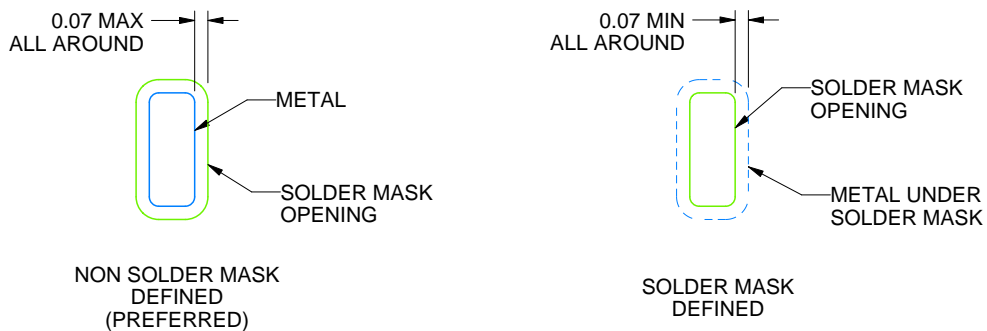
RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:20X



SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

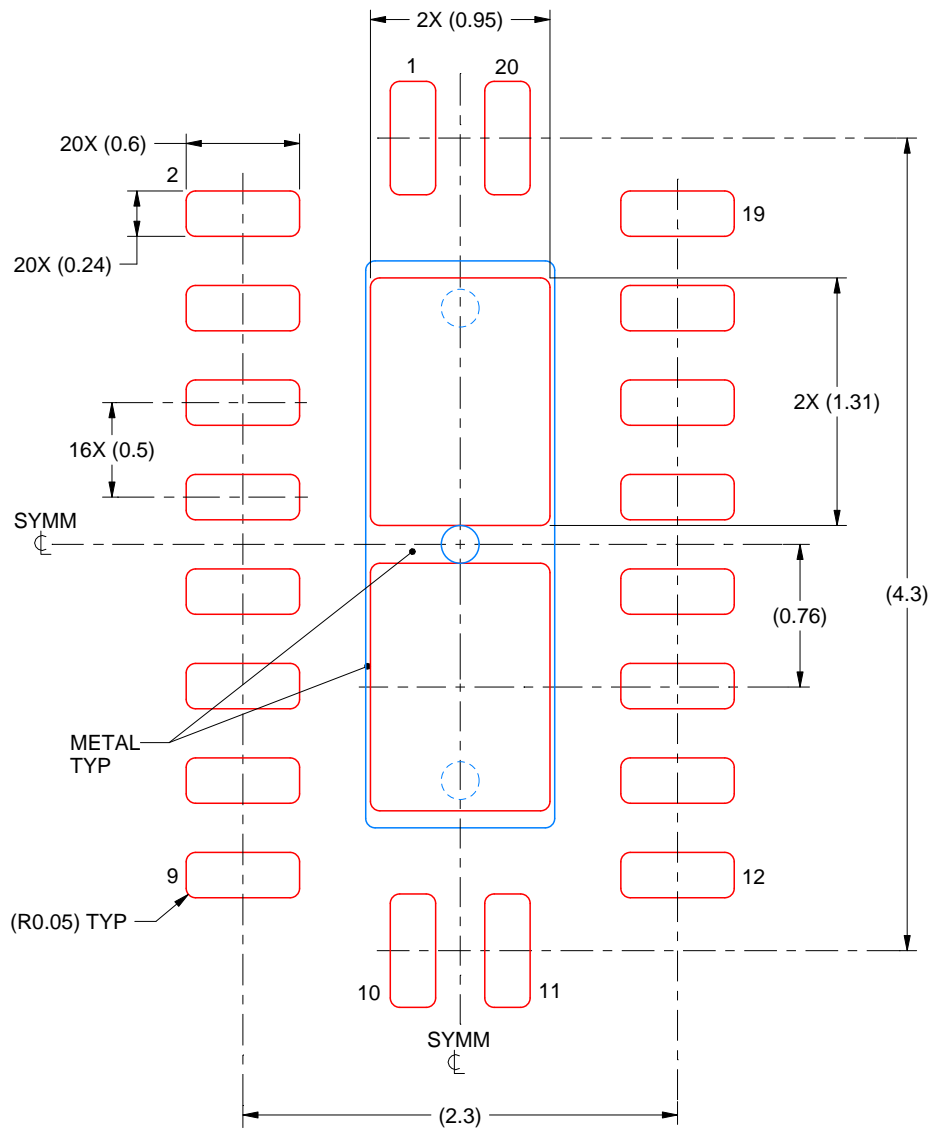
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
- Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

# EXAMPLE STENCIL DESIGN

RKS0020A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
 83% PRINTED SOLDER COVERAGE BY AREA  
 SCALE:25X

4222490/B 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# MECHANICAL DATA

NS (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated