

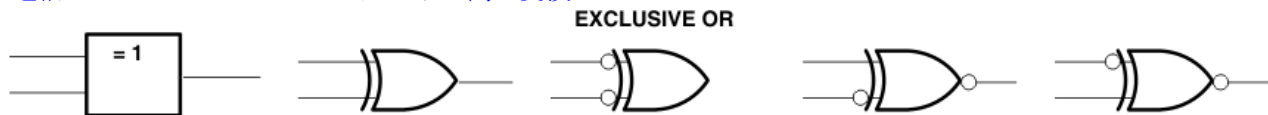
SN74AHCT1G86Q-Q1 車載向けシングル 2 入力排他 OR ゲート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 動作範囲: 4.5V ~ 5.5V
- 最大 t_{pd} : 8ns (5V 時)
- 低消費電力、最大 I_{CC} 10 μ A
- 5V で ± 8 mA の出力駆動能力
- 入力は TTL 電圧互換

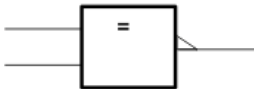
2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラの間の変換



These five equivalent exclusive-OR symbols are valid for an SN74AHCT1G86 gate in positive logic; negation may be shown at any two ports.

LOGIC-IDENTITY ELEMENT



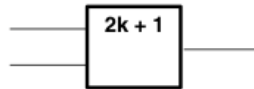
The output is active (low) if all inputs stand at the same logic level (i.e., $A = B$).

EVEN-PARITY ELEMENT



The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

ODD-PARITY ELEMENT



The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

排他 OR ロジック

3 概要

SN74AHCT1G86Q-Q1 はシングル 2 入力排他的 OR ゲートです。ブール関数 $Y = A \oplus B$ 、つまり $Y = \overline{A}B + A\overline{B}$ を正論理で実行します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74AHCT1G86Q-Q1	DCK (SC-70, 5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm	2.9mm × 1.6mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



目次

1 特長	1	7.4 デバイスの機能モード.....	8
2 アプリケーション	1	8 アプリケーションと実装	9
3 概要	1	8.1 アプリケーション情報.....	9
4 ピン構成および機能	3	8.2 代表的なアプリケーション.....	9
5 仕様	4	8.3 電源に関する推奨事項.....	11
5.1 絶対最大定格.....	4	8.4 レイアウト.....	11
5.2 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート	13
5.3 熱に関する情報.....	4	9.1 ドキュメントのサポート (アナログ).....	13
5.4 電気的特性.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	13
5.5 スイッチング特性.....	5	9.3 サポート・リソース.....	13
5.6 動作特性.....	5	9.4 商標.....	13
6 パラメータ測定情報	6	9.5 静電気放電に関する注意事項.....	13
7 詳細説明	7	9.6 用語集.....	13
7.1 概要.....	7	10 改訂履歴	13
7.2 機能ブロック図.....	7	11 メカニカル、パッケージ、および注文情報	14
7.3 機能説明.....	7		

4 ピン構成および機能

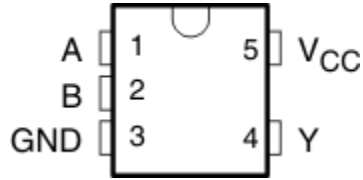


図 4-1. SN74AHCT1G86Q-Q1 DBV パッケージ、5 ピン SOT-23、DCK パッケージ、5 ピン SC-70 (上面図)

ピン		種類 (1)	説明
番号	名称		
1	A	I	A 入力
2	B	I	B 入力
3	GND	-	グランドピン
4	Y	O	出力
5	Vcc	-	パワーピン

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力

5 仕様

5.1 絶対最大定格

		最小値	最大値	単位
V_{CC}	電源電圧	-0.5	7	V
$V_I^{(1)}$	入力電圧	-0.5	7	V
$V_O^{(1)}$	High または Low 状態で印加される出力電圧範囲	-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流	$V_I < 0V$	-20	V
I_{OK}	出力クランプ電流	$V_O < 0V$ または $V_O > V_{CC}$	± 20	mA
I_O	連続出力電流	$V_O = 0V \sim V_{CC}$	± 25	mA
	V_{CC} または GND を通過する連続電流		± 50	mA
T_{stg}	保管温度範囲	-65	150	°C

(1) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CC}	電源電圧	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		V
V_{IL}	Low レベル入力電圧		0.8	V
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8	mA
I_{OL}	Low レベル出力電流		8	mA
$\Delta t/\Delta V$	入力遷移の立ち上がりまたは立ち下がりレート		20	ns/V
T_A	自由気流での動作温度	-40	125	°C

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		DBV (SOT-23)	DCK (SC-70)	単位
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	278.0	289.2	°C/W

(1) 従来および新しい熱評価基準値の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート (SPRA953) を参照してください。

5.4 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	$T_A = 25^\circ C$			最小値	最大値	単位
			最小値	標準値	最大値			
V_{OH}	$I_{OH} = -50\mu A$	4.5V	4.4	4.5		4.4		V
	$I_{OH} = -8mA$		3.94			3.8		
V_{OL}	$I_{OL} = 50\mu A$	4.5V			0.1		0.1	V
	$I_{OL} = 8mA$				0.36		0.44	
I_I	$V_I = 5.5V$ または GND	0V~5.5V			± 0.1		± 1	μA
I_{CC}	$V_I = V_{CC}$ または GND、 $I_O = 0A$	5.5V			1		10	μA
$\Delta I_{CC}^{(1)}$	3.4V の単一入力、 その他の入力は GND または V_{CC}	5.5V			1.35		1.5	mA

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			最小値	最大値	単位
			最小値	標準値	最大値			
C _I	V _I = V _{CC} または GND	5V			10	10	pF	

(1) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力への電源電流の増加量です。

5.5 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V ±0.5V、T_A = -40°C ~ 125°C (特に記述のない限り) (負荷回路および電圧波形を参照)

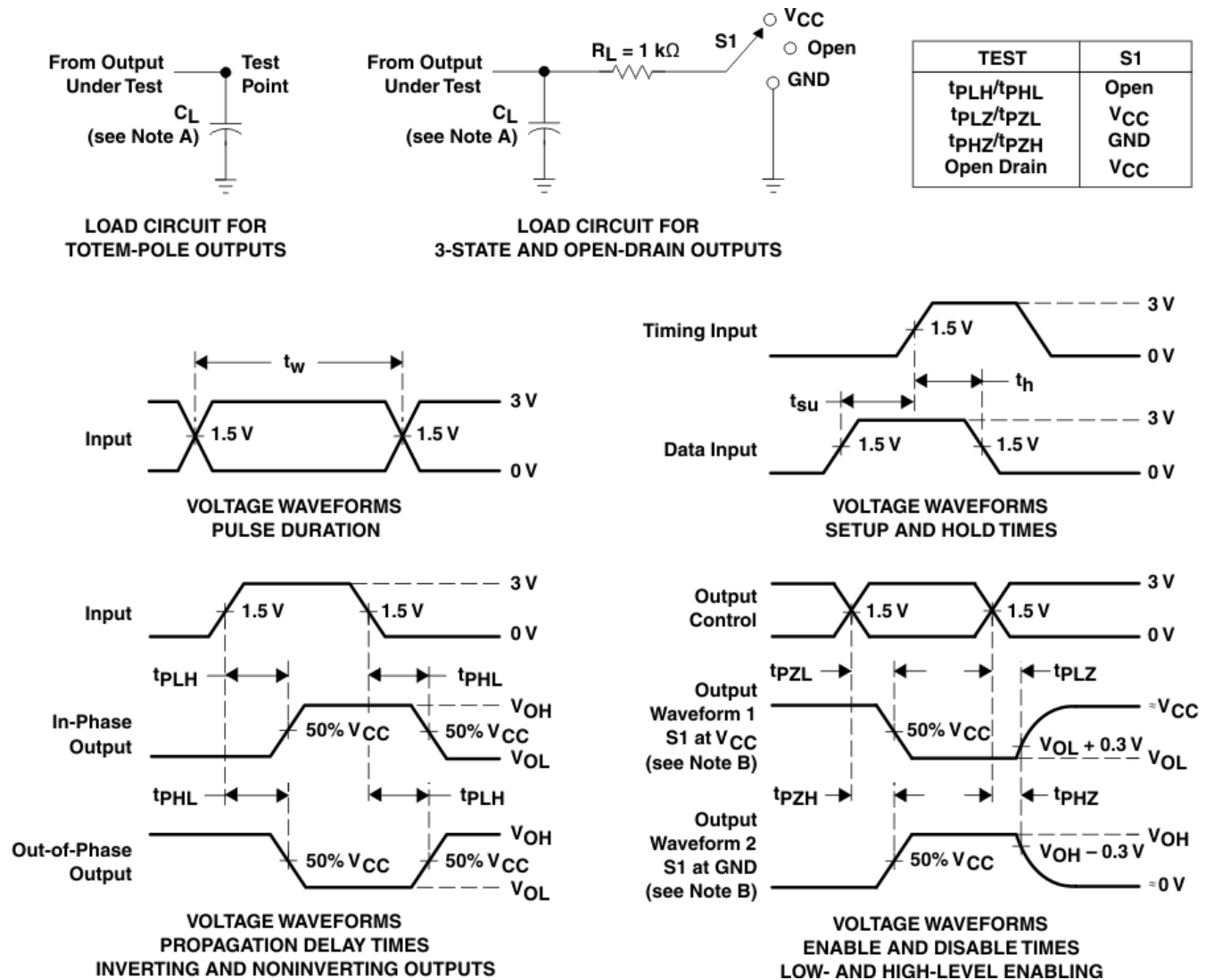
パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			最小値	最大値	単位
				最小値	標準値	最大値			
t _{PLH}	A または B	Y	C _L = 50pF		5.5	7.9	1	9	ns
t _{PHL}					5.5	7.9	1	9	

5.6 動作特性

V_{CC} = 5V ±0.5V、T_A = -40°C ~ 125°C

パラメータ	テスト条件	標準値	単位
C _{pd} 消費電力容量	無負荷、f = 1MHz	18	pF

6 パラメータ測定情報



- A. C_L にはプローブと治具の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに 1 回遷移します。
- E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

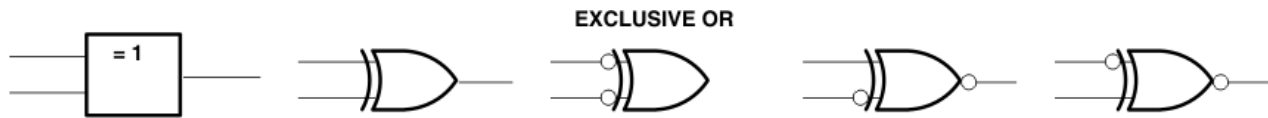
7 詳細説明

7.1 概要

SN74AHCT1G86Q-Q1 には、シュミット・トリガ入力を搭載した 4 つの独立した 2 入力 AND ゲートが内蔵されています。各ゲートはブール関数 $Y = A \times B$ を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

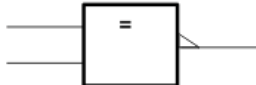
7.2 機能ブロック図

排他 OR ゲートには多くの用途があり、その一部は別の論理記号で表す方が適切です。



These five equivalent exclusive-OR symbols are valid for an SN74AHCT1G86 gate in positive logic; negation may be shown at any two ports.

LOGIC-IDENTITY ELEMENT



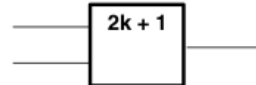
The output is active (low) if all inputs stand at the same logic level (i.e., $A = B$).

EVEN-PARITY ELEMENT



The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

ODD-PARITY ELEMENT



The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

図 7-1. 排他 OR ロジック

7.3 機能説明

7.3.1 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッシュホールドを下げることで TTL ロジック・デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 ($R = V \div I$) を使用して計算します。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND で終端する必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨し、通常はすべての要件を満たします。

7.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.3 クランプ・ダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

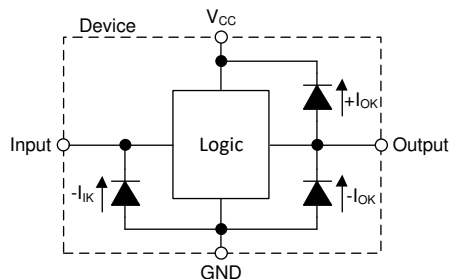


図 7-2. 各入力と出力に対するクランプ・ダイオードの電氣的配置

7.4 デバイスの機能モード

機能表

入力		出力 Y
A	B	
L	L	L
L	H	H
H	L	H
H	H	L

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、2 入力 XOR ゲートを位相差検出器として使用します。

SN74AHCT1G86Q-Q1 を使用して、基準クロックと他の入力クロックの位相差を識別します。クロック状態が異なる場合、クロックが同じ状態に戻るまで、XOR 出力は HIGH パルスで駆動します。出力をローパス フィルタに供給して、位相差の DC 表現を取得します。

通常、クロック信号の遷移レートは高速ですが、クロック信号にフィルタリングを追加して、遷移レートを遅くすることもできます。SN74HCS86 にはシュミットトリガ入力があり、入力遷移レート要件がないため、これにより、SN74AHCT1G86Q-Q1 はアプリケーションにとって優れた選択肢になります。

8.2 代表的なアプリケーション

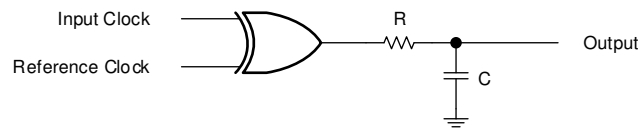


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定された範囲に入っていることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グラウンドは、SN74AHCT1G86Q-Q1 のすべての出力によってシンクされる総電流、「電気的特性」に記載された最大消費電流 (I_{CC})、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

SN74AHCT1G86Q-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AHCT1G86Q-Q1 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と C_{pd} の計算』アプリケーション ノートに記載された情報を使って計算できます。

温度の上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノートに記載された情報を使って計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、を超えるとロジック Low と見なされ、を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT1G86Q-Q1 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、最適なパフォーマンスが得られます。これを実現するには、SN74AHCT1G86Q-Q1 から 1 つ以上の受信デバイスまでのトレースを短く、適切なサイズにします。
3. 絶対最大定格の出力電流の最大値を上回らないように、出力の抵抗性負荷を ($V_{CC}/I_{O(max)}$) Ω より大きくします。ほとんどの CMOS 入力には、M Ω で測定される抵抗性負荷があり、あらかじめ計算された最小値よりもかなり大きな値となります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『[CMOS 消費電力と Cpd の計算](#)』に記載された手順を使って計算できます。

8.2.3 アプリケーション曲線

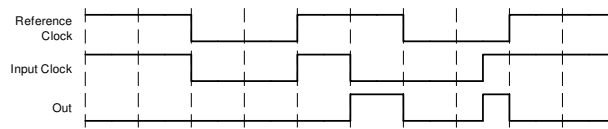


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「[セクション 5.2](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。単電源のデバイスには 0.1 μ F のコンデンサを推奨します。 V_{CC} 端子が複数ある場合は、各電源端子に 0.01 μ F または 0.022 μ F のコンデンサを推奨します。複数のバイパス・コンデンサを並列に接続して、異なる周波数のノイズを除去することもできます。一般的に、0.1 μ F と 1 μ F のコンデンサを並列で使用します。バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.1.1 レイアウト例

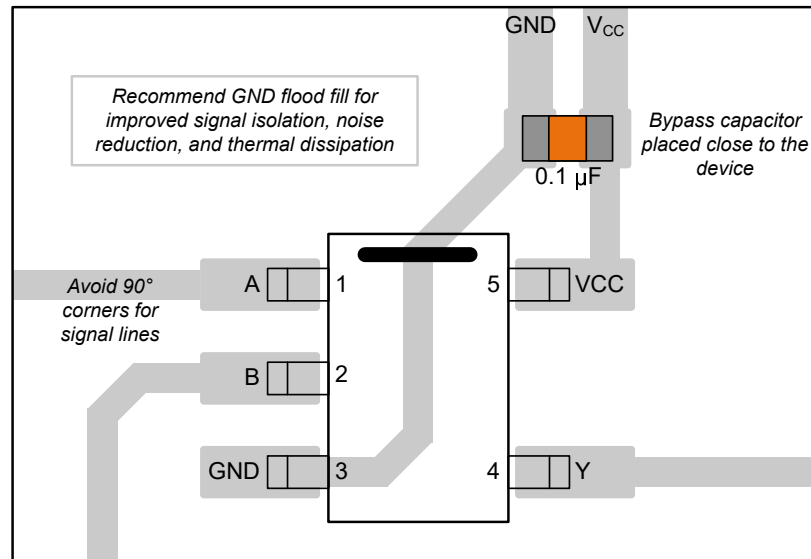


図 8-3. SN74AHCT1G86Q-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート (アナログ)

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と Cpd の計算](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[ロジック設計](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション・ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2023) to Revision B (January 2024)	Page
• 「パッケージ情報」表に DBV パッケージを追加、「特長」セクションに ESD 分類を追加	1
• 「ピン構成および機能」セクションに DBV パッケージを追加	3
• DBV パッケージの熱特性値を追加: RθJA = 278.0、値はすべて°C/W	4
• 「レイアウト例」を更新、「代表的なアプリケーション」セクションを削除	12

Changes from Revision * (December 2010) to Revision A (October 2023)
Page

• 「アプリケーション」セクション、「パッケージ情報」表、「ピンの機能」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1
• RθJA の値を更新:DCK = 252~289.2、値はすべて°C/W.....	4

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CAHCT1G86QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	39FH	Samples
CAHCT1G86QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B5S	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT1G86-Q1 :

- Catalog : [SN74AHCT1G86](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT1G86QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CAHCT1G86QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT1G86QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CAHCT1G86QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0



DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

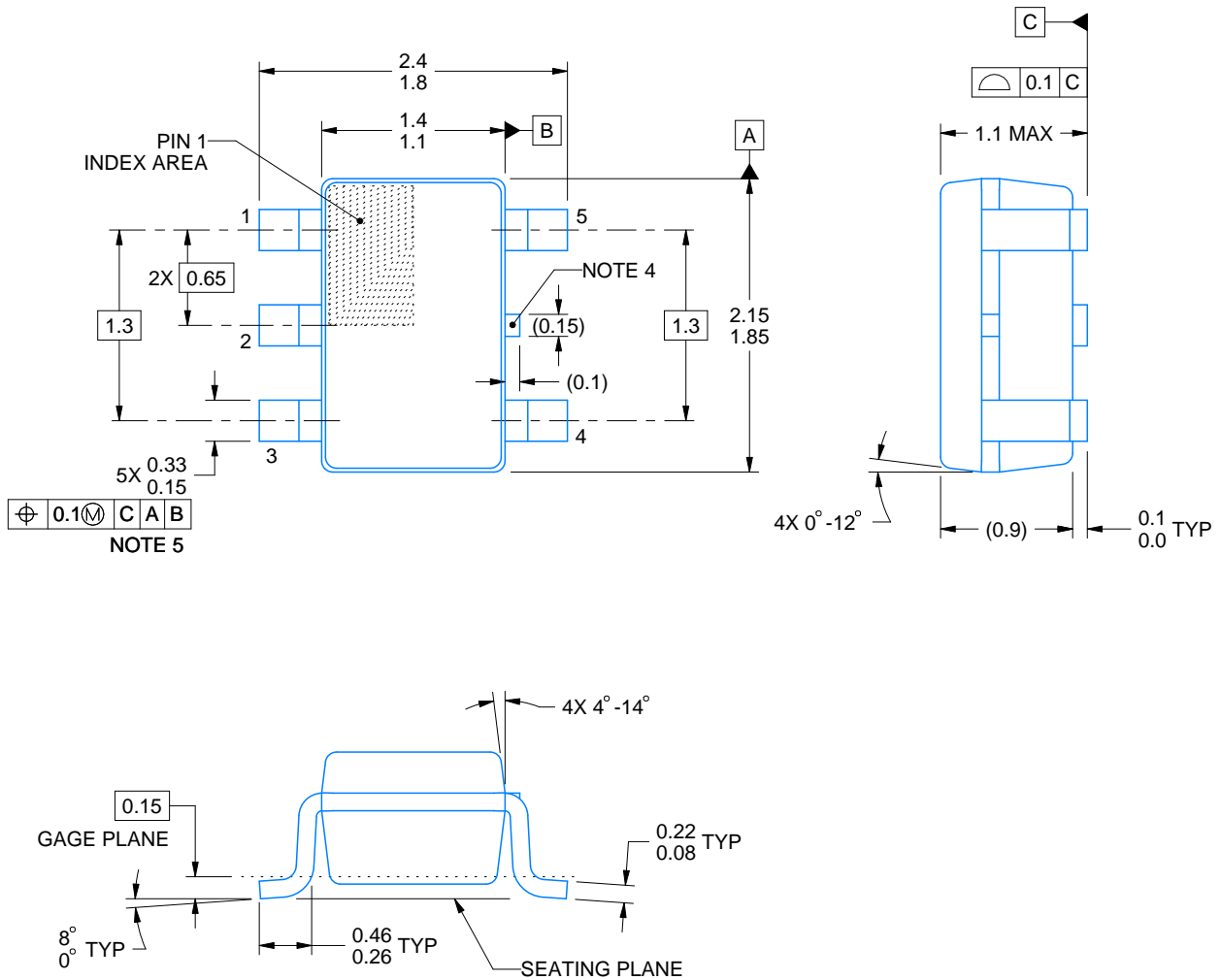
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/F 08/2024

NOTES:

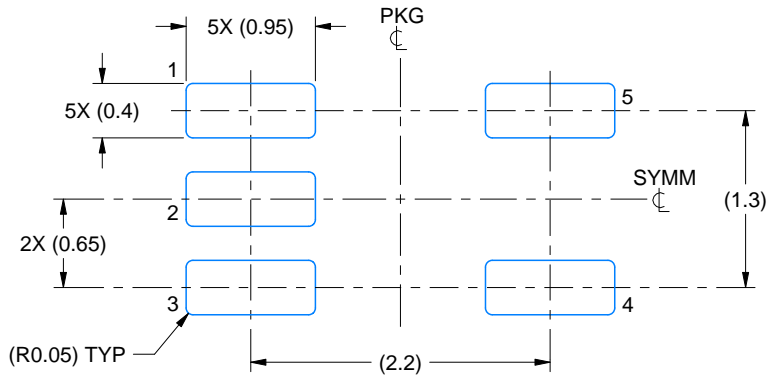
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/F 08/2024

NOTES: (continued)

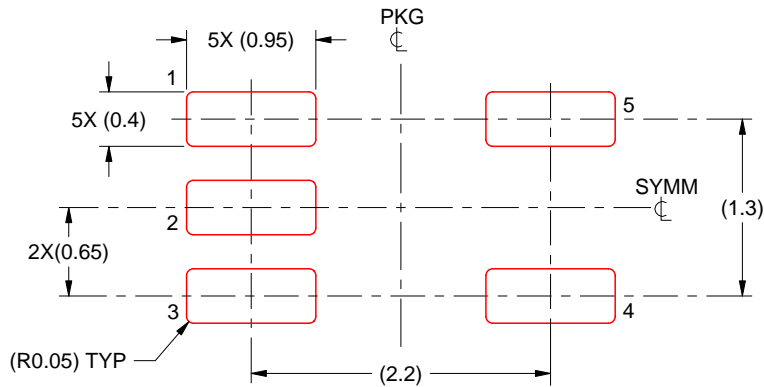
- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/F 08/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated