

DAC568xのアナログ出力信号

小林 雅典

Field Application & Solutions, Analog Signal Chain

アブストラクト

本アプリケーション・レポートは、高速D/Aコンバータ(以下、DAC) DAC5682/86/87のアナログ出力の使い方について説明しています。

これらのDACのアナログ出力は、電流出力となっていますが、出力信号の電氣的仕様には電圧範囲の規定もあるため、良好な出力特性を得るためには、この仕様を考慮してアナログ出力回路を設計する必要があります。

そこで、本レポートではDAC5687を例に、出力条件の基本的な考え方と、実設計時に注意が必要となるバイアス条件について、具体的な回路例やシミュレーション例を挙げて解説しています。

目次

1	DACのアナログ出力信号	2
2	DACアナログ出力の等価回路	4
3	出力信号の設.....	5
4	DAC出力のゲイン調整	7
5	出力回路例	8
5.1	トランス出力	8
5.2	直交変調器との接続回路	10

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

1 DACのアナログ出力信号

DAC5687のアナログ出力は、図1に示すような吸い込み型の電流出力です。このタイプの出力は負荷を介してバイアスを与えることで出力信号の電圧を得ることができます。

(DAC5687データシート (SLES164) p51 "DAC Transfer Function" および p52 "Analog Current Outputs" 参照)

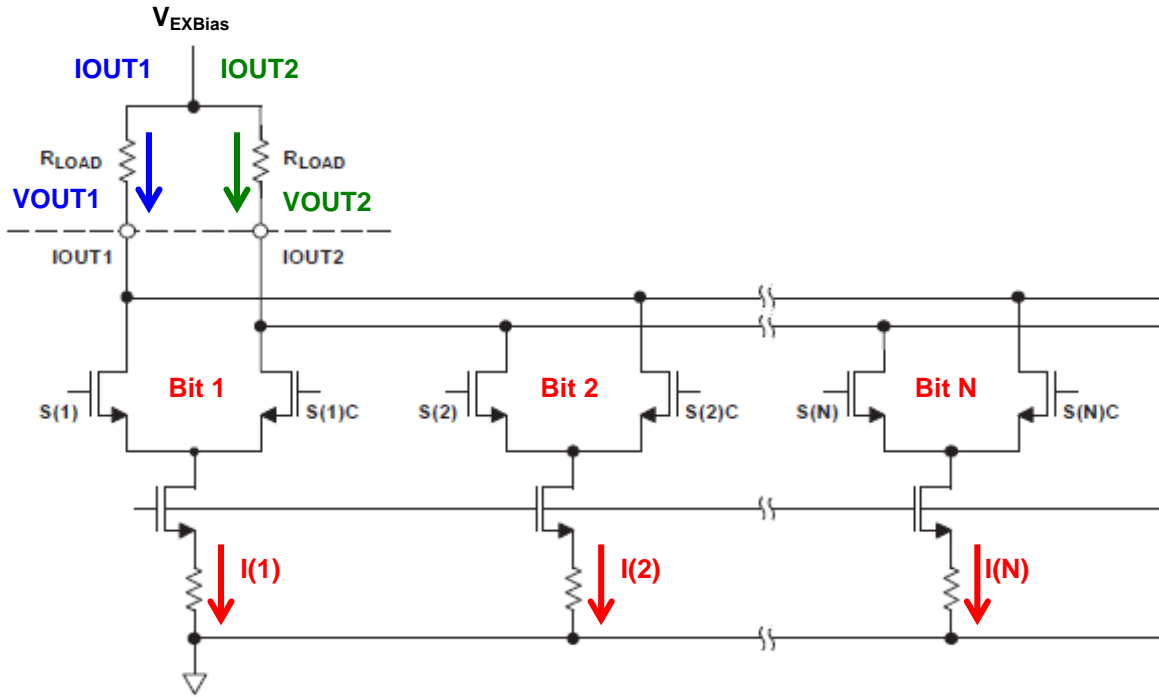


図 1. 電流出力の簡易等価回路

(データシート Figure 59より)

この差動出力IOUT1、IOUT2はコンプリメンタリーな関係であるため、フルスケール出力電流をIOUT_{FS}とすると、両端子から出力される電流は下式で表すことができます。

$$IOUT1 = IOUT_{FS} \times \frac{CODE}{65536}$$

$$IOUT2 = IOUT_{FS} \times \frac{65535 - CODE}{65536}$$

出力負荷がR_Lのときの出力端での電圧は、図1の等価回路から、下式で計算することができます。

$$VOUT1 = V_{EXBias} - |IOUT1| \times R_L = V_{EXBias} - IOUT_{FS} \times R_L \times \frac{CODE}{65536}$$

$$VOUT2 = V_{EXBias} - |IOUT2| \times R_L = V_{EXBias} - IOUT_{FS} \times R_L \times \frac{65535 - CODE}{65536}$$

この式から、DACのアナログ出力信号はDC成分を持ち、その値は出力端に与えるバイアス電圧V_{EXBias}と、フルスケールの信号振幅の中間値から決まることが解ります。

この出力を差動信号として扱う場合、その差動電圧V_{DIFF}は下式のように計算することができます。

$$V_{DIFF} = V_{OUT1} - V_{OUT2}$$

$$= \left(V_{EXBias} - I_{OUT_{FS}} \times R_L \times \frac{CODE}{65536} \right) - \left(V_{EXBias} - I_{OUT_{FS}} \times R_L \times \frac{65535 - CODE}{65536} \right)$$

$$= I_{OUT_{FS}} \times R_L \times \left(\frac{65535 - 2 \cdot CODE}{65536} \right)$$

ここで、 $I_{OUT_{FS}}$ はBIASJピンに接続するバイアス抵抗 R_{BIAS} とEXTIOピンの電圧 V_{EXTIO} により、

$$I_{OUT_{FS}} = 16 \times \frac{V_{EXTIO}}{R_{BIAS}}$$

として規定されます。

多くの場合、リファレンス電圧源としてDACの内部リファレンスを使用するため、EXTIOピンから出力されるバンドギャップ・リファレンス電圧1.2Vを用いて電流を計算しますが、外部リファレンスを使用する場合は、EXTIOピンに外部から入力する電圧値を用いて計算します。このリファレンス電圧設定の詳細については、データシートをご参照ください。

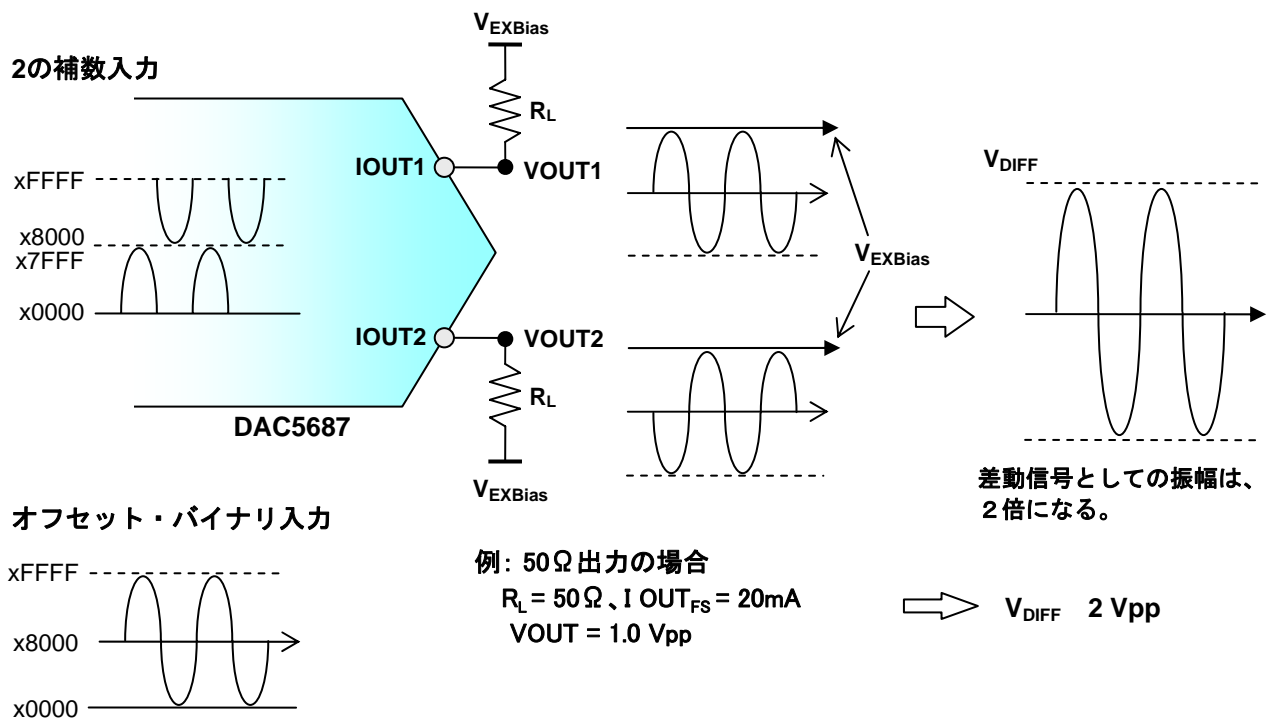


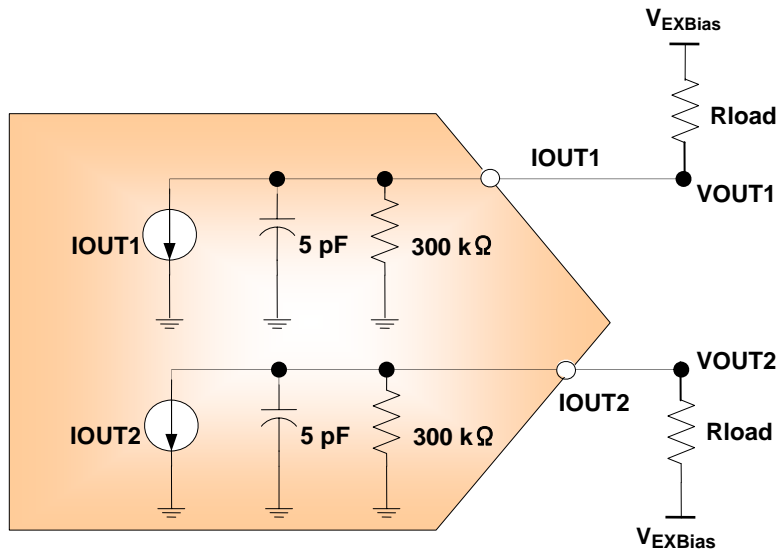
図2. DAC5687の出力信号

2 DACアナログ出力の等価回路

データシートの電氣的仕様より、DAC5687の出力抵抗、容量は以下の値であるため、等価回路は以下の回路で表すことができます。

Output compliance range ⁽³⁾	$I_{OUTFS} = 20 \text{ mA}$	$AVDD - 0.5 \text{ V}$	$AVDD + 0.5 \text{ V}$	V
Output resistance			300	k Ω
Output capacitance			5	pF

Note: DAC5687データシート p6 参照



$$I_{OUT1} = I_{OUTFS} - I_{OUT2}$$

$$I_{OUTFS} = (16 \times V_{EXTIO})/R_{BIAS}$$

$$AVDD - 0.5V \leq V_{OUT1} \leq AVDD + 0.5V$$

$$AVDD - 0.5V \leq V_{OUT2} \leq AVDD + 0.5V$$

図 3. DAC5687の出力等価回路

3 出力信号の設

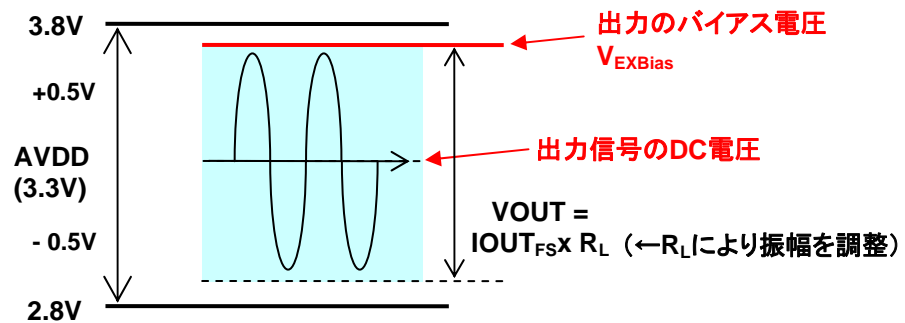
DAC5687のアナログ出力は、以下のような仕様がデータシートで規定されているように、出力範囲の制約があります。そのため、DAC5687の性能を十分に得るためには、出力信号のバイアス電圧と負荷抵抗の値を最適化する必要があります。

$$V_{\text{EXBias}} = AVDD + \frac{V_{\text{OUT}}(V_{\text{pp}})}{2} \leq AVDD + 0.5$$

Minimum full-scale output current ⁽²⁾		2	mA
Maximum full-scale output current ⁽²⁾		20	mA
Output compliance range ⁽³⁾	$I_{\text{OUTFS}} = 20 \text{ mA}$	$AVDD - 0.5 \text{ V}$	$AVDD + 0.5 \text{ V}$ V
Output resistance		300	kΩ
Output capacitance		5	pF

(a) データシートのアナログ出力範囲規定

DAC Output Compliance range



DAC出力の設定が
適切な場合

(b) アナログ出カイメージ

図 4. DAC5687のアナログ出力範囲

例えば、出力のフルスケール電流 I_{OUTFS} が20mAとなるように設定した場合、50Ω系の出力で使用すると、DAC出力におけるフルスケール振幅 V_{OUT} は1Vppとなります。このとき、出力に与える必要のあるバイアス電圧 V_{EXBias} は、

$$\begin{aligned} V_{\text{EXBias}} &= AVDD + \frac{V_{\text{OUT}}}{2} \\ &= 3.3\text{V} + 0.5\text{V} = 3.8\text{V} \end{aligned}$$

となります。この設定を出力の等価回路を用いてシミュレーションした結果は図5のようになります。

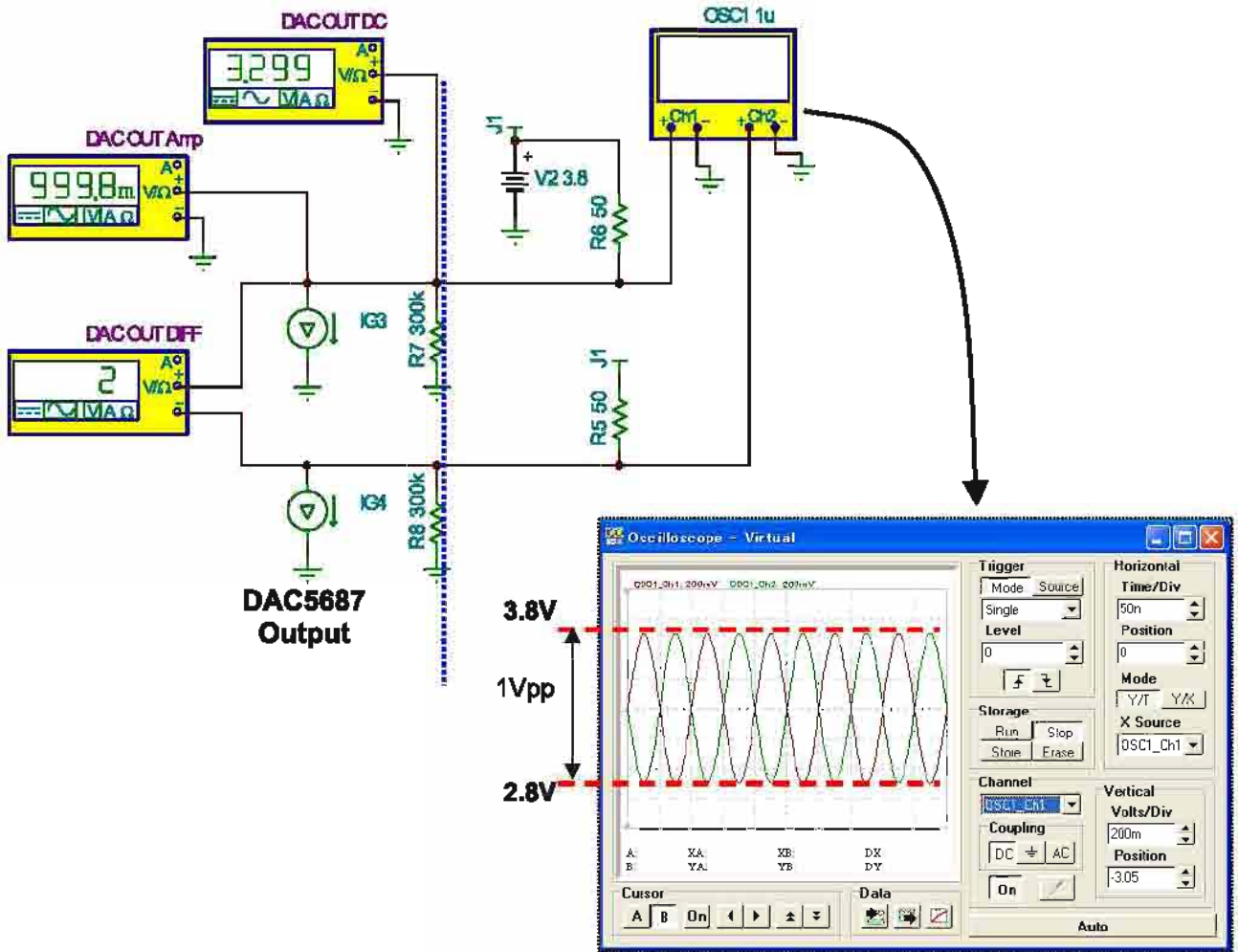


図 5. 50Ω 終端時のDAC5687アナログ出力

4 DAC出力のゲイン調整

さらに、DAC出力のゲイン調整を使用する場合、レジスタ `daca_gain[11:0]`、`dacb_gain[11:0]` に設定されるゲイン設定値により、フルスケール電流 `IOUTFS` の値を下式のように調整できます。

$$IOUT_{FS} = \frac{16 \times V_{EXTIO}}{R_{BIAS}} \times \frac{\frac{GAINCODE+1}{16}}{1 - \frac{FINEGAIN}{3072}}$$

`GAINCODE` = `daca_gain(11:8)` or `dacb_gain(11:8)`, 0~15

`FINEGAIN` = `daca_gain(7:0)` or `dacb_gain(7:0)`, -128~+127

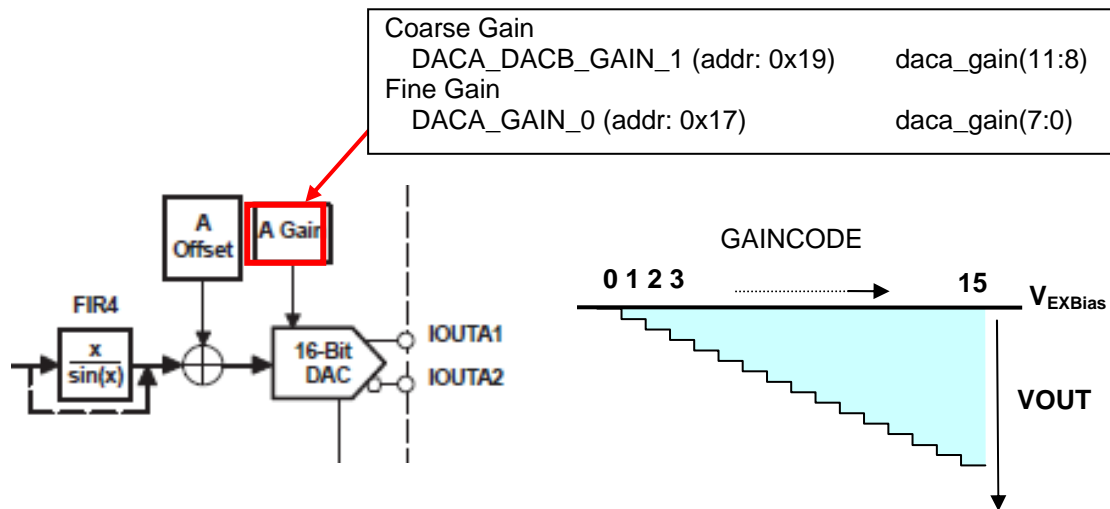


図 6. DAC5687の出力ゲイン調整

5 出力回路例

ここでは、実際の回路設計をいくつか例を挙げて説明します。

5.1 トランス出力

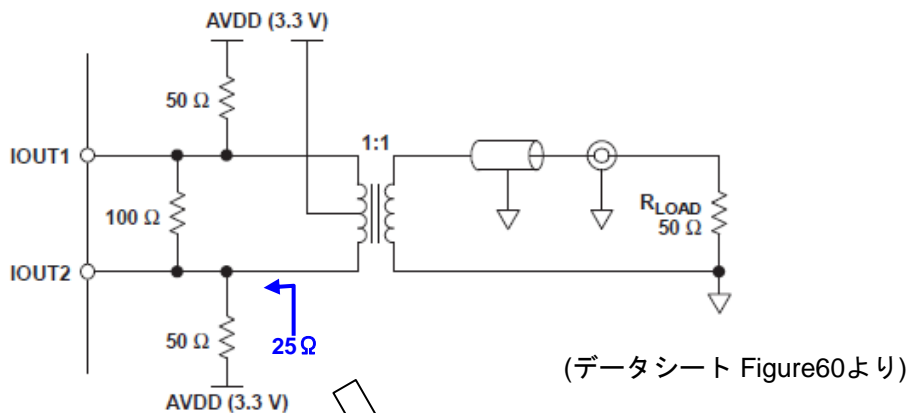
広帯域のRFトランスを使用することで、広帯域信号を高いIF周波数で出力することができます。その例として、50Ωの負荷へセンタータップのある1:1および1:4(インピーダンス比)のトランスを使用して出力する場合の回路例を以下に説明します。(出力フルスケール電流は20mAとして説明しています。)

(1) 1:1 トランスを使用する例 (DAC5687 データシート Figure.60)

図7の回路のように、ケーブルで接続された50Ω負荷へ、センタータップ付きの1:1トランスを使用して信号を出力する場合、DAC側から見たトランスの信号端子とセンタータップとの間のインピーダンスは、 $1^2 \times 50\Omega / 2 = 25\Omega$ となります(p.10の参考1を参照)。DACの出力をこれと整合を取り接続するためには、DAC側に25Ωの抵抗が必要となります。そこで、DACの出力では、IOUT1、IOUT2の各出力端子とAVDDとの間に配した50Ωの負荷抵抗の他に、差動終端抵抗100Ωを挿入することでインピーダンスの整合を行っています。

このとき、IOUT1、IOUT2の各出力端子から見た負荷の合成抵抗は12.5Ωであるため、DAC出力でのシングルエンドの振幅は0.25V、差動振幅は0.5Vとなり、50Ω負荷での振幅も0.5Vとなります。

ここで、トランスのセンタータップにバイアスが加えられなければ、DAC出力のDC電圧はAVDD以下になり、出力の電氣的仕様を満たすことができませんが、センタータップに3.3Vのバイアス電圧が加えられていることで、3.3Vを中心に±0.125Vの信号が出力されます。



(データシート Figure60より)

DAC側から見た簡易等価回路

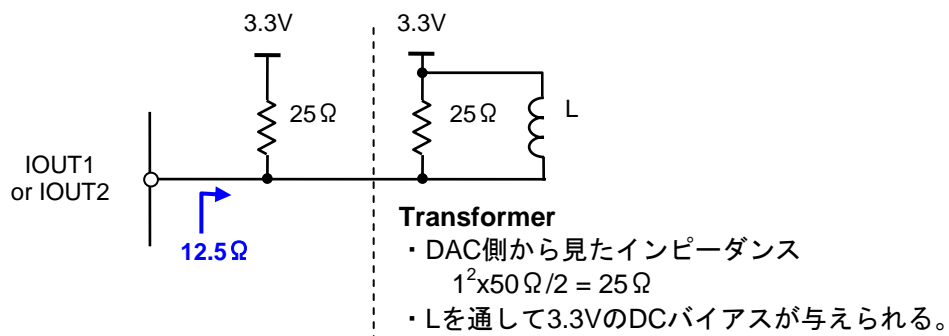


図 7. 1:1トランスを使用した50Ω負荷との接続

(2) 1:4 トランスを使用する場合

次に、図8のように、センタータップ付きの1:4トランスを使用して50Ω負荷へ信号を出力する場合、このトランスの巻き線比は1:2あるため、DAC側から見たトランスの信号端子とセンタータップとの間のインピーダンスは $2^2 \times 50 \Omega / 2 = 100 \Omega$ となります。DACの出力でこれと整合を取るために、100Ωの抵抗でバイアスを与えます。

このとき、IOUT1、IOUT2の各出力端子から見た負荷の合成抵抗は50Ωであるため、各出力での振幅は1Vとなるため、50Ω負荷での振幅は $2 \times 1V / 2 = 1V$ (p.10の参考1を参照)となります。

この場合も、トランスのセンタータップにバイアスが加えられなければ、DAC出力のDC電圧はAVDD以下になり、出力の電氣的仕様を満たすことができませんが、センタータップに3.3Vのバイアス電圧が加えられていることで、3.3Vを中心に±0.5Vで信号が出力されます。

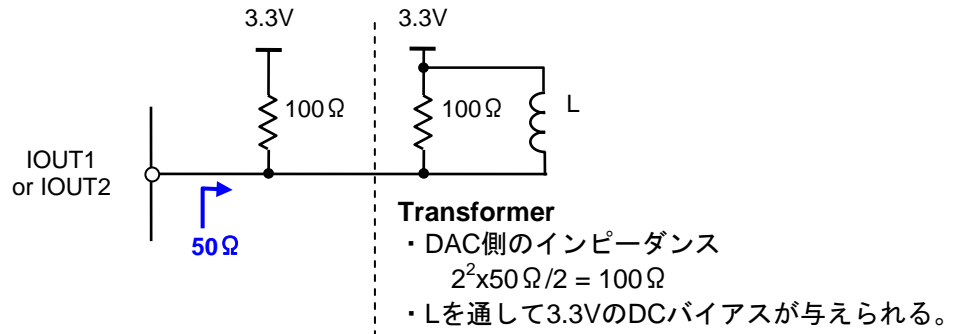
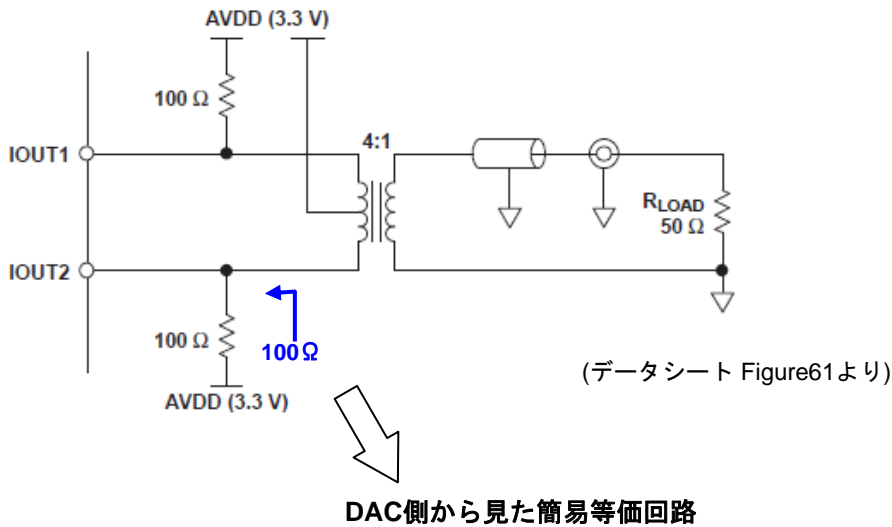
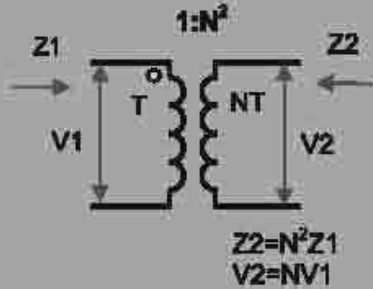


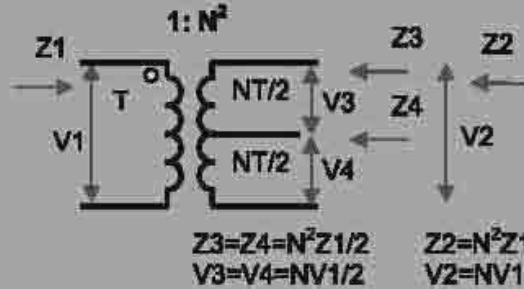
図 8. 1:4 トランスを使用した50Ω負荷との接続

【参考1】トランスの基本

一次側と2次側のコイルの巻き線比が1:Nの場合、インピーダンスの比は1:N²となります。仕様が巻き線比で規定されているものと、インピーダンス比で規定されているものとがあるため、使用するトランスの変換比がどちらであるか注意する必要があります。



【例】 N=3、Z1=50Ω、V1=1V
1:9トランスなので…
Z2=N² Z1 = 450Ω
V2=N V1 =3V



【例】 1:4トランス、Z1=50Ω、V1=1V
N=2なので…
Z3=N² Z1 / 2 = 100Ω
V3=N * V1 / 2 = 1V = V1

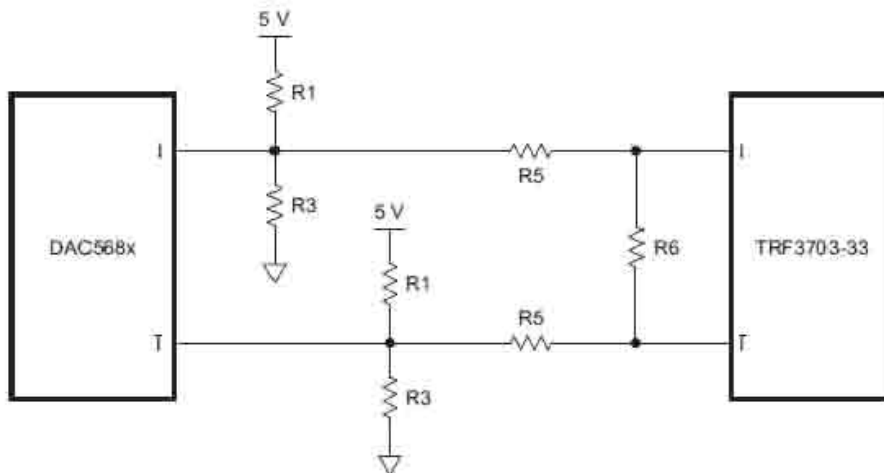
注意！：RFトランス周波数特性は製品により異なるため、使用する周波数条件に合わせて、適切な部品を選ぶ必要があります。

5.2 直交変調器との接続回路

DAC5687の出力では、3.3Vのバイアスが必要であるため、TI製の直交変調器 TRF3703を使用する場合は、入力信号のVCMが3.3VであるTRF370333を使用してください。

この場合、以下の回路でDAC-変調器間を接続することができます。

R1、R3によりバイアス電圧を設定し、R5、R6で変調器へ入力するIQ信号の振幅を調整します。回路の定数は下図内の表を参照ください。



Loss		1dB	2dB	3dB	4dB	5dB	6dB
Pull-Up	R1	115	115	115	115	115	115
Pull-Down	R3	634	634	634	634	634	634
Series	R5	11	21	30	37.4	60.4	45.3
Shunt	R6	187	165	147	130	90.9	118

図 9. 3.3VバイアスのDAC-AMDインタフェース回路

【参考2】電流吐き出し型の場合

高速DACの出力には、DAC5687のように電流を吸い込むタイプとDAC5652/62/72のような電流を吐き出すタイプとがあります。ここで、電流吐き出し型の出力を見てみます。

このタイプのDACの場合、負荷抵抗はGND-端子間へ挿入されるため、出力ピン端の電圧は下式のように表されます。

$$V_{OUT1} = |I_{OUT1}| \times R_L = I_{OUT_{FS}} \times R_L \times \frac{CODE}{FULL\ BITCODE}$$

$$V_{OUT2} = |I_{OUT2}| \times R_L = I_{OUT_{FS}} \times R_L \times \frac{(FULL\ BITCODE - 1) - CODE}{FULL\ BITCODE}$$

この出力を差動信号として扱う場合、 $V_{DIFF} = V_{OUT1} - V_{OUT2}$ の値は電流吸い込み型と同様となりますが、これらの出力ピン端の電圧値はGNDが基準であるため、デジタル信号での振幅を変えたときに、その中間値の変化する方向が、電流吸い込みタイプと逆になります。

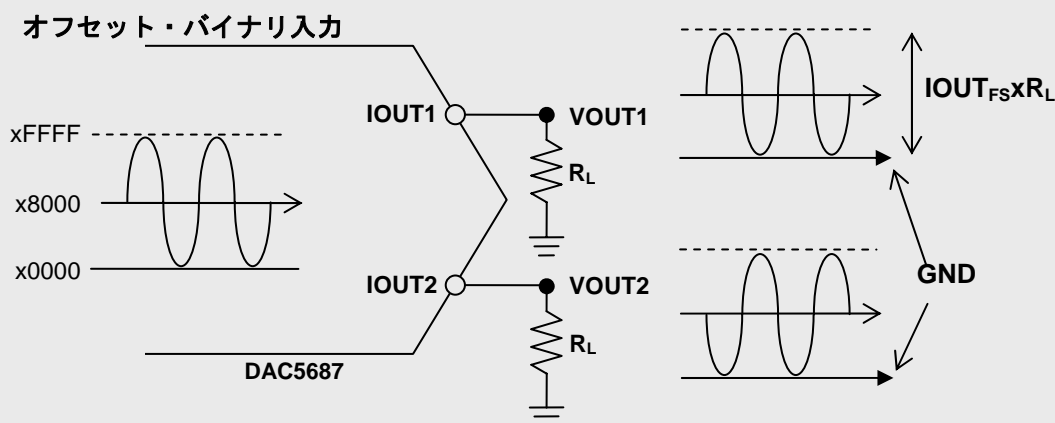


図 電流吐き出し型のDAC出力

【参考文献】

DAC5687 データシート: [16-Bit 500 MSPS 2x-8x Interpolating Dual-Channel DAC \(Rev.E\) \(dac5687.pdf\)](#)

DAC5686 データシート: [16-Bit 500 MSPS 2x-16x Interpolating Dual-Channel DAC \(Rev.E\) \(dac5686.pdf\)](#)

DAC5682 データシート: [16-Bit 1.0 GSPS 2x-4x Interpolating Dual-Channel DAC Converter \(Rev.A\) \(dac5682z.pdf\)](#)

TRF370333 データシート: [0.4 GHz to 4 GHz Quadrature Modulator \(Rev. D\) \(trf370333.pdf\)](#)

TRF3703-33EVM ユーザーズ・ガイド: [SLWU042, TRF3703 Quadrature Modulator EVM \(Rev. A\)](#)

DAC5652A データシート: [Dual 10-Bit 275 MSPS Digital-to-Analog Converter \(Rev. A\) \(dac5652a.pdf\)](#)

DAC5662A データシート: [Dual, 12-Bit, 275 MSPS Digital-to-Analog Converter \(dac5662a.pdf\)](#)

DAC5672A データシート: [Dual 14-Bit 275 MSPS Digital-to-Analog Converter \(dac5672a.pdf\)](#)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上