

TMS320C6000 DSP

エンハンスド・ダイレクト・メモリ・アクセス (EDMA)
コントローラ

リファレンス・ガイド

TMS320C6000 DSP

エンハンスド・ダイレクト・メモリ・アクセス (EDMA) コントローラ リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上

最初にお読みください

このマニュアルについて

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) 内のエンハンスド・ダイレクト・メモリ・アクセス (EDMA) コントローラの動作について説明します。CPU からの高速データ要求に使用されるクイック DMA (QDMA) についても説明します。TMS320C621x/C671x EDMA に特有の動作およびレジスタについては、第 3 章を参照してください。TMS320C64x™ EDMA に特有の動作およびレジスタについては、第 4 章を参照してください。『TMS320C6000 DSP Enhanced Direct Memory Access (EDMA) Controller Reference Guide』(文献番号 SPRU234B) を翻訳しています。

表記規則

本書では、次の表記規則を使用しています。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書では、レジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、またリード / ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は、次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

C6000 デバイス、関連ペリフェラル、およびその他の技術資料は C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

TMS320C6000 CPU and Instruction Set Reference Guide (文献番号 SPRU189) では、TMS320C6000™ デジタル・シグナル・プロセッサの CPU アーキテクチャ、命令セット、パイプライン、および割り込みについて説明しています。

TMS320C6000 DSP Peripherals Overview Reference Guide (文献番号 SPRU190) では、TMS320C6000™ DSP 上で使用可能なペリフェラルについて説明しています。

TMS320C6000 Technical Brief (文献番号 SPRU197) では、TMS320C62x™ と TMS320C67x™ DSP、開発ツール、およびサードパーティのサポートの概要について説明しています。

TMS320C64x Technical Overview (文献番号 SPRU395) では、TMS320C64x™ DSP の概要について説明しています。また、TMS320C64x VelociTI™ により強化されるアプリケーション分野についても説明しています。

TMS320C6000 Programmer's Guide (文献番号 SPRU198) では、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明し、また、アプリケーション・プログラム例を示しています。

TMS320C6000 Code Composer Studio Tutorial (文献番号 SPRU301) では、Code Composer Studio™ 統合開発環境とソフトウェア・ツールの概要について説明しています。

Code Composer Studio Application Programming Interface Reference Guide (文献番号 SPRU321) では、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明しています。この API を使用して、Code Composer 用のカスタム・プラグインを開発することができます。

TMS320C6x Peripheral Support Library Programmer's Reference (文献番号 SPRU273) では、TMS320C6000™ のペリフェラル・サポート・ライブラリの関数とマクロの内容について説明しています。ヘッダ・ファイル毎に、またアルファベット順に、関数とマクロを示しています。それぞれを詳しく説明するとともに、その使用方法を示すコード例を記述しています。

TMS320C6000 Chip Support Library API Reference Guide (文献番号 SPRU401) では、オンチップ・ペリフェラルの設定と制御のために使用するアプリケーション・プログラミング・インターフェイス (API) のセットについて説明しています。

商標

Code Composer Studio、C6000、C62x、C64x、C67x、TMS320C6000、TMS320C62x、TMS320C64x、TMS320C67x、および VelociTI は、Texas Instruments の商標です。

目次

1	概要	1-1
	TMS320C6000 DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に組み込まれているエンハンスド・ダイレクト・メモリ・アクセス (EDMA) コントローラの一般的な動作の概要を説明します。CPU が高速データ要求用に使用するクイック DMA (QDMA) についても説明します。	
1.1	概要.....	1-2
1.2	EDMA 用語.....	1-6
1.3	パラメータ RAM の概要.....	1-8
1.4	EDMA 転送タイプ.....	1-11
1.4.1	1 次元転送.....	1-11
1.4.2	2 次元転送.....	1-14
1.5	EDMA チャンネル・コントローラ転送の開始.....	1-17
1.5.1	イベントトリガ転送要求.....	1-17
1.5.2	チェーントリガ転送要求.....	1-18
1.5.3	CPU トリガ転送要求.....	1-18
1.6	EDMA チャンネル・コントローラでのイベントとチャンネルのマッピング.....	1-19
1.7	エレメント・サイズおよびアラインメント.....	1-23
1.8	固定モード転送の考慮事項.....	1-23
1.9	パラメータ・セットの更新.....	1-25
1.9.1	エレメントおよびフレーム/アレイ・カウントの更新.....	1-25
1.9.2	ソース/デスティネーション・アドレスの更新.....	1-26
1.10	チャンネル完了条件.....	1-30
1.11	EDMA 転送のリンク.....	1-31
1.12	EDMA 転送の終了.....	1-33
1.13	EDMA チャンネルのチェーン.....	1-33
1.14	転送完了コード (TCC) の生成.....	1-34
1.14.1	代替転送完了コード (ATCC) の生成 (C64x EDMA のみ).....	1-36
1.15	完了コードに基づく EDMA 割り込み生成.....	1-37
1.15.1	CPU による EDMAINT の処理.....	1-38
1.16	クイック DMA (QDMA).....	1-39
1.16.1	QDMA 転送の開始.....	1-39
1.16.2	QDMA のストールとプライオリティ.....	1-40
1.17	エミュレーション動作.....	1-40
1.18	転送例.....	1-41
1.18.1	ブロック移動例.....	1-41
1.18.2	サブフレーム抽出例.....	1-43
1.18.3	データソート例.....	1-45
1.18.4	ペリフェラル処理例.....	1-47
1.18.5	転送チェーン例.....	1-60

2	EDMA 転送コントローラ	2-1
	EDMA 転送コントローラ (EDMATC) について説明します。	
2.1	EDMA 転送コントローラのパフォーマンス	2-2
2.2	転送要求の発行.....	2-3
2.2.1	要求チェーン	2-3
2.2.2	転送クロスバー	2-5
2.2.3	アドレス生成 / 転送ロジック	2-6
3	TMS320C621x/C671x EDMA	3-1
	TMS320C621x/C671x DSP に組み込まれている EDMA コントローラの動作とレジスタについて説明 します。CPU が高速データ要求用に使用するクイック DMA (QDMA) レジスタについても説明しま す。	
3.1	イベント・サービス・プライオリティ	3-2
3.2	パラメータ RAM (PaRAM).....	3-2
3.3	イベントによる EDMA チャンネルのチェーン	3-5
3.4	EDMA 転送コントローラのプライオリティ	3-6
3.4.1	転送コントローラの転送要求キュー長	3-6
3.5	EDMA コントロール・レジスタ 3-8	
3.5.1	EDMA イベント・セレクト・レジスタ (ESEL0、1、3)	3-8
3.5.2	プライオリティ・キュー・ステータス・レジスタ (PQSR)	3-14
3.5.3	EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR)	3-15
3.5.4	EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER)	3-16
3.5.5	EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER)	3-17
3.5.6	EDMA イベント・レジスタ (ER)	3-18
3.5.7	EDMA イベント・イネーブル・レジスタ (EER)	3-19
3.5.8	イベント・クリア・レジスタ (ECR)	3-20
3.5.9	EDMA イベント・セット・レジスタ (ESR)	3-21
3.6	EDMA チャンネル・パラメータ・エントリ	3-22
3.6.1	EDMA チャンネル・オプション・パラメータ (OPT)	3-22
3.6.2	EDMA チャンネル・ソース・アドレス・パラメータ (SRC)	3-25
3.6.3	EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)	3-26
3.6.4	EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)	3-27
3.6.5	EDMA チャンネル・インデックス・パラメータ (IDX)	3-28
3.6.6	EDMA チャンネル・カウント・リロード / リンク・アドレス・パラメータ (RLD)	3-29
3.7	QDMA レジスタ	3-31
3.7.1	QDMA チャンネル・オプション・レジスタ (QOPT、QSOPT)	3-32
3.7.2	QDMA チャンネル・ソース・アドレス・レジスタ (QSRC、QSSRC)	3-33
3.7.3	QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT、QSCNT)	3-33
3.7.4	QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST、 QSDST)	3-33
3.7.5	QDMA チャンネル・インデックス・レジスタ (QIDX、QSIDX)	3-33
4	TMS320C64x EDMA	4-1
	TMS320C64x DSP に組み込まれている EDMA コントローラの動作とレジスタについて説明します。 CPU が高速データ要求用に使用するクイック DMA (QDMA) レジスタについても説明します。	
4.1	イベント・サービス・プライオリティ	4-2
4.2	パラメータ RAM (PaRAM)	4-2

4.3	単一イベントを使用した EDMA チャンネルのチェーン	4-6
4.3.1	代替転送チェーン	4-6
4.4	ペリフェラル・デバイス転送	4-7
4.5	EDMA 転送コントローラのプライオリティ	4-8
4.5.1	転送コントローラの転送要求キュー長	4-9
4.5.2	デフォルトのキュー使用およびキュー割り当ての変更	4-11
4.6	L2 コントローラへの EDMA アクセス	4-12
4.7	EDMA コントロール・レジスタ	4-13
4.7.1	プライオリティ・キュー・ステータス・レジスタ (PQSR)	4-14
4.7.2	プライオリティ・キュー・アロケーション・レジスタ (PQAR0-3)	4-15
4.7.3	EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL、CIPRH)	4-16
4.7.4	EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIERL、CIERH)	4-18
4.7.5	EDMA チャンネル・チェーン・イネーブル・レジスタ (CCERL、CCERH)	4-20
4.7.6	EDMA イベント・レジスタ (ERL、ERH)	4-22
4.7.7	EDMA イベント・イネーブル・レジスタ (EERL、EERH)	4-24
4.7.8	イベント・クリア・レジスタ (ECRL、ECRH)	4-26
4.7.9	イベント・セット・レジスタ (ESRL、ESRH)	4-28
4.7.10	イベント・ポラリティ・レジスタ (EPRL、EPRH)	4-30
4.8	EDMA チャンネル・パラメータ・エントリ	4-32
4.8.1	EDMA チャンネル・オプション・パラメータ (OPT)	4-32
4.8.2	EDMA チャンネル・ソース・アドレス・パラメータ (SRC)	4-37
4.8.3	EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)	4-38
4.8.4	EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)	4-39
4.8.5	EDMA チャンネル・インデックス・パラメータ (IDX)	4-40
4.8.6	EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)	4-41
4.9	QDMA レジスタ	4-43
4.9.1	QDMA チャンネル・オプション・レジスタ (QOPT、QSOPT)	4-44
4.9.2	QDMA チャンネル・ソース・アドレス・レジスタ (QSRC、QSSRC)	4-45
4.9.3	QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT、QSCNT)	4-45
4.9.4	DMA チャンネル・デスティネーション・アドレス・レジスタ (QDST、QSDST)	4-45
4.9.5	QDMA チャンネル・インデックス・レジスタ (QIDX、QSIDX)	4-45

A EDMA 転送タイプ A-1

各種の EDMA 転送タイプを説明します。

A.1	エレメント同期 1D-to-1D 転送	A-2
A.2	フレーム同期 1D-to-1D 転送	A-19
A.3	アレイ同期 2D-to-2D 転送	A-36
A.4	ブロック同期 2D-to-2D 転送	A-46
A.5	アレイ同期 1D-to-2D 転送	A-56
A.6	ブロック同期 1D-to-2D 転送	A-66
A.7	アレイ同期 2D-to-1D 転送	A-76
A.8	ブロック同期 2D-to-1D 転送	A-86



図 1-1	TMS320C621x/C671x/C64x DSP ブロック図	1-3
図 1-2	EDMA チャンネル・コントローラのブロック図	1-4
図 1-3	各 EDMA イベントの EDMA チャンネル・パラメータ・エントリ : C6416 DSP	1-10
図 1-4	1 次元転送データ・フレーム	1-11
図 1-5	エレメント同期を使用した 1D 転送 (FS = 0)	1-12
図 1-6	フレーム同期を使用した 1D 転送 (FS = 1)	1-13
図 1-7	2 次元転送データ・ブロック	1-14
図 1-8	アレイ同期を使用した 2D 転送 (FS = 0)	1-15
図 1-9	ブロック同期を使用した 2D 転送 (FS = 1)	1-16
図 1-10	EDMA 転送のリンク	1-32
図 1-11	EDMA 転送の終了	1-33
図 1-12	ブロック移動例	1-41
図 1-13	ブロック移動例の QDMA レジスタ内容	1-42
図 1-14	サブフレーム抽出例	1-43
図 1-15	サブフレーム抽出例の QDMA レジスタ内容	1-44
図 1-16	データソート例	1-45
図 1-17	データソート例の QDMA レジスタ内容	1-46
図 1-18	着信 McBSP データの処理例	1-48
図 1-19	着信 McBSP データ処理例の EDMA パラメータ内容	1-49
図 1-20	ペリフェラル・バースト処理例	1-50
図 1-21	ペリフェラル・バースト処理例の EDMA パラメータ内容	1-51
図 1-22	継続 McBSP データ処理例	1-52
図 1-23	継続 McBSP データ処理例の EDMA パラメータ内容	1-53
図 1-24	継続 McBSP データ処理例の EDMA リロード・パラメータ内容	1-54
図 1-25	McBSP データのピンポン・バッファ例	1-56
図 1-26	ピンポン・バッファ例の EDMA パラメータ内容	1-57
図 1-27	ピンポン・バッファ例の EDMA ポン・パラメータ内容	1-58
図 1-28	ピンポン・バッファ例の EDMA ピン・パラメータ内容	1-59
図 1-29	代替転送完了チェーン例	1-61
図 1-30	単一の大規模ブロック・データ転送例	1-62
図 1-31	より小さなパケット・データ転送	1-63
図 2-1	EDMA 転送要求ブロック図	2-3
図 2-2	アドレス生成 / 転送ロジックのブロック図	2-6
図 3-1	各 EDMA イベントの EDMA チャンネル・パラメータ・エントリ : C621x/C671x DSP	3-4
図 3-2	EDMA イベント・セレクト・レジスタ 0 (ESEL0)	3-9
図 3-3	EDMA イベント・セレクト・レジスタ 1 (ESEL1)	3-10
図 3-4	EDMA イベント・セレクト・レジスタ 3 (ESEL3)	3-11

図 3-5	プライオリティ・キュー・ステータス・レジスタ (PQSR)	3-14
図 3-6	EDMA チャネル・インタラプト・ペンディング・レジスタ (CIPR)	3-15
図 3-7	EDMA チャネル・インタラプト・イネーブル・レジスタ (CIER)	3-16
図 3-8	EDMA チャネル・チェーン・イネーブル・レジスタ (CCER)	3-17
図 3-9	EDMA イベント・レジスタ (ER)	3-18
図 3-10	EDMA イベント・イネーブル・レジスタ (EER)	3-19
図 3-11	EDMA イベント・クリア・レジスタ (ECR)	3-20
図 3-12	EDMA イベント・セット・レジスタ (ESR)	3-21
図 3-13	EDMA チャネル・オプション・パラメータ (OPT)	3-22
図 3-14	EDMA チャネル・ソース・アドレス・パラメータ (SRC)	3-25
図 3-15	EDMA チャネル・トランスファー・カウント・パラメータ (CNT)	3-26
図 3-16	EDMA チャネル・デスティネーション・アドレス・パラメータ (DST)	3-27
図 3-17	EDMA チャネル・インデックス・パラメータ (IDX)	3-28
図 3-18	EDMA チャネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)	3-30
図 3-19	QDMA レジスタ	3-32
図 3-20	QDMA チャネル・オプション・レジスタ (QOPT)	3-32
図 3-21	QDMA チャネル・ソース・アドレス・レジスタ (QSRC)	3-33
図 3-22	QDMA チャネル・トランスファー・カウント・レジスタ (QCNT)	3-33
図 3-23	QDMA チャネル・デスティネーション・アドレス・レジスタ (QDST)	3-33
図 3-24	QDMA チャネル・インデックス・レジスタ (QIDX)	3-33
図 4-1	各 EDMA イベントの EDMA チャネル・パラメータ・エントリ : C64x DSP	4-4
図 4-2	L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT)	4-12
図 4-3	プライオリティ・キュー・ステータス・レジスタ (PQSR)	4-14
図 4-4	プライオリティ・キュー・アロケーション・レジスタ (PQAR)	4-15
図 4-5	EDMA チャネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL)	4-16
図 4-6	EDMA チャネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH)	4-17
図 4-7	EDMA チャネル・インタラプト・イネーブル・ロー・レジスタ (CIERL)	4-18
図 4-8	EDMA チャネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH)	4-19
図 4-9	EDMA チャネル・チェーン・イネーブル・ロー・レジスタ (CCERL)	4-20
図 4-10	EDMA チャネル・チェーン・イネーブル・ハイ・レジスタ (CCERH)	4-21
図 4-11	EDMA イベント・ロー・レジスタ (ERL)	4-22
図 4-12	EDMA イベント・ハイ・レジスタ (ERH)	4-23
図 4-13	EDMA イベント・イネーブル・ロー・レジスタ (EERL)	4-24
図 4-14	EDMA イベント・イネーブル・ハイ・レジスタ (EERH)	4-25
図 4-15	EDMA イベント・クリア・ロー・レジスタ (ECRL)	4-26
図 4-16	EDMA イベント・クリア・ハイ・レジスタ (ECRH)	4-27
図 4-17	EDMA イベント・セット・ロー・レジスタ (ESRL)	4-28
図 4-18	EDMA イベント・セット・ハイ・レジスタ (ESRH)	4-29
図 4-19	EDMA イベント・ポラリティ・ロー・レジスタ (EPRL)	4-30
図 4-20	EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH)	4-31
図 4-21	EDMA チャネル・オプション・パラメータ (OPT)	4-33
図 4-22	EDMA チャネル・ソース・アドレス・パラメータ (SRC)	4-37
図 4-23	EDMA チャネル・トランスファー・カウント・パラメータ (CNT)	4-38
図 4-24	EDMA チャネル・デスティネーション・アドレス・パラメータ (DST)	4-39
図 4-25	EDMA チャネル・インデックス・パラメータ (IDX)	4-40
図 4-26	EDMA チャネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)	4-42

図 4-27	QDMA レジスタ	4-44
図 4-28	QDMA チャンネル・オプション・レジスタ (QOPT)	4-44
図 4-29	QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)	4-45
図 4-30	QDMA チャンネル・トランスファー・カウンタ・レジスタ (QCNT)	4-45
図 4-31	QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)	4-45
図 4-32	QDMA チャンネル・インデックス・レジスタ (QIDX)	4-45
図 A-1	エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 00)	A-3
図 A-2	エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 01)	A-4
図 A-3	エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 10)	A-5
図 A-4	エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 11)	A-6
図 A-5	エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 00)	A-7
図 A-6	エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 01)	A-8
図 A-7	エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 10)	A-9
図 A-8	エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 11)	A-10
図 A-9	エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 00)	A-11
図 A-10	エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 01)	A-12
図 A-11	エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 10)	A-13
図 A-12	エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 11)	A-14
図 A-13	エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 00)	A-15
図 A-14	エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 01)	A-16
図 A-15	エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 10)	A-17
図 A-16	エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 11)	A-18
図 A-17	フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 00)	A-20
図 A-18	フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 01)	A-21
図 A-19	フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 10)	A-22
図 A-20	フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 11)	A-23
図 A-21	フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 00)	A-24
図 A-22	フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 01)	A-25
図 A-23	フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 10)	A-26
図 A-24	フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 11)	A-27
図 A-25	フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 00)	A-28
図 A-26	フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 01)	A-29
図 A-27	フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 10)	A-30
図 A-28	フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 11)	A-31
図 A-29	フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 00)	A-32
図 A-30	フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 01)	A-33
図 A-31	フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 10)	A-34
図 A-32	フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 11)	A-35
図 A-33	アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 00)	A-37
図 A-34	アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 01)	A-38
図 A-35	アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 10)	A-39
図 A-36	アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 00)	A-40
図 A-37	アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 01)	A-41
図 A-38	アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 10)	A-42
図 A-39	アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 00)	A-43
図 A-40	アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 01)	A-44
図 A-41	アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 10)	A-45

図 A-42	ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 00)	A-47
図 A-43	ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 01)	A-48
図 A-44	ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 10)	A-49
図 A-45	ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 00)	A-50
図 A-46	ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 01)	A-51
図 A-47	ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 10)	A-52
図 A-48	ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 00)	A-53
図 A-49	ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 01)	A-54
図 A-50	ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 10)	A-55
図 A-51	アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 00)	A-57
図 A-52	アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 01)	A-58
図 A-53	アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 10)	A-59
図 A-54	アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 00)	A-60
図 A-55	アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 01)	A-61
図 A-56	アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 10)	A-62
図 A-57	アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 00)	A-63
図 A-58	アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 01)	A-64
図 A-59	アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 10)	A-65
図 A-60	ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 00)	A-67
図 A-61	ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 01)	A-68
図 A-62	ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 10)	A-69
図 A-63	ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 00)	A-70
図 A-64	ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 01)	A-71
図 A-65	ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 10)	A-72
図 A-66	ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 00)	A-73
図 A-67	ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 01)	A-74
図 A-68	ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 10)	A-75
図 A-69	アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 00)	A-77
図 A-70	アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 01)	A-78
図 A-71	アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 10)	A-79
図 A-72	アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 00)	A-80
図 A-73	アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 01)	A-81
図 A-74	アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 10)	A-82
図 A-75	アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 00)	A-83
図 A-76	アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 01)	A-84
図 A-77	アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 10)	A-85
図 A-78	ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 00)	A-87
図 A-79	ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 01)	A-88
図 A-80	ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 10)	A-89
図 A-81	ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 00)	A-90
図 A-82	ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 01)	A-91
図 A-83	ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 10)	A-92
図 A-84	ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 00)	A-93
図 A-85	ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 01)	A-94
図 A-86	ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 10)	A-95

表

表 1-1	C621x/C671x と C64x EDMA の違い	1-5
表 1-2	EDMA パラメータ RAM の内容 : C6416 DSP	1-9
表 1-3	EDMA チャンネル・パラメータの説明 : C6416 DSP	1-10
表 1-4	EDMA チャンネル同期イベント : C6211 DSP	1-20
表 1-5	EDMA チャンネル同期イベント : C6416 DSP	1-21
表 1-6	EDMA エlementおよびフレーム/アレイ・カウンタの更新	1-25
表 1-7	ソース/デスティネーション・アドレスの更新モード	1-27
表 1-8	EDMA ソース・アドレス・パラメータの更新	1-28
表 1-9	EDMA デスティネーション・アドレス・パラメータの更新	1-29
表 1-10	転送タイプに対応するチャンネル完了条件	1-30
表 1-11	転送完了コード (TCC) の EDMA 割り込みへのマッピング (C621x/C671x DSP)	1-35
表 1-12	転送完了コード (TCC) の EDMA 割り込みへのマッピング (C64x DSP)	1-35
表 1-13	代替転送完了コードのチャンネル完了条件	1-37
表 1-14	QDMA 転送長	1-39
表 2-1	キャッシュ・コントローラ・データ転送 : C621x/C671x DSP	2-4
表 3-1	EDMA パラメータ RAM の内容 : C621x/C671x DSP	3-3
表 3-2	EDMA チャンネル・パラメータの説明 : C621x/C671x DSP	3-4
表 3-3	データ要求に対するプログラム可能なプライオリティ・レベル : C621x/C671x DSP	3-6
表 3-4	転送要求キュー : C621x/C671x DSP	3-6
表 3-5	EDMA コントロール・レジスタ : C621x/C671x DSP	3-8
表 3-6	EDMA イベント・セクタ・レジスタ 0 (ESEL0) フィールドの説明	3-9
表 3-7	EDMA イベント・セクタ・レジスタ 1 (ESEL1) フィールドの説明	3-10
表 3-8	EDMA イベント・セクタ・レジスタ 3 (ESEL3) フィールドの説明	3-11
表 3-9	各 EDMA チャンネルのデフォルトの EDMA イベント : C6713 DSP	3-12
表 3-10	各 EDMA イベントの EDMA イベント・セクタ値 : C6713 DSP	3-12
表 3-11	プライオリティ・キュー・ステータス・レジスタ (PQSR) フィールドの説明	3-14
表 3-12	EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) フィールドの説明	3-15
表 3-13	EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER) フィールドの説明	3-16
表 3-14	EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER) フィールドの説明	3-17
表 3-15	EDMA イベント・レジスタ (ER) フィールドの説明	3-18
表 3-16	EDMA イベント・イネーブル・レジスタ (EER) フィールドの説明	3-19
表 3-17	EDMA イベント・クリア・レジスタ (ECR) フィールドの説明	3-20
表 3-18	EDMA イベント・セット・レジスタ (ESR) フィールドの説明	3-21
表 3-19	EDMA パラメータ・エントリ : C621x/C671x DSP	3-22
表 3-20	EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明	3-23
表 3-21	EDMA チャンネル・ソース・アドレス・パラメータ (SRC) フィールドの説明	3-25
表 3-22	EDMA チャンネル・トランスファー・カウンタ・パラメータ (CNT) フィールドの説明	3-26
表 3-23	EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) フィールドの説明	3-27
表 3-24	EDMA チャンネル・インデックス・パラメータ (IDX) フィールドの説明	3-28
表 3-25	EDMA チャンネル・カウンタ・リロード/リンク・アドレス・パラメータ (RLD) フィールドの説明	3-30

表 4-1	EDMA パラメータ RAM の内容 : C64x DSP	4-3
表 4-2	EDMA チャンネル・パラメータの説明 : C64x DSP	4-5
表 4-3	データ要求に対するプログラム可能なプライオリティ・レベル : C64x DSP	4-8
表 4-4	転送要求キュー : C6416 DSP	4-9
表 4-5	L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT) フィールドの説明 ..	4-12
表 4-6	EDMA コントロール・レジスタ : C64x DSP	4-13
表 4-7	プライオリティ・キュー・ステータス・レジスタ (PQSR) フィールドの説明	4-14
表 4-8	プライオリティ・キュー・アロケーション・レジスタ (PQAR) フィールドの説明	4-15
表 4-9	EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL) フィールドの説明	4-16
表 4-10	EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH) フィールドの説明	4-17
表 4-11	EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL) フィールドの説明	4-18
表 4-12	EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH) フィールドの説明	4-19
表 4-13	EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ (CCERL) フィールドの説明	4-20
表 4-15	EDMA イベント・ロー・レジスタ (ERL) フィールドの説明	4-22
表 4-16	EDMA イベント・ハイ・レジスタ (ERH) フィールドの説明	4-23
表 4-17	EDMA イベント・イネーブル・ロー・レジスタ (EERL) フィールドの説明	4-25
表 4-18	EDMA イベント・イネーブル・ハイ・レジスタ (EERH) フィールドの説明	4-25
表 4-19	EDMA イベント・クリア・ロー・レジスタ (ECRL) フィールドの説明	4-27
表 4-20	EDMA イベント・クリア・ハイ・レジスタ (ECRH) フィールドの説明	4-27
表 4-21	EDMA イベント・セット・ロー・レジスタ (ESRL) フィールドの説明	4-29
表 4-22	EDMA イベント・セット・ハイ・レジスタ (ESRH) フィールドの説明	4-29
表 4-23	EDMA イベント・ポラリティ・ロー・レジスタ (EPRL) フィールドの説明	4-30
表 4-24	EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH) フィールドの説明	4-31
表 4-25	EDMA パラメータ・エントリ : 64x DSP	4-32
表 4-26	EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明	4-33
表 4-27	EDMA チャンネル・ソース・アドレス・パラメータ (SRC) フィールドの説明	4-37
表 4-28	EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) フィールドの説明	4-38
表 4-29	EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) フィールドの説明	4-39
表 4-30	EDMA チャンネル・インデックス・パラメータ (IDX) フィールドの説明	4-40
表 4-31	EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD) フィールドの説明	4-42
表 A-1	エレメント同期 (FS = 0) 1D-to-1D 転送	A-2
表 A-2	フレーム同期 (FS = 1) 1D-to-1D 転送	A-19
表 A-3	アレイ同期 (FS = 0) 2D-to-2D 転送	A-36
表 A-4	ブロック同期 (FS = 1) 2D-to-2D 転送	A-46
表 A-5	アレイ同期 (FS = 0) 1D-to-2D 転送	A-56
表 A-6	ブロック同期 (FS = 1) 1D-to-2D 転送	A-66
表 A-7	アレイ同期 (FS = 0) 2D-to-1D 転送	A-76
表 A-8	ブロック同期 (FS = 1) 2D-to-1D 転送	A-86

表

概要

この章では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) 内のエンハンスド・ダイレクト・メモリ・アクセス・チャンネル・コントローラ (EDMACC) の概要を説明します。またその一般的な動作についても説明します。また、この章では、CPU からの直接的なデータ要求に使用されるクイック DMA (QDMA) についても説明します。エンハンスド・ダイレクト・メモリ・アクセス転送コントローラ (EDMATC) の概要および説明については、第 2 章を参照してください。

TMS320C621x/C671x EDMA に特有の動作とレジスタについては、第 3 章を参照してください。TMS320C64x™ EDMA に特有の動作とレジスタについては、第 4 章を参照してください。

項目	ページ
1.1 概要	1-2
1.2 EDMA 用語	1-6
1.3 パラメータ RAM の概要	1-8
1.4 EDMA 転送タイプ	1-11
1.5 EDMA チャンネル・コントローラ転送の開始	1-17
1.6 EDMA チャンネル・コントローラでのイベントとチャンネルのマッピング	1-19
1.7 エレメント・サイズおよびアラインメント	1-23
1.8 固定モード転送の考慮事項	1-23
1.9 パラメータ・セットの更新	1-25
1.10 チャンネル完了条件	1-30
1.11 EDMA 転送のリンク	1-31
1.12 EDMA 転送の終了	1-33
1.13 EDMA チャンネルのチェーン	1-33
1.14 転送完了コード (TCC) の生成	1-34
1.15 完了コードに基づく EDMA 割り込み生成	1-37
1.16 クイック DMA (QDMA)	1-39
1.17 エミュレーション動作	1-40
1.18 転送例	1-41

1.1 概要

エンハンスド・ダイレクト・メモリ・アクセス (EDMA) コントローラは、レベル 2 (L2) キャッシュ/メモリ・コントローラおよび C621x/C671x/C64x DSP 上のデバイス・ペリフェラル間のすべてのデータ転送を処理します (図 1-1 を参照)。これらのデータ転送には、キャッシュの処理、キャッシュできないメモリ・アクセス、ユーザ設定によるデータ転送、およびホスト・アクセスが含まれます。

C621x/C671x/C64x DSP 内の EDMA コントローラには、C620x/C670x デバイス内にある従来の DMA コントローラとは異なるアーキテクチャが使用されています。EDMA には、プライオリティをプログラム可能な 64 チャンネル (C64x DSP 用)、または 16 チャンネル (C621x/C671x DSP 用) およびデータ転送のリンク、チェーン機能などの DMA への各種の拡張機能が組み込まれています。EDMA を使用すると、内部メモリ (L2 SRAM)、ペリフェラルおよび外部メモリを含む、アドレス指定可能なメモリ空間の間で、データの移動ができます。

エンハンスド・ダイレクト・メモリ・アクセスは、2 つの主なコンポーネントから構成されています。

- 1) 転送コントローラ (EDMATC) : レベル 2 (L2) キャッシュ/メモリ・コントローラとデバイス・ペリフェラルとの間のすべてのデータ転送を処理します (図 1-1 を参照)。これらのデータ転送には、EDMA チャンネル・コントローラの転送、EMIF 領域との間のキャッシュ・アクセス、キャッシュできないメモリへのアクセス、およびマスター・ペリフェラル・アクセスが含まれます。
- 2) チャンネル・コントローラ (EDMACC) : EDMA 中のユーザがプログラム可能な部分で、柔軟で強力な一連の転送をサポートしています。サポートされている転送には、1D および 2D 転送、イベント・トリガによる転送、チェーン転送、および CPU トリガによる転送を含む柔軟なトリガ機能、ピンポン・バッファ、サーキュラー・バッファリング、フレーム抽出およびソートをサポートする柔軟なリロードおよびアドレッシング・モードがあります。

図 1-1. TMS320C621x/C671x/C64x DSP ブロック図

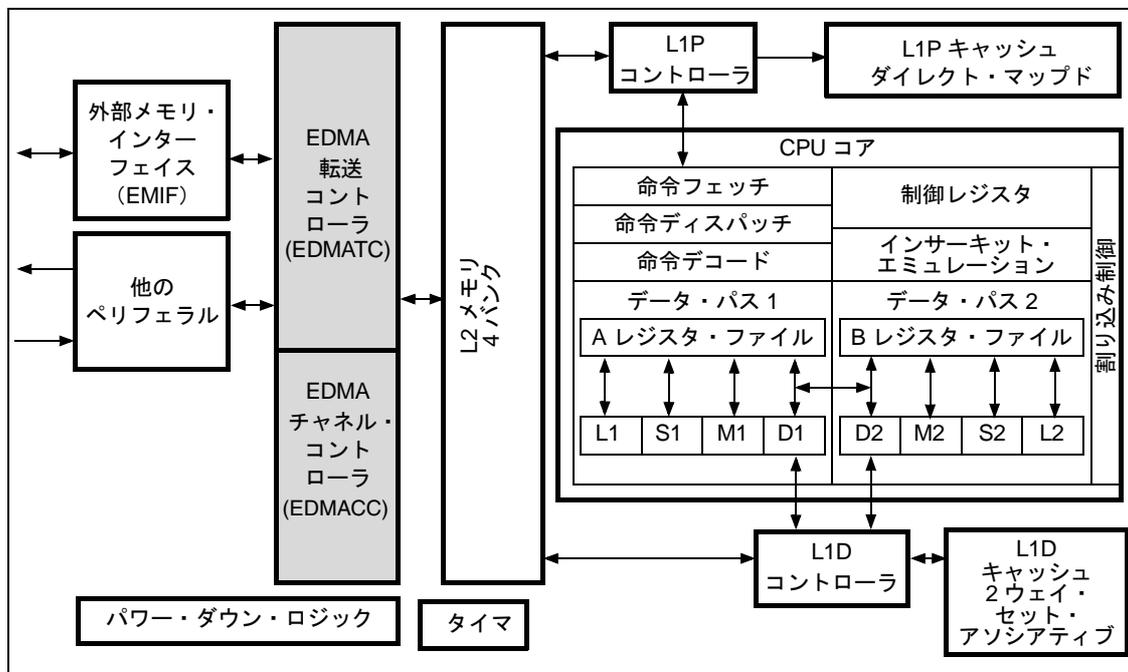


図 1-2 では、EDMA チャンネル・コントローラのブロック図を示しています。EDMA チャンネル・コントローラ (EDMACC) の構成は、次のとおりです。

- パラメータ RAM (PaRAM) : チャンネルおよびリロード・パラメータ・セット用のパラメータ・エントリを保持します。指定されたチャンネルに対する転送コンテキストをセットアップし、パラメータ・セットをリンクするために、PaRAM に書き込みます。EDMACC は、トリガ・イベントに基づきエントリを処理し、転送要求 (TR) を EDMA 転送コントローラ (EDMATC) に発行します。
- イベントおよび割り込み処理レジスタ : このレジスタを使用して、イベントのイネーブル/ディスエーブルを切り替えることができます。トリガ・タイプのイネーブル、割り込み条件のイネーブル/ディスエーブルの切り替え、DMA の完了に基づく割り込みのクリアおよび処理を行うことも可能です。
- 完了検出 : 完了検出ブロックは、EDMATC 内の転送の完了を検出します。必要に応じて、転送の完了は、新規の転送を発行 (チェーン) したり、EDMA_INT 経由で CPU への割り込みを生成するために使用できます。

表 1-1 では、C6000 EDMA 間の違いについてまとめています。

図 1-2. EDMA チャンネル・コントローラのブロック図

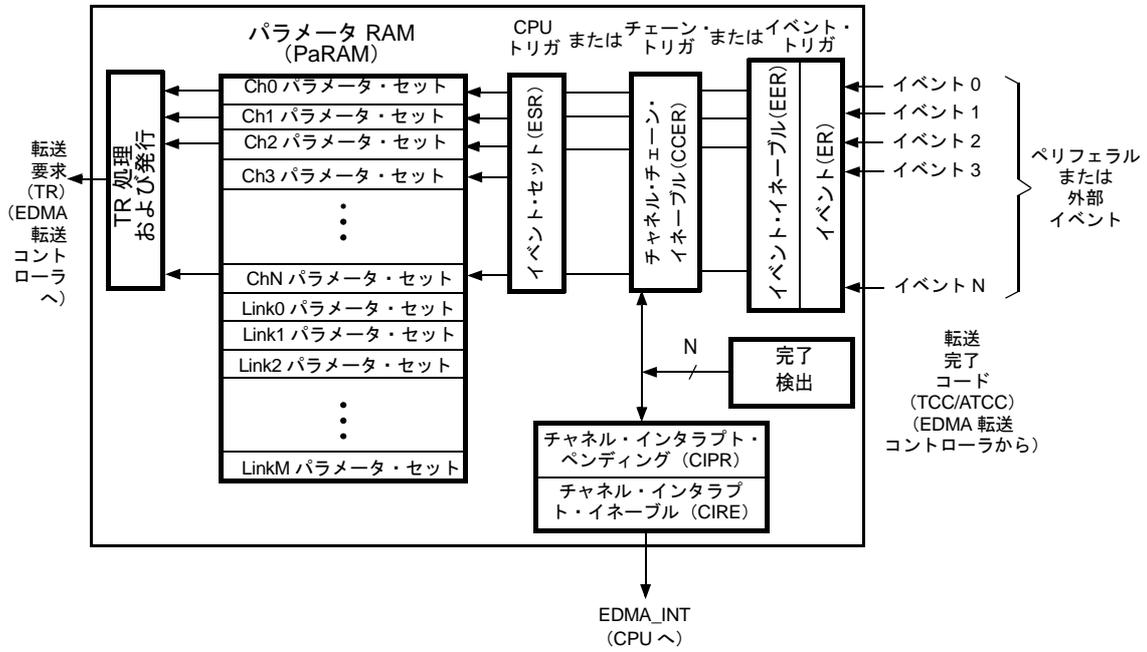


表 1-1. C621x/C671x と C64x EDMA の違い

機能	C621x/C671x EDMA	C64x EDMA
代替転送完了チェーンおよび割り込み	非対応。	サポート。
CIPR、CIER、CCER、ER、EER、ECR、ESR	これらの各レジスタは、16 チャンネルをサポート。	これらの各レジスタは、64 チャンネルをサポートし、2つのレジスタ (Low および High) に拡張。
EDMA クロック・レート	EDMA クロック・レート = CPU クロック・レート。	EDMA クロック・レート = CPU クロック・レートの 1/2 (CPU/2)。
すべてのプライオリティ・キュー上で EDMA 転送可能かどうか	Q0 上では、転送不可。	すべてのプライオリティ・キュー上で転送可能。
イベント極性選択	非対応。	サポート。
すべてのプライオリティ・キュー上で L2 コントローラ転送可能かどうか	Q0 上でのみ L2 コントローラ転送。	すべてのプライオリティ・キュー上で L2 コントローラ転送可能。
チャンネル数	16 チャンネル。	64 チャンネル。
プログラム可能なプライオリティ・キュー割り当て (PQAR0-3)	非対応。	サポート。
プログラム可能なイベント極性 (EPRL、EPRH)	非対応。	サポート。
ペリフェラル・デバイス転送のサポート	非対応。	サポート。
チャンネルでのチェーン転送	チャンネル 8 ~ 11 のみがチェーン可能。	すべてのチャンネルがチェーン可能。

1.2 EDMA 用語

本書の内容を理解するために、次の用語の定義を参考にしてください。

- **エンハンスド・ダイレクト・メモリ・アクセス (EDMA) コントローラ** : EDMA 転送コントローラ (EDMATC) および EDMA チャンネル・コントローラ (EDMACC) から構成されています。
- **EDMA 転送コントローラ (EDMATC)** : EDMA の中央データ転送エンジン。各転送コントローラ・プライオリティ・キューのキューにつまれた先頭の転送要求 (TR) に対するデータ転送を同時に実行します。TR キューの数、つまり同時転送の数は、デバイスに依存しています。
- **EDMA チャンネル・コントローラ (EDMACC)** : EDMA の中のユーザがプログラム可能な部分。EDMACC は、外部イベント、ペリフェラル・イベント、CPU 同期のいずれかを経由して開始される、多くのアクティブ (チャンネル・パラメータ・セット) およびリロード・パラメータ・セットからなるプログラム可能なパラメータ RAM (PaRAM) および関連するイネーブル/ディスエーブル・レジスタから構成されています。チャンネル/リンク・パラメータ・セットの数は、デバイスに依存しています。
- **転送要求 (TR)** : すべての転送コントローラ要求元から転送コントローラに発行されるデータ転送要求。TR には、ソース・アドレス、デスティネーション・アドレス、エレメント・カウント、オプションなどが含まれます。EDMA チャンネル・コントローラの場合、TR は同期イベントに基づき発行されます。
- **クイック DMA (QDMA)** : EDMA チャンネル・コントローラ内に配置されるのではなく、CPU に対してローカルな、プログラマブル DMA パラメータ・セット。QDMA を使用すると、EDMA チャンネル・コントローラが要求を発行することなく、直接かつすばやく CPU による DMA 発行を行うことができます。
- **エレメント同期転送** : エレメント同期転送は、同期イベントを受信すると単一エレメントの転送要求 (TR) を発行します。EDMA チャンネル・コントローラは、各 TR を発行後に、ソース・アドレス、デスティネーション・アドレス、エレメント・カウント、およびフレーム・カウントを更新します。
- **フレーム同期転送** : フレーム同期転送は、同期イベントを受信するとエレメント・カウント個のエレメントからなる単一フレームの転送要求 (TR) を発行します。EDMA チャンネル・コントローラは、各 TR を発行後に、ソース・アドレス、デスティネーション・アドレス、フレーム・カウントを更新します。エレメントおよびフレームは、プログラム可能なインデックスで区切られています。

- **アレイ同期転送**：アレイ同期転送は、同期イベントを受信するとエレメント・カウント個のエレメントからなる単一アレイの転送要求 (TR) を発行します。EDMA チャンネル・コントローラは、各 TR を発行後に、ソース・アドレス、デスティネーション・アドレス、アレイ・カウントを更新します。エレメントは必ず連続しており、フレームは、プログラム可能なインデックスで区切られています。
- **ブロック同期転送**：ブロック同期転送は、同期イベントを受信するとエレメント・カウント個のエレメントからなるアレイのアレイ・カウント分の転送要求 (TR) を発行します。EDMA チャンネル・コントローラは、アドレス更新またはカウントの更新を実行しません。エレメントは必ず連続しており、フレームは、プログラム可能なインデックスで区切られています。
- **パラメータ RAM (PaRAM)**：チャンネル・パラメータ・セットおよびリンク・パラメータ・セットを保管する、ユーザ・プログラマブル RAM。
- **パラメータ・セット**：24 バイト長の EDMA チャンネル転送定義。各パラメータ・セットは、6つの4バイト長パラメータ・セット・エントリから構成されています。
- **パラメータ・セット・エントリ**：パラメータ・セットの4バイト長コンポーネントの1つ。これには、ソース・アドレス、デスティネーション・アドレス、オプション、カウント、インデックス、およびリロード・エントリが含まれています。
- **チャンネル・パラメータ・セット**：同期イベント経由で開始可能な、16 (621x/671x DSP) または 64 (64x DSP) 個のパラメータ・セットの1つ。未使用のチャンネル・パラメータ・セットは、リンク用にも使用可能なことに注意してください。
- **リンク・パラメータ・セット**：厳密にリンク用にのみ使用されるパラメータ・セットの1つ。チャンネル・パラメータ・セットではありません。
- **トリガ・イベント**：EDMA チャンネル・コントローラに転送要求 (TR) を発行させる動作。同期イベントには、CPU トリガ、イベント・トリガ、およびチェーン・トリガが含まれます。
- **エレメント**：DMA 転送の最小単位。エレメントは、8ビット、16ビット、32ビットのいずれかです。
- **フレーム**：フレームは、エレメントのグループから構成されます。フレームは、エレメントが連続、またはエレメント・インデックスで設定した間隔で並んでいます。フレームは、1次元 (1D) 転送と関連して使用されます。
- **アレイ**：アレイは、連続エレメントのグループから構成されます。アレイ内ではエレメント・インデックスは使用できません (エレメントは連続です)。アレイは、2次元 (2D) 転送と関連して使用されます。
- **ブロック**：ブロックは、アレイまたはフレームのグループから形成されます。1次元 (1D) 転送の場合、ブロックはフレームのグループから形成されます。2次元 (2D) 転送の場合、ブロックはアレイのグループから形成されます。

- **1 次元 (1D) 転送** : 1D ブロックは、フレームのグループから構成されます。ブロック内のフレーム数 (FRMCNT) の範囲は、1 ~ 65536 です。フレームあたりのエレメント数は、1 ~ 65536 です。エレメント毎またはフレーム毎に、一度に転送可能です。
- **2 次元 (2D) 転送** : 2D ブロックは、アレイのグループから構成されます。最初の次元は、アレイ内の連続エレメント数です。また、2 番目の次元は、このアレイの数です。ブロック内のアレイ数 (FRMCNT) の範囲は、1 ~ 65536 です。アレイまたはブロック全体のいずれかが、一度に転送可能です。

1.3 パラメータ RAM の概要

レジスタ・ベースのアーキテクチャである C620x/C670x DMA コントローラとは異なり、EDMA チャンネル・コントローラ (EDMACC) は、RAM ベースのアーキテクチャです。パラメータ RAM (PaRAM) は、デバイス依存な数のパラメータ・セットから構成されていて、その範囲は、85 パラメータ・セット (2 KB RAM) から 213 パラメータ・セット (5 KB RAM) です。

パラメータ・セットは、さらにチャンネル・パラメータ・セットまたはリンク・パラメータ・セットとに定義されます。C621x/C671x EDMA は、16 チャンネルをサポートしているため、16 チャンネル・パラメータ・セットを提供します。C64x EDMA は、64 チャンネルをサポートしているため、64 チャンネル・パラメータ・セットを提供します。残りの PaRAM セットは、リンク・パラメータ・セットです。

チャンネル・パラメータ・セットは、イベント・トリガ、チェーン・トリガ、CPU トリガのいずれかの方法によりトリガ可能です。また、アクティブなチャンネルとして使用されていないチャンネル・パラメータ・セットは、リンク・エントリとして使用できます。この詳細については、1.11 節を参照してください。リンク・パラメータ・セットは、トリガ経由で直接発行することはできません。代わりに、指定のチャンネルに対するパラメータ・セットが完了すると、リンク・パラメータ・セットは、自動的にチャンネル・パラメータ・セットの 1 つにコピーまたはリンクされます。これを使用すると、CPU はピンポン・バッファ、サーキュラー・バッファなどをセットアップし、管理することができます。このとき、転送は必要に応じてリンク・パラメータを更新しながら進んでいきます。

表 1-2 では、C6416 DSP の場合の PaRAM フォーマットを示しています。これは、64 チャンネルと合計 85 パラメータ RAM エントリ (64 チャンネル・パラメータ・セットおよび 21 リンク・パラメータ・セット) から構成されています。EDMA イベントの各パラメータ・エントリは、6 つの 32 ビット・ワードつまり 24 バイトで構成されています (エントリについては、図 1-3 を参照してください。その説明については、表 1-3 を参照してください)。

表 1-2. EDMA パラメータ RAM の内容 : C6416 DSP

アドレス	パラメータ
01A00000h ~ 01A00017h	イベント 0 のパラメータ (6 ワード)
01A00018h ~ 01A0002Fh	イベント 1 のパラメータ (6 ワード)
01A00030h ~ 01A00047h	イベント 2 のパラメータ (6 ワード)
01A00048h ~ 01A0005Fh	イベント 3 のパラメータ (6 ワード)
01A00060h ~ 01A00077h	イベント 4 のパラメータ (6 ワード)
01A00078h ~ 01A0008Fh	イベント 5 のパラメータ (6 ワード)
01A00090h ~ 01A000A7h	イベント 6 のパラメータ (6 ワード)
01A000A8h ~ 01A000BFh	イベント 7 のパラメータ (6 ワード)
01A000C0h ~ 01A000D7h	イベント 8 のパラメータ (6 ワード)
01A000D8h ~ 01A000EFh	イベント 9 のパラメータ (6 ワード)
01A000F0h ~ 01A00107h	イベント 10 のパラメータ (6 ワード)
01A00108h ~ 01A0011Fh	イベント 11 のパラメータ (6 ワード)
01A00120h ~ 01A00137h	イベント 12 のパラメータ (6 ワード)
01A00138h ~ 01A0014Fh	イベント 13 のパラメータ (6 ワード)
01A00150h ~ 01A00167h	イベント 14 のパラメータ (6 ワード)
01A00168h ~ 01A0017Fh	イベント 15 のパラメータ (6 ワード)
01A00180h ~ 01A00197h	イベント 16 のパラメータ (6 ワード)
01A00198h ~ 01A001AFh	イベント 17 のパラメータ (6 ワード)
...	...
01A005D0h ~ 01A005E7h	イベント 62 のパラメータ (6 ワード)
01A005E8h ~ 01A005FFh	イベント 63 のパラメータ (6 ワード)
01A00600h ~ 01A00617h	最初のリロード/リンク・エントリ (6 ワード)
01A00618h ~ 01A0062Fh	2 番目のリロード/リンク・エントリ (6 ワード)
...	...
01A007E0h ~ 01A007F7h	21 番目のリロード/リンク・エントリ (6 ワード)
01A007F8h ~ 01A007FFh	スクラッチ・パッド領域 (2 ワード)

図 1-3. 各 EDMA イベントの EDMA チャンネル・パラメータ・エントリ : C6416 DSP

	31	0	EDMA パラメータ
ワード 0	EDMA チャンネル・オプション・パラメータ (OPT)		OPT
ワード 1	EDMA チャンネル・ソース・アドレス (SRC)		SRC
ワード 2	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)	CNT
ワード 3	EDMA チャンネル・デスティネーション・アドレス (DST)		DST
ワード 4	アレイ/フレーム・ インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)	IDX
ワード 5	エレメント・カウント・ リロード (ELERLD)	リンク・アドレス (LINK)	RLD

表 1-3. EDMA チャンネル・パラメータの説明 : C6416 DSP

ワード	略称	パラメータ
0	OPT	チャンネル・オプション
1	SRC	チャンネル・ソース・アドレス
2†	ELECNT	エレメント・カウント
	FRMCNT	フレーム・カウント (1D) またはアレイ・カウント (2D)
3	DST	チャンネル・デスティネーション・アドレス
4†	ELEIDX	エレメント・インデックス
	FRMIDX	フレーム・インデックス (1D) またはアレイ・ インデックス (2D)
5†	LINK	リンク・アドレス
	ELERLD	エレメント・カウント・リロード

† パラメータ・セット・エントリは、STW 命令または LDW 命令を使用して、必ず 32 ビット・ワードとしてアクセスする必要があります。

1.4 EDMA 転送タイプ

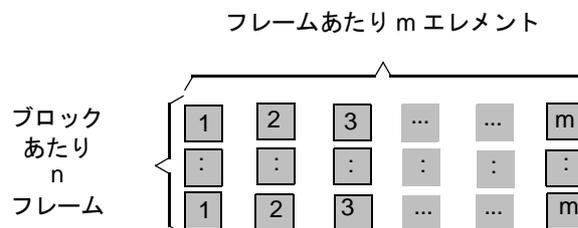
EDMA は、1次元 (1D) および2次元 (2D) の2種類のデータ転送を提供します。チャンネル・オプション・パラメータ・レジスタ (OPT) 内の 2DD フィールドおよび 2DS フィールドを使用して、転送タイプを選択します。2DD フィールドが 1 にセットされると、デスティネーション側で 2D 転送が実行されます。同様に、2DS フィールドが 1 にセットされると、ソース側で 2D 転送が実行されます。2DS と 2DD のすべての組み合わせがサポートされています。

転送がもつ次元数が、データ・フレームの構成を決定します。1D 転送では、複数のエレメントから 1 つのフレームが構成されます。2D 転送では、ブロックは複数のアレイで構成され、各アレイは複数のエレメントで構成されます。EDMA 転送の各種タイプの説明は、付録 A を参照してください。

1.4.1 1次元転送

1D 転送の場合、エレメント・カウント数のエレメントのグループから、1 つのフレームが構成されます。転送は、個々のエレメントに焦点を合わせています。転送されるデータからなる各フレームには、単一の次元があり、フレームあたりのエレメント数を示します。EDMA チャンネルは、複数のフレームまたはフレームのブロックを転送するために設定されますが、各フレームは個別に処理されます。フレーム・カウントは、1D 転送でのフレーム数です。1D 転送は、2 番目の次元が 1 で固定された 2 次元と考えることができます。図 1-4 では、エレメント・カウントが m の 1D フレームの例を示しています。

図 1-4. 1次元転送データ・フレーム



ブロック内のエレメントは、すべて同一アドレスに、連続アドレスに、または間隔を設定可能なオフセットに配置可能です。フレーム内のエレメントのアドレスは、エレメント・インデックス (ELEIDX) によって決定され、特定の距離において配置可能です。また、各フレームの最初のエレメントのアドレスは、フレーム・インデックス (FRMIDX) によって決定され、直前のフレームの特定のエレメントから設定された距離です。1 フレーム全てが転送されると、エレメント・カウントは 0 に到達します。したがって、マルチフレーム転送の場合、エレメント・カウントは転送エンタリ内のエレメント・カウント・リロード・フィールド (ELERLD) からリロードされる必要があります。

エレメント同期転送 (FS = 0) の場合は一度に 1 エレメント、またフレーム同期転送 (FS = 1) の場合は一度に 1 フレームの転送が発行されます。

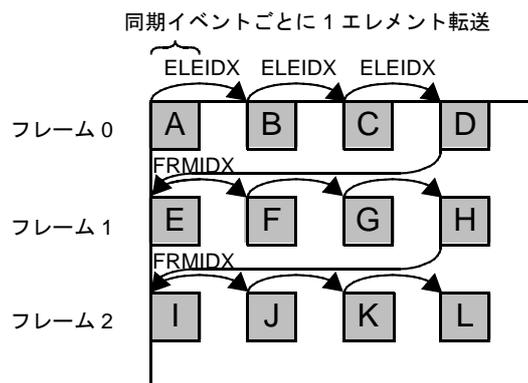
1.4.1.1 エレメント同期 1D 転送 (FS = 0)

注:

エレメント同期転送の場合、プログラマは ELERLD を ELECNT 値にセットする必要があります。

エレメント同期転送の場合、各同期イベントは単一エレメントを転送します。各同期イベントを受信し、単一エレメント TR が EDMA に発行されると、EDMA チャンネル・コントローラはパラメータ・テーブル内のソース・アドレスおよびデスティネーション・アドレスを更新します。したがって、エレメント・インデックス (ELEIDX) およびフレーム・インデックス (FRMIDX) は、エレメント・アドレス間の差分に基づきます。図 1-5 では、各フレーム 4 エレメント (ELECNT=4) で合計 3 フレーム (FRMCNT=2) の 1D エレメント同期転送を示しています。この例では、合計 12 同期イベントで、PaRAM チャンネル・エントリをすべて処理します。

図 1-5. エレメント同期を使用した 1D 転送 (FS = 0)



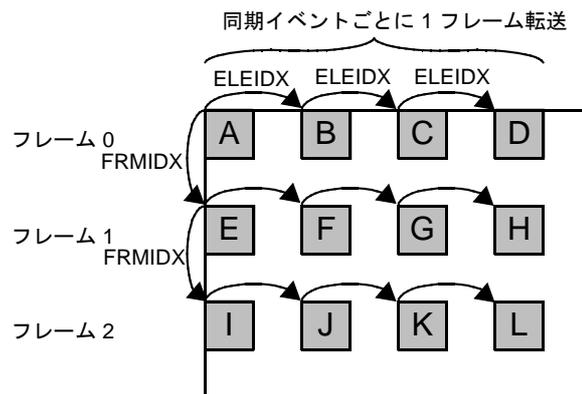
フレーム内の各エレメントは、チャンネル固有の同期イベントを受信すると、そのソース・アドレスからデスティネーション・アドレスに転送されます。チャンネルが同期イベントを受信すると、DMA 処理の転送要求を送出します。その後、EDMA チャンネル・コントローラは、パラメータ RAM 内のエレメント・カウント (ELECNT) を 1 つデクリメントします。チャンネル同期イベントが発生し、ELECNT=1 (フレーム内の最後のエレメントを示す) のとき、EDMA チャンネル・コントローラはイベントによりトリガされる転送要求を最初に送じます。その後、ELERLD 内の 16 ビット値を使ってエレメント・カウント・リロードが行われ、フレーム・カウント (FRMCNT) が 1 つデクリメントします。エレメント・インデックス (ELEIDX) は、フレーム内の次のエレメントのアドレスを計算するために使用されます。同様に、フレーム・インデックス (FRMIDX) が、次のフレームの先頭アドレスを生成するために、フレーム内の最後のエレメント・アドレスに加算されます。アドレス変更およびカウント変更は、選択される更新モードのタイプに依存します。特定の更新については、1.9.1 項および 1.9.2 項を参照してください。

リンクがイネーブル、すなわち $LINK = 1$ (1.11 節を参照) の場合、最後の転送要求が EDMA 転送コントローラに送信された後、転送パラメータ式が EDMA チャンネル・コントローラ・パラメータ RAM 内のパラメータ・リロード空間からリロードされます。これは次のイベントが発生する前に、新しいパラメータ・セットを設定します。

1.4.1.2 フレーム同期 1D 転送 (FS = 1)

フレーム同期転送の場合、各同期イベントは複数エレメントからなる単一フレームを転送します。フレーム・インデックスは、フレームの最後のエレメントのアドレスと後続フレームの最初のエレメントのアドレスとの間の差分ではなく、各フレームの先頭アドレス間の差分を表します。フレーム同期 1D 転送は、アレイ同期 2D 転送と (ELEIDX がエレメントあたりのバイト数と等しいという前提のもと) 機能的に同じです。図 1-6 では、各フレーム 4 エレメント (ELECNT=4) で合計 3 フレーム (FRMCNT=2) のフレーム同期 1D 転送の場合のアドレス・インデックスを示しています。この例では、合計 3 同期イベントで、PaRAM チャンネル・エントリをすべて処理します。

図 1-6. フレーム同期を使用した 1D 転送 (FS = 1)



各フレーム内のエレメント転送が同期するのではなく、チャンネル・イベントは各フレーム転送に同期します。チャンネル・オプション・パラメータ・レジスタ (OPT) 内の FS ビットは、フレーム同期転送をイネーブルにするために 1 にセットしておく必要があります。エレメント・インデックス (ELEIDX) は、フレーム内のエレメントを間隔をあけて配置するために使用できます。フレーム・インデックス (FRMIDX) は、次のフレームの先頭アドレスを生成するためにフレーム内の先頭エレメント・アドレスに加算できます。エレメント・カウント・リロード (ELERLD) は、1D フレーム同期転送 (FS = 1) には適用しません。アドレス変更およびカウント変更は、選択される更新モードのタイプに依存します。特定の更新については、1.9.1 項および 1.9.2 項を参照してください。

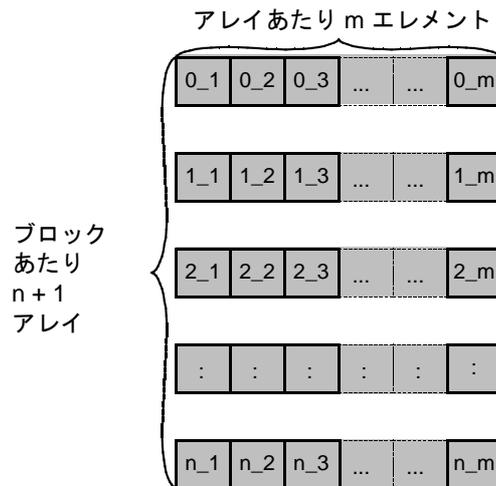
リンクがイネーブル、すなわち $LINK = 1$ (1.11 節を参照) の場合、最後の転送要求が EDMA 転送コントローラに送信された後、転送パラメータ式が EDMA チャンネル・コントローラ・パラメータ RAM 内のパラメータ・リロード空間からリロードされます。

1.4.2 2次元転送

2D 転送は、同期イベントの受信時に連続エレメントのセット (アレイと呼びます) を転送する必要がある、画像処理アプリケーションで役立ちます。これはアレイ内のエレメント間にスペースもインデックスもないことを意味しています。このため、2D 転送はエレメント・インデックス (ELEIDX) を使用しません。アレイ内のエレメント数が、転送の最初の次元になります。アレイのグループは、ブロックと呼ばれる、次の次元を形成します。アレイは一定量のオフセットを持つことができます。図 1-7 では、アレイ・カウント n でエレメント・カウント m の 2D フレームを示しています。

アレイのオフセットは、アレイ・インデックス (FRMIDX) により決定されます。その値は転送の同期モードに依存します。アレイ同期転送 ($FS = 0$) の場合は一度に 1 アレイ、またブロック同期転送 ($FS = 1$) の場合は一度に 1 ブロックの転送が発行されます。

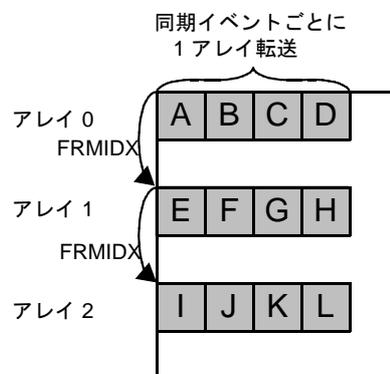
図 1-7. 2次元転送データ・ブロック



1.4.2.1 アレイ同期 2D 転送 (FS = 0)

アレイ同期転送の場合、各同期イベントは連続エレメントからなる単一アレイを転送します。アレイ同期の 2D 転送を実行するように設定されたチャンネルは、各アレイの転送要求が発行された後、ソース・レジスタおよびデスティネーション・レジスタを更新します。アレイ・インデックス (FRMIDX) は、ブロックの各アレイに対する先頭アドレス間の差分です。図 1-8 では、各フレーム 4 エレメント (ELECNT=4) で合計 3 アレイ (FRMCNT=2) のアレイ同期 2D 転送を示しています。この例では、合計 3 同期イベントで、PaRAM チャンネル・エントリをすべて処理します。FRMIDX は、固定アドレス更新モード (SUM/DUM=00b) を除く、すべての更新モードに対して使用されます。

図 1-8. アレイ同期を使用した 2D 転送 (FS = 0)



同期イベントを受信すると、アレイ (エレメントの連続グループ) が転送されます。図 1-8 では、アレイ内に 4 エレメント (ELECNT=4) で転送されるアレイ数が 3 (FRMCNT=2) であることを示しています。フレーム・カウント (FRMCNT) は、各アレイの転送後にデクリメントします。フレーム・インデックスは、次のアレイの先頭アドレスを生成するために、アレイの先頭アドレスに加算されます。実際のアドレス変更およびカウント変更は、選択される更新モードのタイプに依存します。特定の更新については、1.9.2 項および 1.11 節を参照してください。

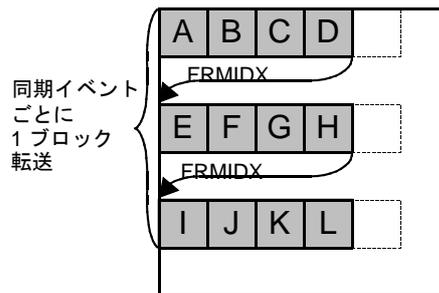
FRMCNT が 0 に到達し、かつリンクがイネーブル、すなわち LINK=1 (1.11 節を参照) の場合、最後の転送要求がアドレス生成ハードウェアに送信された後、転送パラメータ一式が EDMA チャンネル・コントローラ・パラメータ RAM 内のパラメータ・リロード空間からリロードされます。

1.4.2.2 ブロック同期 2D 転送 (FS = 1)

2D ブロック同期転送の場合、単一同期イベントは複数アレイからなるブロック全体を転送します。2D 転送の場合、全てのブロックが、チャンネルのイベントが発生し、かつ FS=1 のときに転送されます。ブロック同期により、アドレス生成 / 転送ロジックはアレイ・インデックス (FRMIDX) を実装することになります。このアドレス更新は透過的で、パラメータ RAM には反映されません。アドレスは、バースト状の各エレメントの後で更新されます。このロジックは、SUM/DUM の設定に従って、最初にアドレスを更新します。エレメントがアレイの最後で、更新モードが選択されている場合 (SUM/DUM ≠ 00b)、アドレスはアレイ・インデックスに従って更新されます。インデックスは、アドレス更新発生後にアドレスに加算されます。FRMIDX はブロックのアレイ間のスペースと等しくなります (図 1-9 を参照)。

リンクがイネーブル、すなわち LINK=1 の場合、リンク先の次の EDMA ブロック転送 (リンク・アドレスが指定) は、次のブロック同期が到着するとただちに実行されます。リンクの詳細は、1.11 節を参照してください。

図 1-9. ブロック同期を使用した 2D 転送 (FS = 1)



1.5 EDMA チャンネル・コントローラ転送の開始

EDMA チャンネル・コントローラ (EDMACC) を使用する、プログラムされたデータ転送を開始するには、次の3つの方法があります。

- イベントトリガ転送要求 (この方法が、EDMACC の典型的な使い方です)。ペリフェラル、システム、または外部生成イベントが転送要求 (TR) をトリガできます。
- チェーントリガ転送要求。ある転送が完了すると、転送要求 (TR) を発行するために新しい EDMA チャンネルをトリガできます。
- CPU トリガ転送要求。指定されたチャンネルに対してイベント・セット・レジスタ (ESR) にライトすることで、CPU が転送要求 (TR) を手動でトリガできます。

クイック DMA (QDMA) 転送は、EDMA チャンネル コントローラをバイパスして、転送要求を直接 EDMA 転送コントローラに発行する方法を提供します。これは EDMA チャンネル・コントローラの一部ではないので、1.16 節を参照してください。

すべての TR について、開始モードに関係なく、EDMA 転送コントローラは、要求をキューにつみ、TR が EDMA 転送コントローラのプログラムされたプライオリティ・キューの先頭に到達すると、データ転送を実行します。

1.5.1 イベントトリガ転送要求

イベントがアサートされると、そのイベントはイベント・レジスタの対応するチャンネル内 ($ER_n = 1$) にラッチされます。イベント・イネーブル・レジスタの対応するチャンネルがイネーブル ($EER_n = 1$) の場合、EDMA チャンネル・コントローラは対応する PaRAM チャンネル・エントリを処理します。PaRAM チャンネル・エントリが NULL エントリの場合、転送要求 (TR) は発行されず、対応する ER_n ビットはクリアされます。PaRAM チャンネルが有効なエントリ、すなわち NULL エントリではない場合、TR は EDMA 転送コントローラに発行され、かつ対応する ER_n ビットはクリアされます。TR が発行され、 ER_n ビットがクリアされる (データ転送が発生したときである必要はない) と、新しいイベントが EDMA チャンネル・コントローラで受信および処理可能になります。

イベントが受信されると、 EER_n のステートに関係なく、イベント・レジスタ内の対応するビット (ER_n) がセットされます。イベントがディスエーブルのときに、イベントが受信される ($ER_n = 1$ かつ $EER_n = 0$) と、 ER_n ビットはセットされたままになります。これ以後、イベントがイネーブルになる ($EER_n = 1$) と、TR が発行され、かつ ER_n ビットがクリアされます。

1.5.2 チェーントリガ転送要求

チェーンは、1つの転送が完了すると、自動的に他のチャンネルに対して転送要求 (TR) の発行をトリガするメカニズムです。転送完了コード (TCC/ATCC) を受信すると、チャンネル・チェーン・イネーブル・レジスタ内の対応するビットがイネーブルの (CCER n =1) 場合、EDMA チャンネル・コントローラは対応する PaRAM チャンネル・エントリを処理します。PaRAM チャンネル・エントリが、NULL エントリの場合、TR は発行されません。PaRAM チャンネル・エントリが有効なエントリ、すなわち NULL エントリではない場合、TR は EDMA 転送コントローラに発行されます。TR が発行された後 (転送が発生したときである必要はない)、新しい TCC が EDMA チャンネル・コントローラで受信および処理可能になります。

転送完了機能は、チェーンと割り込み生成とで共有されます。TCC を受信すると、チャンネル・インタラプト・イネーブル・レジスタ (CIER) およびチャンネル・チェーン・イネーブル・レジスタ (CCER) のステートに関係なく、チャンネル・インタラプト・ペンディング・レジスタ内の対応するビットがセットされます (CIP n =1)。これ以後、チャンネルがチェーン用にイネーブルになる (CCER n =1) と、TR は発行されず、かつ CIPR n ビットはセットされたままになります。TR が発行されるためには、新しい TCC を受信する必要があります。詳細は、3.3 節または 4.3 節を参照してください。

1.5.3 CPU トリガ転送要求

EDMA 転送を開始するために、CPU は、イベント・セット・レジスタ (ESR) にライトできます。ESR 内の対応するイベントに 1 をライトすると、EER n ビットのステートに関係なく、転送要求 (TR) の発行がトリガされます。イベントトリガ転送やチェーントリガ転送とまったく同じように、エントリが NULL エントリではない場合、EDMA チャンネル・コントローラ PaRAM 内の転送パラメータが評価され、TR が EDMA 転送コントローラに発行されます。CPU が開始する EDMA 転送の場合、対応するイネーブル・ビットはイベント・イネーブル・レジスタ (EER) 内でセットしておく必要がありません。

1.6 EDMA チャンネル・コントローラでのイベントとチャンネルのマッピング

すべての EDMA チャンネルは、特定の同期イベントと関連付けられています。同期イベントにより、EDMA 転送をペリフェラル、外部ハードウェア、または EDMA 転送完了イベントからのイベントでトリガできます。チャンネルがイベントを受信するとき、または ESR にライトすることで CPU が手動で同期するとき、チャンネルはデータ転送のみを要求します。転送されるデータの量は、チャンネルの設定に依存します。チャンネルは、フレーム同期またはブロック同期の場合、フレーム全体またはブロック全体の転送を発行できます。またエレメント同期またはアレイ同期の場合、フレームのサブセット（エレメントまたはアレイ、次元により異なる）の転送を発行できます。

表 1-4 および表 1-5 では、C621x/C671x DSP および C64x DSP の各プログラマブル EDMA チャンネルに関連する同期イベントをそれぞれ示しています。

大部分の C6000 EDMA ベースのデバイスでは、チャンネルとイベントの関連付けは固定されています。各 EDMA チャンネルには、1つの特定のイベントが関連付けられています。たとえば、C6211 DSP（表 1-4 を参照）では、タイマ割り込み 0（TINT0）は必ず EDMA チャンネル 1 に関連付けられています。

一部の C6000 デバイス（たとえば、C6713 DSP）には、指定された EDMA チャンネルに関連付けるイベントを選択できるイベント・セクタ・ブロックが含まれています。

特定のイベントとチャンネルのマッピングを判別したり、デバイスにイベント・セクタが含まれているかを判別するには、各デバイスのデータシートを参照してください。

あるチャンネルがイベントトリガではない（たとえば、チャンネル 0 が、DSPINT ではトリガされない）場合、その PaRAM エントリは CPU トリガ転送にも、チェーン・トリガ転送にも、リンクにも使用できます。

表 1-4. EDMA チャンネル同期イベント : C6211 DSP

EDMA チャンネル 番号 [†]	イベントの略称	イベントの説明
0	DSPINT	DSP へのホスト・ポート割り込み
1	TINT0	タイマ 0 割り込み
2	TINT1	タイマ 1 割り込み
3	SD_INT	EMIF SDRAM タイマ割り込み
4	EXT_INT4	外部割り込みピン 4
5	EXT_INT5	外部割り込みピン 5
6	EXT_INT6	外部割り込みピン 6
7	EXT_INT7	外部割り込みピン 7
8	EDMA_TCC8	EDMA 転送完了コード 1000b 割り込み
9	EDMA_TCC9	EDMA 転送完了コード 1001b 割り込み
10	EDMA_TCC10	EDMA 転送完了コード 1010b 割り込み
11	EDMA_TCC11	EDMA 転送完了コード 1011b 割り込み
12	XEVT0	McBSP0 送信イベント
13	REVT0	McBSP0 受信イベント
14	XEVT1	McBSP1 送信イベント
15	REVT1	McBSP1 受信イベント

[†]EDMA チャンネル 8 ~ 11 は、チェーン転送のみに使用されます。3.3 節「イベントによる EDMA チャンネルのチェーン」を参照してください。

表 1-5. EDMA チャンネル同期イベント : C6416 DSP

EDMA チャンネル 番号 [†]	イベントの略称	イベントの説明
0	DSPINT	DSP へのホスト・ポート割り込み
1	TINT0	タイマ 0 割り込み
2	TINT1	タイマ 1 割り込み
3	SD_INT0	EMIFA SDRAM タイマ割り込み
4	GPINT4/EXT_INT4	GPIO イベント 4 / 外部割り込み 4
5	GPINT5/EXT_INT5	GPIO イベント 5 / 外部割り込み 5
6	GPINT6/EXT_INT6	GPIO イベント 6 / 外部割り込み 6
7	GPINT7/EXT_INT7	GPIO イベント 7 / 外部割り込み 7
8	GPINT0	GPIO イベント 0
9	GPINT1	GPIO イベント 1
10	GPINT2	GPIO イベント 2
11	GPINT3	GPIO イベント 3
12	XEVT0	McBSP 0 送信イベント
13	REVT0	McBSP 0 受信イベント
14	XEVT1	McBSP 1 送信イベント
15	REVT1	McBSP 1 受信イベント
16	-	なし
17	XEVT2	McBSP 2 送信イベント
18	REVT2	McBSP 2 受信イベント
19	TINT2	タイマ 2 割り込み
20	SD_INT1	EMIFB SDRAM タイマ割り込み
21	PCI	PCI ウェイクアップ割り込み
22-27	-	なし
28	VCPREVT	VCP 受信割り込み
29	VCPXEVT	VCP 送信割り込み
30	TCPREVT	TCP 受信割り込み
31	TCPXEVT	TCP 送信割り込み
32	UREVT	UTOPIA 受信イベント

[†] 各 64 チャンネルは転送完了イベントか、または代替転送完了イベントに同期できます。4.3 節「イベントによる EDMA チャンネルのチェーン」を参照してください。

表 1-5. EDMA チャンネル同期イベント : C6416 DSP (続き)

EDMA チャンネル 番号 [†]	イベントの略称	イベントの説明
33-39	-	なし
40	UXEVT	UTOPIA 送信イベント
41-47	-	なし
48	GPINT8	GPIO イベント 8
49	GPINT9	GPIO イベント 9
50	GPINT10	GPIO イベント 10
51	GPINT11	GPIO イベント 11
52	GPINT12	GPIO イベント 12
53	GPINT13	GPIO イベント 13
54	GPINT14	GPIO イベント 14
55	GPINT15	GPIO イベント 15
56-63	-	なし

[†]各 64 チャンネルは転送完了イベントか、または代替転送完了イベントに同期できます。4.3 節「イベントによる EDMA チャンネルのチェーン」を参照してください。

1.7 エレメント・サイズおよびアラインメント

EDMA チャンネル・コントローラ (EDMACC) が転送用に使用するエレメント・サイズは、チャンネル・オプション・パラメータ・レジスタ (OPT) の ESIZE フィールドで指定されます。EDMACC は、32 ビット・ワード、16 ビット・ハーフワード、8 ビット・バイトのいずれかを 1 回に転送できます。EDMA 転送は、32 ビット・ワードを使用すると、スループットは高くなり、16 ビット、8 ビットの順にスループットは低くなります。

アドレスはエレメント・サイズ境界にアラインされる必要があります。ワード・アクセスはワード (4 の倍数) 境界に、ハーフワード・アクセスはハーフワード (2 の倍数) 境界に、それぞれアラインされる必要があります。アラインされない値の場合、動作は不定です。

1.8 固定モード転送の考慮事項

EDMA の最大エレメント・サイズは、32 ビット・ワードですが、次の EDMA 転送コントローラ・データ・パスは 64 ビット幅です。

- L2 SRAM (すべての C6000 EDMA ベースのデバイス)
- EMIFA (64 ビット幅メモリへのインターフェイス、C64x DSP のみ)
- TCP および VCP (6416 DSP のみ)
- ビデオ・ポート (DM642 DSP および C6412 DSP)
- 他の例については、該当デバイスのデータシートを参照してください。

64 ビット幅のペリフェラルとの間でエレメントのバースト転送をするとき (たとえば、L2 SRAM または EMIFA)、エレメント・サイズが 32 ビット・ワードの場合 (ESIZE = 00b)、使用可能なバンド幅を最大限にするために 64 ビット・エレメントで転送されます。この最適化のため、EDMA 転送コントローラとの間で 64 ビット・データ・パスを持つペリフェラルへの固定モード・アクセス (SUM または DUM = 固定) を実行するときには、注意が必要です。

- EDMA が次のパラメータを使用して、セットアップされた場合
 - エレメント・サイズは、32 ビット・ワード (OPTIONS フィールドの ESIZE = 00b)
 - ソースまたはデスティネーションのいずれかで固定アドレス・モード (OPTIONS フィールドの SUM または DUM = 00b)
 - 転送 / 同期タイプが、アレイ / フレーム / ブロック同期 (エレメント同期ではない。1.9.1 項を参照)。
 - エレメント・カウントが、1 より大きい (ELECNT > 1)。
 - ソース・バス幅またはデスティネーション・バス幅のいずれかが、64 ビット。

- 次の条件が真であることを確認してください。
- エレメント・カウント (ELECNT) が、2 の倍数になっていること。
 - フレーム / アレイ・インデックス・フィールドが、8 バイト (2 ワード、1 ダブルワード) の倍数になっていること。
 - ソース・アドレスおよびデスティネーション・アドレスの両方が、ダブルワードでアラインされていること (すなわち、8 バイト (2 ワード、1 ダブルワード) の倍数)。

上記条件が満たされない場合、動作は不定です。

上記の EDMA 設定を使用した 64 ビット幅のデータ・バスへのアクセスは、64 ビット境界で固定され、必ずダブルワード・アクセスを実行します。たとえば、L2 SRAM または EMIFA 上の 64 ビット・デバイスへ固定アドレス・モード内で N 回の 32 ビット・アクセスを実行する (ELECNT = N, N > 1) とき、EDMA 転送コントローラは実際には固定ダブルワード・アドレスで N/2 回の 64 ビット・アクセスを実行します。したがって、実際には 64 ビット・ダブルワードで転送されます。

固定モード (DUM = 00b) のデスティネーションでかつ上記条件の場合、固定ダブルワード・デスティネーション・アドレスのワード 0 およびワード 1 の両方が更新されます。たとえば、バイト・アドレス 80000000h の 64 ビット EMIF へ固定モード、8 エレメント、32 ビット ESIZE のライトをすると、単一 EMIF バス・サイクルの新しいデータで、ワード 0 (アドレス 80000000h) およびワード 1 (アドレス 80000004h) の両方を更新します。これは合計 4 回繰り返されます。したがって、EMIF が 64 ビット FIFO へインターフェイスする場合、フル 64 ビット・バス幅が利用されます。

固定モード (SUM = 00b) のソースでかつ上記条件の場合、固定ダブルワード・ソース・アドレスのワード 0 およびワード 1 の両方が抽出されます。たとえば、バイト・アドレス 80000000h の 64 ビット EMIF から固定モード、8 エレメント、32 ビット ESIZE のリードをすると、単一サイクルでワード 0 (アドレス 80000000h) およびワード 1 (アドレス 80000004h) がリードされます。これは合計 4 回繰り返されます。したがって、EMIF が 64 ビット FIFO へインターフェイスする場合、フル 64 ビット・バス幅が利用されます。そうではなく、EMIF または L2 がメモリとして使用されていて、フィル動作が行われる (たとえば、固定ソースからインクリメントするデスティネーション・アドレス) 場合、ダブルワード・アラインされているアドレスのワード 0 およびワード 1 の両方が、指定されたフィル値でセットされることを確認する必要があります。

1.9 パラメータ・セットの更新

1.9.1 エレメントおよびフレーム/アレイ・カウントの更新

EDMA チャンネル・コントローラ・パラメータのエントリには、エレメント・カウント (ELECNT) およびフレーム/アレイ・カウント (FRMCNT) の値が含まれています。各エントリは、16 ビット符号なし値です。ELECNT は、フレームまたはアレイ内の実際のエレメント数を指定します。フレームまたはアレイ内の最大エレメント数は、65535 です。FRMCNT は実際のフレーム/アレイ数から 1 を引いた数を指定します。ブロック内のフレームまたはアレイの最大数は、65536 です。これは、FRMCNT の 0 は 1 を、1 は 2 を、以下 65535 は 65536 をそれぞれ表すからです。

OPTIONS フィールドの 2DS/2DD ビットおよび FS ビットによる転送の同期タイプに応じて、各転送要求が発行された後、EDMA チャンネル・コントローラは、対応するチャンネル転送エントリ内の ELECNT および FRMCNT を更新します (表 1-6 を参照)。一般に、EDMA チャンネル・コントローラは、完全なパラメータ・セットを構成する転送要求/同期イベントの数を正しく追跡するために、ELECNT および FRMCNT フィールドを追跡する必要があります。ELECNT および FRMCNT フィールドが一定となる転送要求タイプでは、EDMA 転送コントローラが追跡しているので、EDMA チャンネル・コントローラが追跡する必要はありません。

表 1-6. EDMA エレメントおよびフレーム/アレイ・カウントの更新

同期	転送モード	エレメント・カウントの更新	フレーム/アレイ・カウントの更新 [†]
エレメント同期	1D (FS = 0、2DS & 2DD = 0)	-1 (ELECNT = 1 の場合は、リロード)	-1 (エレメント・カウント = 1 のとき)
フレーム同期	1D (FS = 1、2DS & 2DD = 0)	なし	-1
アレイ同期	2D (FS = 0、2DS 2DD = 1)	なし	-1
ブロック同期	2D (FS = 1、2DS 2DD = 1)	なし	なし

[†] フレーム・カウントの更新は、1D 転送に適用されます。アレイ・カウントの更新は、2D 転送に適用されます。フレーム/アレイ・カウントが 0 (FRMCNT = 0) の場合、フレーム/アレイ・カウントの更新は、発生しません。

エレメント同期転送の場合のエレメント・カウントのリロードには、特別な条件があります。同期イベントがフレームの最後（イベント前で ELECNT = 1）で発生するとき、EDMA チャンネル・コントローラは、転送要求を送出し、パラメータ RAM 内のエレメント・カウント・リロード・フィールドから ELECNT をリロードします。エレメント・カウントが 1 で、フレーム・カウントがゼロ以外（つまり、転送するフレームがさらにある）の場合、エレメント・カウント・リロードが発生します。エレメント同期転送を設定する場合、正常な動作を保証するために、ELERLD フィールドは必ず ELECNT フィールドの初期値と同じにセットしておきます。

1.9.2 ソース / デスティネーション・アドレスの更新

OPTIONS フィールドの 2DS ビット、2DD ビットおよび FS ビットによる転送の同期タイプに応じて、各転送要求が発行された後、EDMA チャンネル・コントローラは、対応するチャンネル・パラメータ・セット内のソース・アドレス (SRCADDR) およびデスティネーション・アドレス (DSTADDR) を更新します (表 1-6 を参照)。EDMA 転送コントローラは、ソース・アドレス更新モード (SUM) ビットおよびデスティネーション・アドレス・更新モード (DUM) ビットに従って転送要求内のアドレス更新を行います (表 1-7 を参照)。表 1-7 に示されている各種アドレス更新モードが、各種データ構造の作成を提供します。ソース・アドレスおよびデスティネーション・アドレスの両方またはそのいずれかは、フレーム / ブロック同期 (FS) がイネーブルかどうか、または転送の次元 (2DS/2DD) に基づき、更新されます。すべてのアドレス更新は、現在の転送要求が送信された後に発生します。したがって、次のイベント用に EDMA チャンネル・コントローラ・パラメータをセットするために、これらの更新は使用されます。

ソース・アドレスおよびデスティネーション・アドレスの両方またはいずれかの更新は、ソースおよびデスティネーションの両方に対して選択された転送タイプにより異なります。たとえば、アレイ同期転送では、EDMA チャンネル・コントローラが転送の FRMIDX または ELECNT に従って、ソース・アドレスおよびデスティネーション・アドレスの両方を更新することになります。EDMA 転送コントローラは、リード / ライトをポートに対して実行する時に、SUM/DUM ビットに基づき、アレイ内のアドレス更新を行います。表 1-8 (1-28 ページ) では、フレーム同期 (FS)、転送タイプ (2DS/2DD)、および SUM 値の組み合わせに対するソース・アドレスの変更量を示しています。表 1-9 (1-29 ページ) では、デスティネーション・アドレスでの可能な更新を示しています。

ソースまたはデスティネーションのいずれかが 2D 転送でかつ、ブロック同期転送の場合 (FS = 1)、データブロッカー式が、1 回の同期イベントで転送されることに注意してください。したがって、EDMA チャンネル・コントローラのアドレス更新は、この場合適用されません。これは、パラメータ・セット全体が単一転送要求として発行され、EDMA 転送コントローラがアドレス更新を管理しているからです (この更新は PaRAM から見えません)。LINK = 1 かつリンク条件 (表 1-10 を参照) が満たされている場合、リンク・パラメータは直接イベント・パラメータにコピーされます。

表 1-7. ソース/デスティネーション・アドレスの更新モード

SUM/DUM ビット値 (2進数)	アドレス変更	1D 転送	2D 転送
00	なし	すべてのエレメントは、同一アドレスに配置されます。	アレイ内のすべてのエレメントは、同一アドレスにあります。
01	インクリメント	すべてのエレメントは連続しており、エレメントは直前のものより上位アドレスに配置されます。	アレイ内のすべてのエレメントは連続しており、エレメントは直前のものより上位アドレスに配置されます。アレイは、FRMIDX のオフセットで配置されます。
10	デクリメント	すべてのエレメントは連続しており、エレメントは直前のものより下位アドレスに配置されます。	アレイ内のすべてのエレメントは連続しており、エレメントは直前のものより下位アドレスに配置されます。アレイは、FRMIDX のオフセットで配置されます。
11	インデックス	フレーム内のすべてのエレメントは、相互に ELEIDX のオフセットで配置されます。フレームは、FRMIDX のオフセットで配置されます。	予約。

表 1-8. EDMA ソース・アドレス・パラメータの更新

同期タイプ	FS	ソース更新モード (SUM)					
		2DS:2DD	00	01	10	11	
エレメント	0	00	なし	+ESIZE	-ESIZE	+ELEIDX または +FRMIDX (ELECNT = 1 の場合)	
				エレメント・サイズ分の インクリメント。	エレメント・サイズ分の デクリメント。	フレーム内の最後のエレ メントを除き、各エレメ ントに符号付き ELEIDX を加算する。 ELECNT = 1 の場合、フ レーム内の最後のエレメ ントに符号付き FRMIDX を加算する。	
アレイ	0	01	なし	+ (ELECNT × ESIZE バ イト)	+ (ELECNT × ESIZE バイト)	予約	
				直前のフレームの先頭ア ドレスにエレメント・サ イズ分だけ拡大縮小した ELECNT を加算する。	直前のフレームの先頭ア ドレスからエレメント・ サイズ分だけ拡大縮小し た ELECNT を減算する。		
			10	なし	+FRMIDX	+FRMIDX	予約
				フレーム内の最初のエレ メントに符号付き FRMIDX を加算する。フ レーム内のエレメント・ アドレスは、増加順にな る。	フレーム内の最初のエレ メントに符号付き FRMIDX を加算する。フ レーム内のエレメント・ アドレスは、減少順にな る。		
			11	なし	+FRMIDX	+FRMIDX	予約
				フレーム内の最初のエレ メントに符号付き FRMIDX を加算する。フ レーム内のエレメント・ アドレスは、増加順にな る。	フレーム内の最初のエレ メントに符号付き FRMIDX を加算する。フ レーム内のエレメント・ アドレスは、減少順にな る。		
フレーム	1	00	なし	+ (ELECNT × ESIZE バ イト)	+ (ELECNT × ESIZE バイト)	+FRMIDX	
				直前のフレームの先頭ア ドレスにエレメント・サ イズ分だけ拡大縮小した ELECNT を加算する。	直前のフレームの先頭ア ドレスからエレメント・ サイズ分だけ拡大縮小し た ELECNT を減算する。	フレーム内の最初のエレ メントに符号付き FRMIDX を加算する。フ レーム内のエレメント・ アドレスは ELEIDX 間 隔。	
ブロック	1	01	なし	なし	なし	予約	
			10	なし	なし	なし	予約
			11	なし	なし	なし	予約

凡例 : ELECNT : エレメント・カウント、ELEIDX : 16 ビット符号付きエレメント・インデックス値、FRMCNT : フレーム/アレイ・カウント、FRMIDX : 16 ビット符号付きフレーム・インデックス値 (1D 転送) または 16 ビット符号付きアレイ・インデックス値 (2D 転送)、ESIZE : エレメント・サイズ (バイト数)

表 1-9. EDMA デスティネーション・アドレス・パラメータの更新

デスティネーション更新モード (DUM)								
同期タイプ	FS	2DS:2DD	00	01	10	11		
エレメント	0	00	なし	+ESIZE エレメント・サイズ分の インクリメント。	-ESIZE エレメント・サイズ分 のデクリメント。	+ELEIDX また は +FRMIDX (ELECNT = 1 の場合) フレーム内の最後のエ レメントを除き、各エ レメントに符号付き ELEIDX を加算する。 ELECNT = 1 の場合、フ レーム内の最後のエレ メントに符号付き FRMIDX を加算する。		
アレイ	0	01	なし	+FRMIDX フレーム内の最初のエ レメントに符号付き FRMIDX を加算する。 フレーム内のエレメン ト・アドレスは、増加 順になる。	+FRMIDX フレーム内の最初のエ レメントに符号付き FRMIDX を加算する。 フレーム内のエレメン ト・アドレスは、減少 順になる。	予約		
				10	なし	+ (ELECNT × ESIZE バ イト)	+ (ELECNT × ESIZE バイト)	予約
						直前のフレームの先頭 アドレスにエレメン ト・サイズ分だけ拡大 縮小した ELECNT を加 算する。	直前のフレームの先頭 アドレスからエレメン ト・サイズ分だけ拡大 縮小した ELECNT を減 算する。	
		11	なし	+FRMIDX フレーム内の最初のエ レメントに符号付き FRMIDX を加算する。 フレーム内のエレメン ト・アドレスは、増加 順になる。	+FRMIDX フレーム内の最初のエ レメントに符号付き FRMIDX を加算する。 フレーム内のエレメン ト・アドレスは、減少 順になる。	予約		
フレーム	1	00	なし	+ (ELECNT × ESIZE バ イト) 直前のフレームの先頭 アドレスにエレメン ト・サイズ分だけ拡大 縮小した ELECNT を加 算する。	+ (ELECNT × ESIZE バイト) 直前のフレームの先頭 アドレスからエレメン ト・サイズ分だけ拡大 縮小した ELECNT を減 算する。	+FRMIDX フレーム内の最初のエ レメントに符号付き FRMIDX を加算する。 フレーム内のエレメン ト・アドレスは ELEIDX 間隔。		
ブロック	1	01	なし	なし	なし	予約		
				10	なし	なし	予約	
				11	なし	なし	予約	

凡例 : ELECNT : エレメント・カウント、ELEIDX : 16 ビット符号付きエレメント・インデックス値、FRMCNT : フレーム/アレイ・カウント、FRMIDX : 16 ビット符号付きフレーム・インデックス値 (1D 転送) または 16 ビット符号付きアレイ・インデックス値 (2D 転送)、ESIZE : エレメント・サイズ (バイト数)

1.10 チャンネル完了条件

必要な同期イベントの数に基づき、必要な数の転送要求が発行されると、チャンネルに対するパラメータ・セットは完了します。各転送タイプについて、表 1-10 に示します。

表 1-10. 転送タイプに対応するチャンネル完了条件

同期タイプ	同期イベントごとの転送要求サイズ	チャンネル完了に必要な同期イベントの合計数	最後の同期イベント直前のパラメータ・セット状態
エレメント同期	1	$ELECNT \times (FRMCNT + 1)$	$FRMCNT = 0 \ \&\& \ ELECNT = 1$
フレーム同期	ELECNT	$FRMCNT + 1$	$FRMCNT = 0$
アレイ同期	ELECNT	$FRMCNT + 1$	$FRMCNT = 0$
ブロック同期	$ELECNT \times (FRMCNT + 1)$	1	任意

EDMA チャンネル・コントローラは転送要求が完了すると、2 つの異なる動作を処理します。

- 最初に、チャンネルが転送完了割り込み ($TCINT = 1$) の生成をイネーブルにしている場合、完了を通知するためにユーザがプログラムした転送完了コード (TCC) とともに EDMA 転送コントローラへ TR が発行されます。転送コントローラ内で転送が完了すると、TCC が EDMA チャンネル・コントローラに送信されます。他の EDMA チャンネルへのトリガ (チェーンについては、3.3 節または 4.3 節を参照) や CPU への割り込み生成のために、EDMA チャンネル・コントローラがこのコードを使用します。C64x EDMA は、ここで説明したような完了に基づく割り込み、および各転送要求ごとに代替完了割り込みを生成することに注意してください。
- 2 番目に、チャンネルがリンクをイネーブルにしている場合、リンクの更新は、最後の TR が発行された後に行われます。これは、次の同期イベント用にチャンネルのパラメータ・エントリを準備します。これについては、1.11 節を参照してください。

1.11 EDMA 転送のリンク

EDMA チャンネル・コントローラ (EDMACC) は、CPU を介在することなく、特にピンポン・バッファのメンテナンス、複雑なソート、サーキュラー・バッファに役立つリンク機能を提供します。LINK=1 の場合、転送が完了すると、EDMACC リンク機能は、16 ビット・リンク・アドレスによって指し示されたパラメータを現在の転送パラメータにリロードします。EDMACC パラメータ RAM 全体は、01A0xxxxh 領域に配置されます。したがって、16 ビット・リンク・アドレスは下位 16 ビット物理アドレスに対応し、次の転送エントリのロケーションを指定するには、十分です。リンク・アドレスは、24 バイト境界にアラインされる必要があります。図 1-10 では、リンクされた EDMACC 転送の例を示しています。

注:

すべての有効な EDMA チャンネル・パラメータ・セットは、正常な動作をするためにリンクをイネーブルにする必要があります。このパラメータは、他の有効な転送か、NULL のいずれかへリンクします。1.12 節を参照してください。

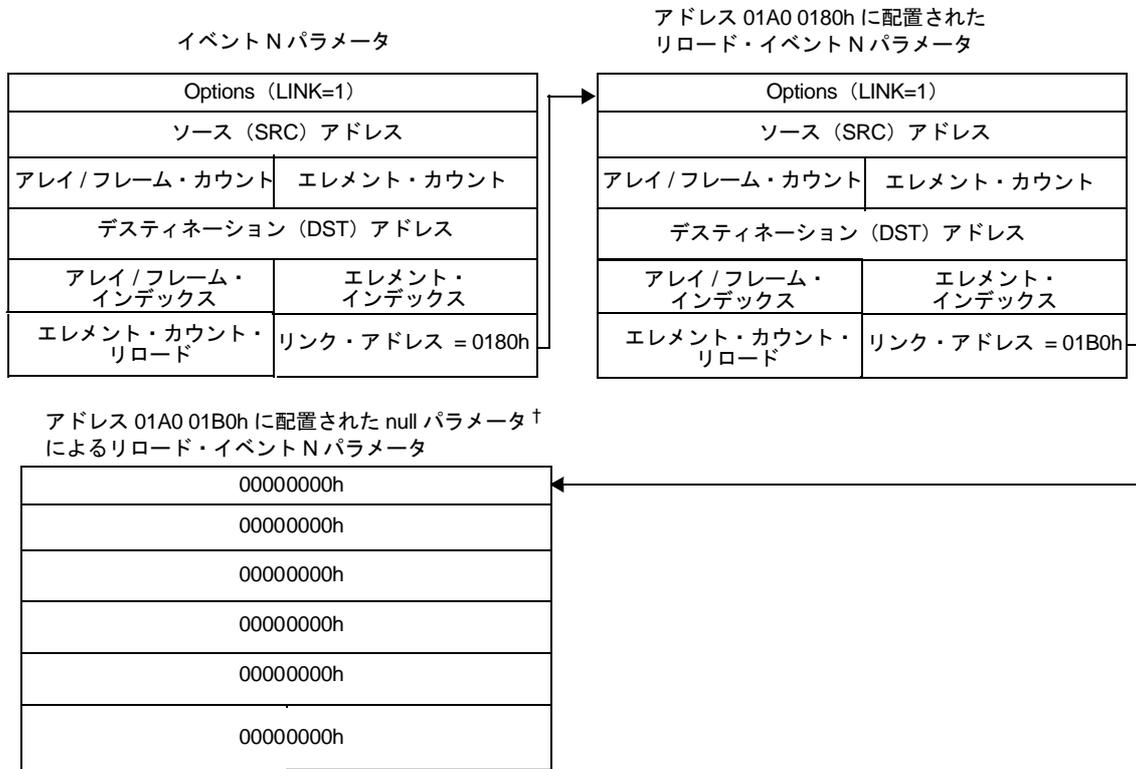
LINK が 1 にセットされていて、かつイベント・パラメータに設定された転送完了後にはのみ、リンク・アドレスは、評価されます。EDMACC が要求に伴って転送を完了したとき、イベント・パラメータを使いおわっています。表 1-10 では、パラメータのリンクが行われるチャンネル完了条件を示しています。転送のリンク長に制限は、実質的にはありません。リンク転送が最後の転送後に終了するように、最後の転送パラメータ・エントリは、NULL パラメータ・セットにリンクし、LINK=1 として下さい。詳細は、1.12 節を参照してください。

エントリを自身にリンクすると、サーキュラー・バッファおよび繰り返し転送の使用を容易にするための自動初期化動作を繰り返します。EDMA チャンネルは現在のエントリを使いおわると、パラメータ・セットをリロードし、転送を再度開始します。

チャンネル完了条件にあるイベントが達すると、リンク・アドレスに配置された転送パラメータは、イベントに対応する、16 のイベント・パラメータ空間 (C621x/C671x DSP) または 64 のイベント・パラメータ空間 (C64x DSP) にロードされます。これで、EDMACC は次の転送をスタートできます。このパラメータ・リロード・メカニズム時に発生しうるタイミング・ウィンドウをなくすために、EDMACC はこの間、イベント・レジスタを評価しません。ただし、イベント・レジスタはイベントをキャプチャし続け、パラメータ・リロードが完了後に、処理します。

PaRAM 内の任意のエントリは、リンク転送パラメータ・セット用に使用できます。対応するイベントおよびチェーン・イベントがディスエーブルの場合のみ、最初の 16 (C621x/C671x DSP) ロケーションまたは 64 ロケーション (C64x DSP) 内のエントリは、リンクに使用できます。

図 1-10. EDMA 転送のリンク

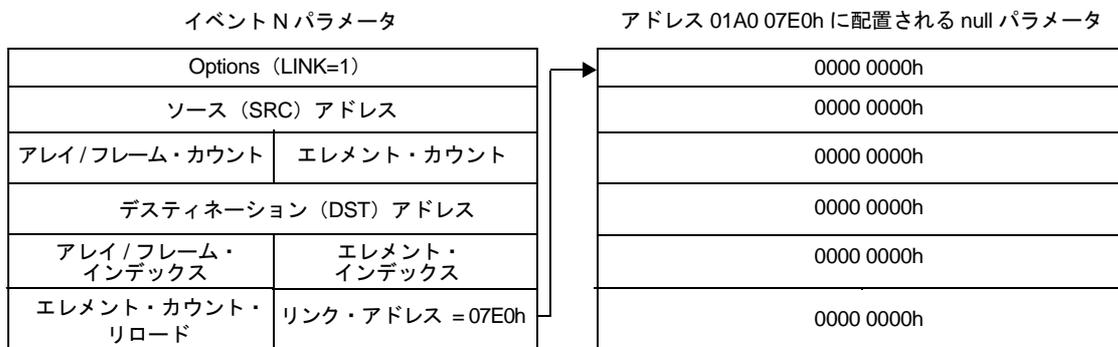


† null パラメータの詳細は、1.12 節を参照してください。

1.12 EDMA 転送の終了

すべての EDMA チャンネル・コントローラ (EDMACC) 転送は、NULL パラメータ・セットにリンクすることで、最後の転送の後、終了する必要があります。NULL パラメータ・セットは、任意の EDMA 転送の終端点として機能します。NULL パラメータ・セットは、すべてのパラメータ (オプション、ソース / デスティネーション・アドレス、フレーム / カウント・カウントなど) がゼロクリアされた、EDMACC パラメータ・セットとして定義されます。複数の EDMA 転送は、同一の終端 NULL パラメータ・セットにリンクできます。したがって、EDMACC パラメータ RAM で、1 つの NULL パラメータ・セットのみを必要とします。図 1-11 では、EDMA 転送完了の例を示しています。

図 1-11. EDMA 転送の終了



1.13 EDMA チャンネルのチェーン

EDMA チャンネル・コントローラ (EDMACC) のチャンネル・チェーン機能を使用すると、EDMA チャンネル転送完了が他の EDMA チャンネル転送のトリガになることができます。

チェーンはリンクとは異なる機能です (1.11 節を参照)。EDMACC リンク機能は、リンク・パラメータ・セットを現在のチャンネル・パラメータ・セットにリロードします。EDMACC チェーン機能は、チェーンされたチャンネルに同期イベントを提供するだけで、どのチャンネル・パラメータ・セットの変更も更新も行いません。1.5.2 項を参照してください。

1.14 転送完了コード (TCC) の生成

EDMA チャンネル・コントローラ (EDMACC) および EDMA 転送コントローラ (EDMATC) は、チャンネル・オプション・パラメータ (OPT) の TCC フィールドでプログラム可能な転送完了コードを提供します。パラメータ・セットに対する最後の TR 発信時に、完了コード生成がイネーブル (TCINT = 1) のとき、EDMACC は EDMA TC に TR とともに転送完了コードを発行します (パラメータ・セットの完了、つまり最後の TR が発行されるときの詳細は、表 1-10 を参照)。EDMATC が最後の TR のデータをすべて正常に転送したとき、転送が完了したことを EDMACC に通知するために、EDMATC は完了コードを EDMACC に送り返します。

要約すると、次の条件が真のとき、EDMACC はユーザがプログラムした TCC コード (値 n) を EDMA TC に発行します。

- チャンネル・パラメータ・セットの最後の TR が EDMA TC に発行される
- TCINT = 1 (OPT 内で)
- TCC = n (OPT 内で)

EDMACC が転送完了ステータスを EDMA TC から受信すると、TCC コードは次のように作用します。

- EDMA_INT 経由で割り込み生成
 - CIPR n ビットが 1 にセットされる
 - CIER n ビットがイネーブルの場合、EDMA_INT がアサートされる
- チェーントリガ同期
 - CCER n がイネーブルの場合、チャンネル n について TR が発行される

TCC 値 n とプログラムされているチャンネルのチャンネル番号は関係ありません。 n の値は、EDMA_INT 生成に関してセットされる CIPR 内のビット、およびチェーントリガされるチャンネル番号の両方またはいずれかに影響を与えます。

TRP のすべてのデータが転送された後に、完了コードは EDMA TC から EDMACC に送信されます。割り込みがアサートされたとき、これはデータがメモリ内のデスティネーション側に到達したことを保証するので、競合状態が回避されます。

C621x/C671x 16 チャンネル EDMA では、TCC フィールドは 0 ~ 15 の値を使用して、プログラム可能です。C64x 64 チャンネル EDMA では、TCC フィールドは 0 ~ 63 の値を使用して、プログラム可能です。C64x EDMA の 6 ビット転送完了コードは、TCCM ビット (転送完了コードの 2 MSB) および TCC ビット (完了コードの 4 LSB) を連結したものです。転送完了コードは直接 CIPR ビットにマップされます。C621x/C671x DSP については、表 1-11 を参照してください。C64x DSP については、表 1-12 をそれぞれ参照してください。

たとえば、TCC = 1100b (C64x DSP の場合には、さらに TCCM = 00) のとき、転送完了後に CIPR[12] (C621x/C671x DSP) または CIPRL[12] (C64x DSP) は、1 にセットされます。また、CIER[12] = 1 の場合のみ、これは CPU 割り込みを生成します。すべての EDMA チャンネルに対して表 1-11 の任意の値へ転送完了コードをプログラムできます。すなわち、チャンネル番号と転送コードの値には、直接的な関係は必要ありません。複数のチャンネルが同一の転送完了コードをもつことで、各チャンネルが同一 ISR を CPU に実行させることができます。別の方法として、転送完了に応じて、同一チャンネルは複数の完了コードをセットできます。

表 1-11. 転送完了コード (TCC) の EDMA 割り込みへのマッピング (C621x/C671x DSP)

OPT 内の TCC ビット (TCINT = 1)	CIPR ビット・ セット	OPT 内の TCC ビット (TCINT = 1)	CIPR ビット・ セット
0000b	CIP0	1000b	CIP8
0001b	CIP1	1001b	CIP9
0010b	CIP2	1010b	CIP10
0011b	CIP3	1011b	CIP11
0100b	CIP4	1100b	CIP12
0101b	CIP5	1101b	CIP13
0110b	CIP6	1110b	CIP14
0111b	CIP7	1111b	CIP15

表 1-12. 転送完了コード (TCC) の EDMA 割り込みへのマッピング (C64x DSP)

OPT 内の TCC ビット (TCINT = 1)	CIPRL ビット・ セット	OPT 内の TCC ビット (TCINT = 1)	CIPRH ビット・ セット†
000000b	CIP0	100000b	CIP32
000001b	CIP1	100001b	CIP33
000010b	CIP2	100010b	CIP34
000011b	CIP3	100011b	CIP35
000100b	CIP4	100100b	CIP36
...
...
011110b	CIP30	111110b	CIP62
011111b	CIP31	111111b	CIP63

† ビット・フィールド CIP[32-63] は、CIPRH のビット 0 ~ 31 に対応します。

1.14.1 代替転送完了コード (ATCC) の生成 (C64x EDMA のみ)

C64x EDMA では、TCC だけでなく、チャンネル・オプション・パラメータ (OPT) の ATCC フィールドでプログラム可能な代替転送完了コード (ATCC) もサポートしています。代替転送完了コード生成がイネーブル (ATCINT=1) のとき、パラメータ・セットの最後の TR を除き、すべての TR 発行時にも、EDMACC は EDMATC に TR とともに代替転送完了コードを発行します (パラメータ・セットの完了、つまり最後の TR が発行されるときの詳細は、表 1-13 を参照)。EDMATC が TR のデータをすべて正常に転送したとき、転送が完了したことを EDMACC に通知するために、EDMATC は完了コードを EDMACC に送り返します。

要約すると、次の条件が真のとき、EDMACC はユーザがプログラムした ATCC コード (値 n) を TC に発行します。

- チャンネル・パラメータ・セットの最後の TR を除き、任意の TR が EDMATC に発行される
- ATCINT = 1 (OPT 内で)
- ATCC = n (OPT 内で)

TCC による通常の完了とまったく同じように、EDMACC が代替転送完了ステータスを EDMATC から受信すると、ATCC コードは次のように作用します。

- EDMA_INT 経路で割り込み生成
 - CIPR n ビットが 1 にセットされる
 - CIER n ビットがイネーブルの場合、EDMA_INT がアサートされる
- チェーントリガ同期
 - CCER n がイネーブルの場合、チャンネル n について TR が発行される

たとえば、1D エlement同期転送では、代替転送完了割り込みは各Elementの転送完了時に生成されます。生成される代替転送完了コード (ATCC) の合計数は、同期イベントまたは転送要求 (TR) の合計数から 1 を引いた数と等しくなります。すなわち、転送完了コード (TCC) を生成する最後のイベントまたは TR を除き、ATCC は、すべての同期イベント、つまり TR について通知されます。表 1-13 を参照してください。

2つの新しいフィールド、代替転送完了割り込み (ATCINT) および代替転送完了コード (ATCC) が、チャンネル・オプション・パラメータ (OPT) に追加されています。代替転送コードの機能は、転送完了コードの機能と同じです。TCCM:TCC と同じで、ATCC は 0 ~ 63 までの任意の値にセットできます (表 1-12 を参照)。TCC および ATCC は、互いに同一の値または異なる値にセットできます。

表 1-13. 代替転送完了コードのチャンネル完了条件

同期タイプ	代替転送完了コード (ATCC) 要求の合計数	完了コード要求の合計数
エレメント同期	1 st ((ELECNT × (FRMCNT + 1)) - 1) イベント	1 (最後のイベント /TR)
フレーム同期	1 st FRMCNT イベント	1 (最後のイベント /TR)
アレイ同期	1 st FRMCNT イベント	1 (最後のイベント /TR)
ブロック同期	0	1 (最後のイベント /TR)

† 実際のフレーム数 = FRMCNT + 1 であることに注意してください。

1.15 完了コードに基づく EDMA 割り込み生成

各 DMA チャンネルに対して個々の割り込みをもつ C620x/C670x DMA コントローラと違い、すべての 16 チャンネル (C621x/C671x DSP) または 64 チャンネル (C64x DSP) を代表して、EDMA は単一の割り込み (EDMA_INT) を CPU に生成します。

EDMA チャンネル・コントローラ (EDMACC) は、EDMA 転送コントローラ (EDMATC) から値 n の完了コード (TCC または ATCC) を受信すると、これは EDMACC に TCC または ATCC が n にプログラムされた以前に発行した TR が完了したことの通知であり、EDMACC は、チャンネル・インタラプト・ペンディング・レジスタ (CIPR) 内のビット n をセットします。チャンネル・インタラプト・イネーブル・レジスタ (CIER) の対応する割り込みイネーブル・ビットがセットされている場合、CPU への EDMA_INT が生成されます。

C64x EDMA には、64 チャンネルに対応するために、2 つのチャンネル・インタラプト・ペンディング・レジスタがあることに注意してください。 $n=31 \sim 0$ には、チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL) で、 $n=63 \sim 32$ には、チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH) です。また、C64x EDMA には、2 つのチャンネル・インタラプト・イネーブル・レジスタもあります。チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL) およびチャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH) です。

CIPR は、ソースが TCC 値になっている、インタラプト・ペンディング・レジスタと同等であり、CIER はインタラプト・イネーブル・レジスタと同等です。CIER n ビットがディスエーブルでも、チャンネル・パラメータ・セットが TCINT=1 (または ATCINT=1) かつ TCC= n の場合、チャンネル完了イベントは CIPR n に登録されることに注意してください。これは、チェーンに使用される TCC/ATCC 値において一般的なもので、割り込みを生成しません。CIPR をクリアする前に、CIER ビットをイネーブルにすると、EDMA_INT 割り込みが CPU へ送信されます。CPU 割り込み (デフォルトで CPU_INT8) がイネーブルの場合、割り込みサービス・ルーチンが実行されます。

要約すると、CPU に割り込むための、任意のチャンネルまたは QDMA 要求に対する EDMA の設定方法は、次のとおりです。

- CIER の CIE n を 1 にセットする
- OPT の TCINT (または ATCINT) を 1 にセットする
- OPT の TCC (または ATCC) を n にセットする

1.15.1 CPU による EDMAINT の処理

EDMACC が完了コードを検出すると、EDMACC は転送完了コードに従って、CIPR 内の適切なビットをセットします。CPU ISR は CIPR をリードし、もしあれば、どのイベント / チャンネルが完了したのかを判別し、必要な処理を行います。割り込み処理にあわせて、ISR は CIPR 内のビットをクリアし、その結果、次の割り込みを認識をできるようになります。ビットに 1 をライトすると、CIPR ビットをクリアします。0 をライトしても影響はありません。

1 つの割り込みが処理されるまでに、他のビットが CIPR にセットされることが起こりえます。CIPR 内のこれらのビットはそれぞれ、おそらく CPU による異なるタイプの処理を必要としています。ISR はペンディングされている割り込みをチェックし、通知されている割り込みを処理するまで続けます。

CIPR にライト後、CIPR および CIER のビットごとの AND がゼロ以外の場合、割り込みフラグが、CPU のインタラプト・フラグ・レジスタ (IFR) にセットされます。この実装では、ISR を終了しても、繰り返し ISR に入ることがあるので、発生する割り込みが失われるのを防ぐことができます。ISR は一般に、各 CIPR ビットを順番に処理して、クリアするため、ISR への追加コールが発生します。処理された CIPR ビットをクリアし、追加の IFR をセットするのはライトです。2 回目に ISR がコールされるとき、CIPR ビットはゼロクリアされているかもしれませんが。前述のように、ISR は CIPR をリードし、もしあれば、どのイベント / チャンネルが完了したのかを判別し、必要な処理を行います。2 回目に ISR に入ったとき、CIPR が 0 (ゼロ) としてリードされる場合、処理は必要ありません。追加の割り込みを完全に回避するには、ISR の最後ですべての処理された CIPR ビットを一度にクリアします。

1.16 クイック DMA (QDMA)

クイック DMA (QDMA) は、EDMA チャネル・コントローラを使用しないで、CPU が直接転送要求 (TR) を EDMA 転送コントローラへ発行できる別の手段を提供します。QDMA レジスタは CPU に対してローカルなので、QDMA 転送をセットアップするための合計時間は、EDMA チャネル・コントローラの転送をセットアップする時間よりも少なくなります。QDMA は EDMA チャネル・コントローラがサポートしている転送モードのサブセットをサポートします。一般的なシステムでは、EDMA チャネル・コントローラは、一定の割合で送信データを McBSP に提供するなど定期的なリアルタイム・ペリフェラル処理に使用されています。QDMA は CPU 上で実行されているコードの直接制御下において、ブロック転送されるデータに適しています。

1.16.1 QDMA 転送の開始

設定が必要なレジスタ数により異なりますが、QDMA 転送は、発行するために 1~5 CPU サイクル必要です。典型的な QDMA 転送は、4 つのパラメータ値をレジスタへライトした後に、対応する疑似レジスタへ 5 番目のパラメータをライトすることで、転送を開始します。すべての QDMA 転送は、QDMA 機能が EDMA チャネル・コントローラ機能のサブセットに制限されており、単一転送要求として EDMA 転送コントローラへ発行されます。QDMA は、1 フレーム (FRMCNT=0) のフレーム同期 (1D) 転送またはブロック同期転送 (2D) をサポートしています。このため、QDMA は必ずフレーム (1D) またはデータ・ブロック (2D) 一式の転送を要求します。QDMA チャネル・オプション・レジスタ (QOPT) の FS フィールドの値は、「無関係」です。QDMA 転送には、中間転送はありません。1 つ要求だけが QDMA 発行に対して送信されます。表 1-14 では、転送されるエレメント数を示しています。

表 1-14. QDMA 転送長

転送次元	転送されるエレメント
1D から 1D	1 フレーム (フレーム・カウントには無関係)
その他	1 ブロック (すべてのアレイが転送される)

このため、典型的な発行シーケンスは、次のようになります。

```

QDMA_SRC = SOME_SRC_ADDRESS;
QDMA_DST = SOME_DST_ADDRESS;
QDMA_CNT = (NUMFRAME-1)<<16 | NUM_ELEMENTS; // Array Frame Count
QDMA_IDX = 0x00000000; // no indexing specified
QDMA_S_OPT = 0x21B80001; // frame synchronized 1D-SRC to 2D-DST, send
// completion code 8 when finished
// and submit transfer

```

要求発行後、QDMA レジスタはすべて値を保持しています。そのため、一部が同一のパラメータ設定を使用して、2 番目の転送を行う場合、そのパラメータ設定は CPU が書き換える必要はありません。変更するレジスタだけが書き換え必要で、適切な疑似レジスタへの最後のパラメータのライトで転送を発行します。結果的に、以後の QDMA 要求は、要求ごとにわずか 1 CPU サイクルで発行できます。

1.16.2 QDMA のストールとプライオリティ

QDMA には、複数のストール条件があります。ライトが疑似レジスタの 1 つに行われると (QDMA 転送要求がペンディングになり)、転送要求が送信されるまで、QDMA レジスタへの以後のライトはストールします。通常、これは転送を発行するのに必要な時間と同じ、2 ~ 3 EDMA サイクル発生します。QDMA レジスタへのライトは、L1D ライト・バッファ経由で行われるので、CPU は一般にストールを見ていません。バッファへの以後のライトが、バッファを一杯にするときに、以後のリード/ライトによって CPU をストールしてしまいます。

EDMA チャンネルと同じように、QDMA 転送コントローラのプライオリティは、プログラム可能です (3.4 節および 4.5 節を参照)。QDMA チャンネル・オプション・レジスタ (QOPT) 内の PRI フィールドは、QDMA の TC プライオリティ・レベルを指定します。C621x/C671x DSP では、レベル 0 (アージェント・プライオリティ) が L2 キャッシュ・アクセス用に予約されています。このため、QDMA 要求は、正しい PRI レベルでのみ発行されます。

QDMA 割り当ての問題については、3.4.1.3 項および 4.5.1.3 項を参照してください。

1.17 エミュレーション動作

エミュレータを使用したデバッグ時に、シングル・ステップ、ベンチマーク、プロファイル、またはその他デバッグ目的で、CPU は実行パケット境界で停止できます。エミュレーション停止時、EDMA チャンネル・コントローラの動作は継続します。イベントのキャプチャ/処理、および転送の処理は動作を継続します。

1.18 転送例

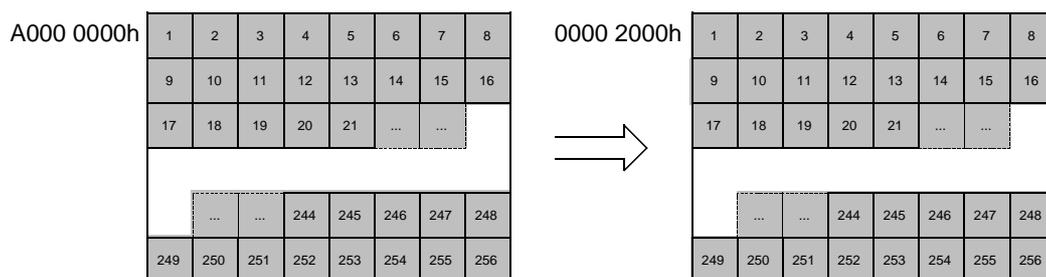
EDMA チャンネル・コントローラは、パラメータ設定によって多様な転送を行います。EDMA チャンネルにより、または、QDMA の発行により、より基本的な転送が行われます。より複雑な転送または繰り返し転送には、EDMA チャンネルを使用する必要があります。EDMA 転送の各種タイプの説明は、付録 A を参照してください。

1.18.1 ブロック移動例

EDMA によって行われる最も基本的な転送は、ブロック移動です。デバイス動作時に、あるロケーションから他のロケーションに、通常、オンチップ・メモリとオフチップ・メモリ間でデータ・ブロックを転送することが必要になります。

この例では、データ・セクションは、外部メモリから内部 L2 SRAM へコピーされることになります。データ・ブロックは 256 ワードで、アドレス A0000000h (CE2) に配置されています。データは、内部アドレス 00002000h (L2 block 0) に転送されることになります (図 1-12 を参照)。

図 1-12. ブロック移動例



この転送を実行する最も速い方法は、QDMA 要求を使うことです。QDMA 要求はさまざまな方法で発行できます。最も基本的な方法は、フレーム同期 1D-to-1D 転送です。このタイプの転送は、64K エlementより小さいブロック・サイズの場合に有効です。エントリが発行されたときにすべてのElementが転送されるように、転送はフレーム同期でなければなりません。FS ビット値には関係なく、QDMA はすべての要求を、フレーム同期転送として発行します。

図 1-13 では、この転送のパラメータを示しています。QDMA チャンネル・オプション、ソース・アドレス、デスティネーション・アドレスおよびElement・カウントを設定する必要があります。

図 1-13. ブロック移動例の QDMA レジスタ内容

(a) QDMA レジスタ

レジスタ内容	レジスタ
41200001h	QDMA チャンネル・オプション・レジスタ (QOPT)
A0000000h	QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)
0000h 0100h	QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)
00002000h	QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)
Don't care Don't care	QDMA チャンネル・インデックス・レジスタ (QIDX)

(b) QDMA チャンネル・オプション・レジスタ (QOPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	0	01	0	0000					
PRI †	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12								1	0
0	00	0000 0000 0000						1				
Rsvd	TCCM ‡	Reserved						FS				

† ロー・プライオリティ・バックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットします。

‡ C621x/C671x DSP では、TCCM は予約されています。

QDMA のソース・アドレスは、外部メモリ内のデータ・ブロックの先頭 (A0000000h) にセットされます。また、デスティネーション・アドレスは、L2 内のデータ・ブロックの先頭 (00002000h) にセットされます。すべてのデータが連続しているため QOPT は、SUM ビットと DUM ビットは両方とも 01b (インクリメント) にセットされ、PRI ビットはバックグラウンド転送のためにロー・プライオリティにセットされます。

この転送に対する要求を発行するためには、CPU は 4 サイクル必要で、各レジスタのライト用に 1 サイクルずつ必要です。いくつかの QDMA レジスタがすでに設定済みの場合には、レジスタ・ライトはほとんど必要なく、最小 1 サイクルになります。3 つの QDMA パラメータは、それぞれ適切な QDMA レジスタにライトする必要があります。1 つのパラメータを疑似レジスタにライトして、転送を開始します。図 1-13 の転送の QDMA 発行例は、次のとおりです。

```

...
QDMA_SRC = 0xA0000000; /* Set source address */
QDMA_DST = 0x00002000; /* Set destination address */
QDMA_CNT = 0x00000100; /* Set frame/element count */
QDMA_S_OPT = 0x41200001; /* Set options and submit */
...

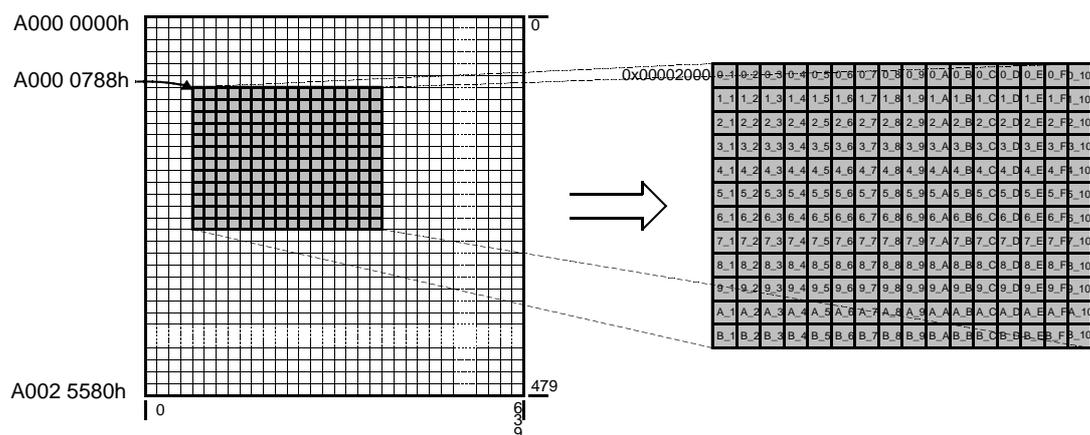
```

64K より多いエレメントを含むブロックでは、エレメント・カウントおよびアレイ / フレーム・カウントの両方を使用する必要があります。エレメント・カウント・フィールドは、わずか16ビットなので、表現できるカウントの最大値は、65535です。カウントが65535よりも大きいときには、アレイ・カウントを使用して表現する必要があります。QDMAはこのデータ量を送信するためにも使用できます。フレーム同期1D-to-1D転送ではなく、QDMAをブロック同期(FS=1)2D-to-2D転送として設定する必要があります。

1.18.2 サブフレーム抽出例

EDMAは大きいデータ・フレームから小さいデータ・フレームを効率的に抽出できます。2D-to-1D転送を実行することで、EDMAはCPUが処理するデータ部分を取り出します。この例では、640×480ピクセルのビデオのデータ・フレームが外部メモリCE2にストアされています。各ピクセルは、16ビット・ハーフワードで表現されています。CPUはデータ処理用にイメージから16×12ピクセルのサブフレームを抽出します。CPUでの処理をより効率的にするために、EDMAが、内部L2SRAM内にサブフレームを配置します。図1-14では、外部メモリからL2へのサブフレームの転送について図示します。

図 1-14. サブフレーム抽出例



この転送を実行するために、CPUはブロック同期(FS=1)2D-to-1D転送のQDMA要求を発行できます。ソースが2Dで、転送がブロック同期なので、QDMAは、サブフレーム全体の転送を要求します。

図1-15では、この転送のパラメータを示しています。QDMAチャンネル・オプション、ソース・アドレス、デスティネーション・アドレスおよびエレメント・カウントを設定する必要があります。

図 1-15. サブフレーム抽出例の QDMA レジスタ内容

(a) QDMA レジスタ

レジスタ内容		レジスタ
4D200001h		QDMA チャンネル・オプション・レジスタ (QOPT)
A0000788h		QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)
000Bh	0010h	QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)
00002000h		QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)
04E0h	Don't care	QDMA チャンネル・インデックス・レジスタ (QIDX)

(b) QDMA チャンネル・オプション・レジスタ (QOPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	01	1	01	0	01	0	0000					
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12								1	0
0	00	0000 0000 0000							1			
Rsvd		TCCM [‡]		Reserved							FS	

[†] ロー・プライオリティ・バックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットします。

[‡] C621x/C671x DSP では、TCCM は予約されています。

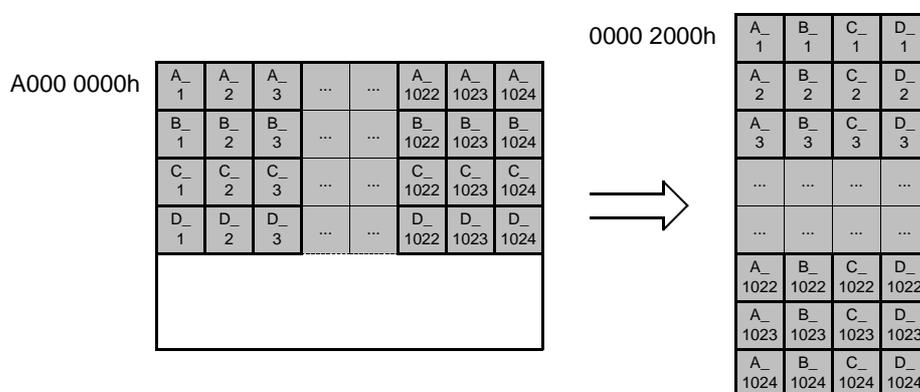
アドレス更新はすべて、アドレス生成 / 転送ロジック内で発生します。したがって、アレイ・インデックスは、サブフレームのアレイ間のスペースです。ビデオ・イメージの各アレイは長さ 640 ピクセルで、かつ各サブフレームのアレイは長さ 16 ピクセルなので、アレイ・インデックスは 2 バイト / エレメント × (640 - 16) エレメント = 1248 バイトです。サブフレームは、連続メモリ・ブロックに転送されます。エレメント・カウント (ELECNT) は、16 (サブフレーム・アレイごとのエレメント数) にセットされます。アレイ・カウント (FRMCNT) は 11 (アレイ数より 1 少ない) にセットされます。存在するかもしれないデータ取得転送と干渉しないように、QDMA 要求はロー・プライオリティ・キューに送信されます。

逆に、1D-to-2D 転送は、大きなデータ・フレームへのサブフレームの挿入を実行するために使用できます。この例では、サブフレームは、CPU で何らかの処理が行われた後に、より大きなイメージに挿入できます。

1.18.3 データソート例

多くのアプリケーションは、複数のデータ・アレイの使用を要求します。しばしば各アレイの最初のエレメント同士が隣接し、2番目のエレメント同士が隣接しているように、アレイが配置されることが望まれます。多くの場合、これはデータがデバイス内で配置されているような形態ではありません。次々と到着するデータがペリフェラル経由でデータ・アレイに転送されるか、または連続したメモリ空間のある部分（フレーム）を占有するように各アレイが配置されています。これらの場合には、EDMA はデータを指定されたフォーマットに再編成できます。図 1-16 では、エレメント・アレイのデータ・ソートを示しています。

図 1-16. データソート例



メモリ内に順序よくデータを配置するための QDMA 要求に必要なフィールドを決定するために、次の値を使用します。

- F = フレーム・カウント (FRMCNT) の初期値
- E = エレメント・カウント (ELECNT) の初期値 (エレメント・カウント・リロード (ELERLD) 値も同じ)
- S = エレメント・サイズ (バイト数)

QDMA はこのデータを転送します。ただし、デスティネーション内のデータ配置によっては、単一発行では十分ではありません。代わりに、個別の QDMA 転送要求が各フレームに対して発行されます。EDMA チャンネルがこの転送を実現するのに必要な場合、PaRAM 内に各フレームのエントリを転送に対して用意しておく必要があります。また、前回のフレーム完了を各フレームに自己同期させるために、チェーン機能を使用する必要があります。

ここでは、外部メモリに配置されているデータ・アレイと等しいサイズの例を示しています。アレイの長さを等しくする必要はありません。長さがさまざまな場合、各 QDMA 発行または PaRAM 内の各 EDMA リロード・パラメータ・セットには、対応する新しいカウント値が含まれています。

この例の場合、16 ビット・データはアドレス A0000000h (CE2) ではじまる外部 RAM に配置されていることを前提とします。QDMA は、RAM 内のロケーションから 00002000h ではじまる内部データ・メモリに 1K ハーフワードの 4 フレームをもってきます。必要とされるインデックス値は、 $ELEIDX = F \times S = 4 \times 2 = 8$ です。

個別の QDMA 転送要求が各フレームに対して発行されるので、QDMA パラメータは ELEIDX だけを使用します。CPU は、各新規フレームのデスティネーション・アドレスを更新します。最初のデータ・フレームの場合、図 1-17 に示す値が、QDMA レジスタに割り当てられています。以後の各フレームに対して、CPU はソース・アドレスおよびデスティネーション・アドレスを変更するために、2 回のストアを実行する必要があります。次の要求を発行するとき、CPU は各フレームが完了するのを待機する必要はありません。処理が終了するのを待機するために、転送キューに以後の転送要求がストアされます。

図 1-17. データソート例の QDMA レジスタ内容

(a) QDMA レジスタ

レジスタ内容		レジスタ
49600001h		QDMA チャンネル・オプション・レジスタ (QOPT)
A0000000h		QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)
0000h	0400h	QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)
00002000h		QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)
Don't care	0008h	QDMA チャンネル・インデックス・レジスタ (QIDX)

(b) QDMA チャンネル・オプション・レジスタ (QOPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	01	0	01	0	0	11	0	0000				
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12								1	0
0	00	0000 0000 0000							1			
Rsvd	TCCM [‡]		Reserved							FS		

[†] ロー・プライオリティ・バックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットします。

[‡] C621x/C671x DSP では、TCCM は予約されています。

まとめると、チャンネル・オプション、ソース・アドレス、カウント、およびデスティネーション・アドレスを設定するために CPU は 4 回ライトを実行します。その後、最初のフレームに対して転送要求を発行するために、CPU はチャンネル・インデックス疑似レジスタまたはまだ設定されていないレジスタへ 1 回ライトを実行します。その後の各フレームに対して、CPU はソース・アドレスを $E \times S = 1024 \times 2 = 2048$ インクリメントし、この値をソース・アドレス・レジスタ (QSRC) にストアします。また CPU はデスティネーション・アドレスを S だけインクリメントし、転送要求を発行するために、この値をデスティネーション・アドレス疑似レジスタ (QSDST) にストアします。

すべての転送が完了したとき、EDMA が CPU に通知するようにさせる場合、最後のフレームに対する転送要求は、転送完了コード値を含み、TCINT=1 がセットされたチャンネル・オプション・フィールドにする必要があります。

1.18.4 ペリフェラル処理例

EDMA チャンネル・コントローラも、CPU が動作しているバックグラウンドで、CPU の介在なしにペリフェラルを処理しています。EDMA チャンネルを適切に初期化することで、デバイスが動作している間オンチップ・ペリフェラルでもオフチップ・ペリフェラルでも継続的に処理できるように設定できます。EDMA で使用可能な各イベントには、専用のチャンネルがあり、すべてのチャンネルが同時に動作します。

すべての EDMA チャンネルは必ずイベントに同期しているので、特定のイベントを適切に処理するように、チャンネルを設定するための特別なセットアップは必要ありません。CPU がチャンネルを同期させる場合を除いて、唯一の要件は特定の転送に対して適切なチャンネルを使用することであり、かつイベント・イネーブル・レジスタ (EER) またはチャンネル・チェーン・イネーブル・レジスタ (CCER) 内のチャンネル・イベントをイネーブルにすることです。

ペリフェラルを処理するために EDMA チャンネルをプログラムするとき、どのようなデータが DSP へ渡されるかを理解する必要があります。データは必ずある種の同期イベントで、イベントごとに 1 つのエレメント (非バースト) またはイベントごとに複数のエレメント (バースト) のいずれかとして提供されます。

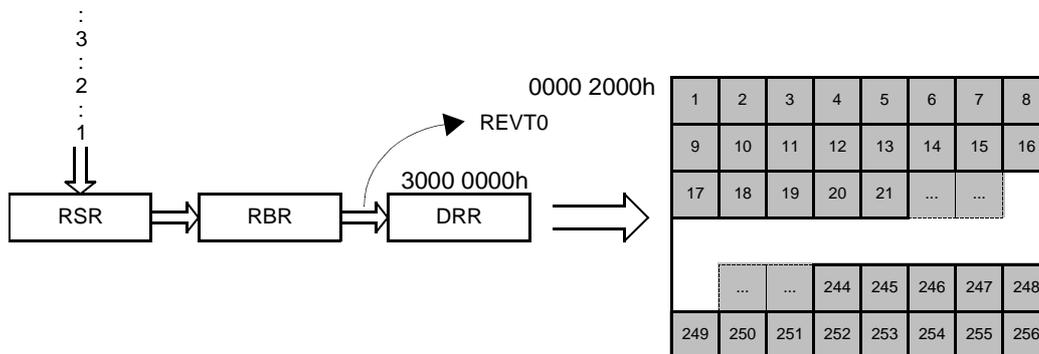
1.18.4.1 非バースト・ペリフェラル

非バースト・ペリフェラルには、オンチップのマルチチャンネル・バッファード・シリアルポート (McBSP) および多くの外部デバイス (コーデックなど) が含まれています。ペリフェラルに関係なく、EDMA チャンネル・コンフィギュレーションは同一です。

オンチップ McBSP は、C6000 DSP システムでは最も一般的に使用されるペリフェラルです。EDMA チャンネル 12 と 13 は、McBSP0 送信イベントと受信イベントにマップされ、チャンネル 14 と 15 は、McBSP1 送信イベントと受信イベントにマップされています。送信データ・ストリームと受信データ・ストリームは、EDMA が個別に処理します。送受信データを処理するために、DMA チャンネルはスプリット・モードで使用されますが、リソース共有による多くの制約があります。EDMA チャンネルには、これらの制約はありません。ほとんどのシリアル・アプリケーションは、McBSP との間で同様のデータ・フォーマットを要求しますが、EDMA を使用した確かな動作のために必要な要件ではありません。送受信データ・ストリームのカウント、データ・サイズ、およびフォーマットは、完全に異なってもかまいません。

ブロック移動例 (1.18.1 項を参照) を、McBSP0 が受信した 256 ワードを内部 L2 SRAM に転送するように変更します。これは、REVT0 に同期する EDMA チャンネル 13 により簡単に処理されます。図 1-18 では、この転送を示しています。

図 1-18. 着信 McBSP データ処理例



L2 メモリ内の適切なロケーションに着信データ・ストリームを転送するには、EDMA チャンネルは、エレメント同期 (FS = 0) を使用した 1D-to-1D 転送のセットアップが必要です。各ワードが到着するとイベント (REVT0) が生成されるので、EDMA は各エレメントに対して転送要求を個別に発行させる必要があります。図 1-19 では、この転送のパラメータを示しています。

EDMA チャンネルのソース・アドレスは、McBSP0 のデータ・レシーブ・レジスタ (DRR) にセットされ、デスティネーション・アドレスは L2 内のデータ・ブロックの先頭にセットされます。DRR のアドレスは固定されているので、SUM ビットは 00b (変更なし) にクリアされ、DUM ビットは 01b (インクリメント) にセットされます。この例で選択されたプライオリティ・レベル (PRI) は、サンプルを取りこぼさないようにシリアル・データは通常ハイ・プライオリティになっているという前提に基づいています。このチャンネルによる各転送要求は、ハイ・プライオリティ・キュー (Q1) に作成されます。

図 1-19. 着信 McBSP データ処理例の EDMA パラメータ内容

(a) EDMA パラメータ

パラメータ内容		パラメータ
20200000h		EDMA チャンネル・オプション・パラメータ (OPT)
30000000h		EDMA チャンネル・ソース・アドレス (SRC)
0000h	0100h	EDMA チャンネル・トランスファー・カウント (CNT)
00002000h		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/リンク・アドレス (RLD)

(b) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

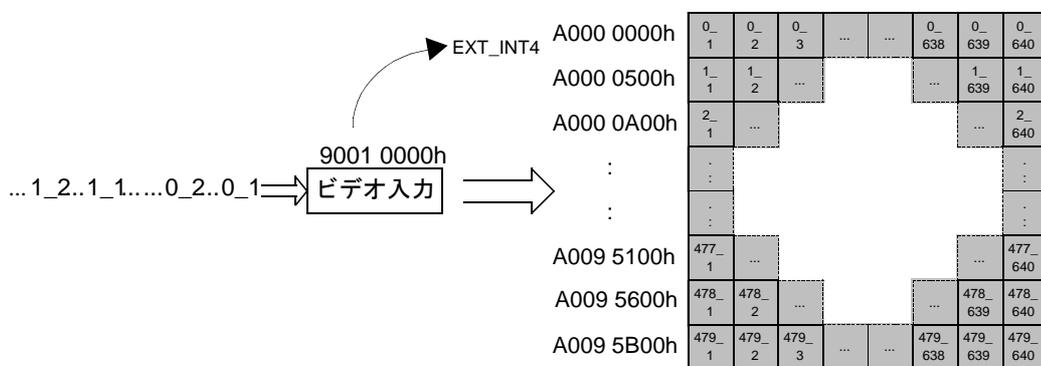
[†] C621x/C671x DSP では、TCCM は予約されています。

1.18.4.2 バースト・ペリフェラル

バンド幅の広いアプリケーションでは、各同期イベントで DSP へ複数のデータ・エレメントが渡される必要があります。このデータ・フレームは同時に動作している複数のソースからか、または DSP との間でデータを流す単一のハイ・スループット・ペリフェラルからのいずれかになります。

この例では、ビデオ・フレーマーは、カメラからビデオ・フレームを受け取り、DSP へ 1 アレイを一度に渡しています。ビデオ・イメージは 640×480 ピクセルです（各ピクセルは 16 ビット・エレメントで表されています）。イメージは外部メモリにストアされます。図 1-20 では、この転送を示しています。

図 1-20. ペリフェラル・バースト処理例



外部ペリフェラルから外部バッファへデータ（EXT_INT4 に基づき一度に 1 つのアレイ）を転送するには、チャンネル 4 を設定しておく必要があります。適切で機能的には同じ 2 タイプの転送があります。それは、フレーム同期（FS = 1）の 1D-to-1D 転送または、アレイ同期（FS = 0）の 1D-to-2D 転送です。ビデオ・フレームはピクセルのアレイで構成されているというデータの性質上、デスティネーションは基本的に 2D になります。図 1-21 では、1D-to-2D 転送を使用して着信データを処理するパラメータを示しています。

ソース・アドレスはビデオ・フレーマー・ペリフェラルのロケーションにセットされ、デスティネーション・アドレスはデータ・バッファの先頭にセットされます。入力アドレスは固定されているので、SUM ビットは 00b（変更なし）にクリアされます。デスティネーションは、連続な順番のエレメントでアレイを構成します。このため、DUM ビットは 01b（インクリメント）にセットされます。エレメント・カウント（ELECNT）はアレイ内のピクセル数 640 と等しくなります。アレイ・カウント（FRMCNT）はブロック内のアレイの合計数よりも 1 小さい数 479 と等しくなります。各アレイの先頭アドレス間の差分に等しいアレイ・インデックスが必要です。各ピクセルはハーフワードで表現されているので、アレイ・インデックス（FRMIDX）はエレメント・カウントの 2 倍、 $640 \times 2 = 1280$ バイトと等しくなります。

図 1-21. ペリフェラル・バースト処理例の EDMA パラメータ内容

(a) EDMA パラメータ

パラメータ内容		パラメータ
28A00000h		EDMA チャンネル・オプション・パラメータ (OPT)
90010000h		EDMA チャンネル・ソース・アドレス (SRC)
01DFh	0280h	EDMA チャンネル・トランスファー・カウント (CNT)
A0000000h		EDMA チャンネル・デスティネーション・アドレス (DST)
0500h	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(b) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	01	0	00	1	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約されています。

1.18.4.3 継続動作

単一のデータ・フレームを受信するために、EDMA チャンネルを設定することは役立ちます。また、複数のシステムに適用できます。しかし、大部分の時間において、データは継続的に DSP の処理の間中、送受信されます。この場合、EDMA チャンネルが継続的に必要なパラメータ・セットをリロードするようにリンクの形式を実装することが必要です。

この例では、McBSP0 は T1 アレイのデータを送受信するように設定されます。例をわかりやすくするために、送受信データ・ストリームに対して、2 つのチャンネルだけがアクティブになっています。各チャンネルは、128 エLEMENT のパケットを受信します。パケットは、シリアル・ポートと L2 メモリ間で転送されます (図 1-22 を参照)。

McBSP は各 ELEMENT を受信すると REVTO を生成し、各 ELEMENT を送信すると XEVT0 を生成します。データ・ストリームを処理するために、EDMA チャンネル 12 と 13 は ELEMENT 同期 (FS = 0) の 1D-to-1D 転送としてセットアップが必要です。図 1-23 では、これらの転送に対するチャンネル・エントリのパラメータを示しています。

DSP 動作の間中、継続的に McBSP を処理するために、チャンネルは PaRAM 内の複製エントリにリンクされる必要があります。すべてのフレームが転送された後、EDMA チャンネルはリロードし、続行します。図 1-24 では、これらの転送に対するチャンネル・エントリのリロード・パラメータを示しています。

図 1-22. 継続 McBSP データ処理例

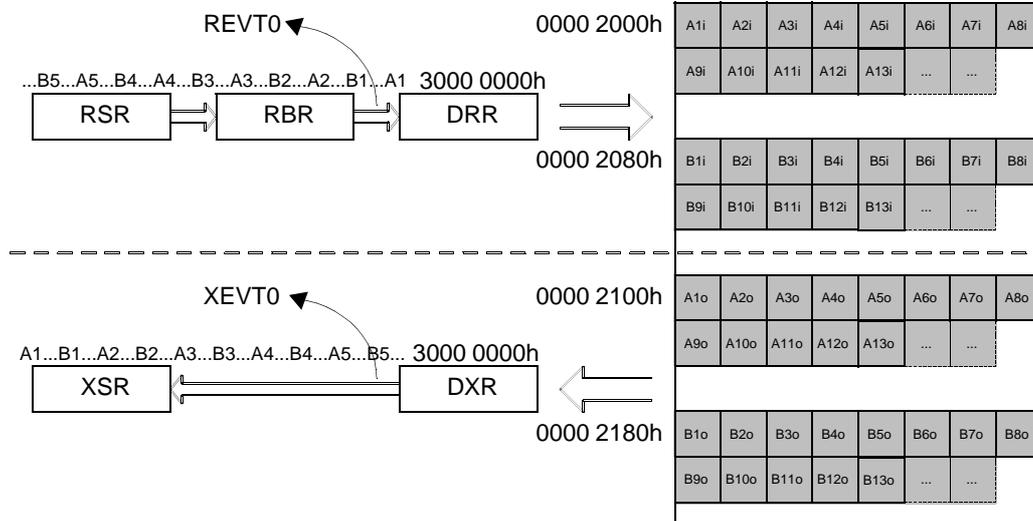


図 1-23. 継続 McBSP データ処理例の EDMA パラメータ内容

(a) 受信チャンネル 13 の EDMA パラメータ

パラメータ内容	パラメータ
30600002h	EDMA チャンネル・オプション・パラメータ (OPT)
30000000h	EDMA チャンネル・ソース・アドレス (SRC)
007Fh 0002h	EDMA チャンネル・トランスファー・カウント (CNT)
00002000h	EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h 0080h	EDMA チャンネル・インデックス (IDX)
0002h 0198h	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(b) 受信チャンネル 13 の EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16	
001	10	0	00	0	11	0	0000						
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					1	0					
Rsvd	TCCM [†]	Reserved					LINK	FS					

[†] C621x/C671x DSP では、TCCM は予約されています。

(c) 送信チャンネル 12 の EDMA パラメータ

パラメータ内容	パラメータ
33000002h	EDMA チャンネル・オプション・パラメータ (OPT)
00002100h	EDMA チャンネル・ソース・アドレス (SRC)
007Fh 0002h	EDMA チャンネル・トランスファー・カウント (CNT)
30000000h	EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h 0080h	EDMA チャンネル・インデックス (IDX)
0002h 0180h	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(d) 送信チャンネル 12 の EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16	
001	10	0	11	0	00	0	0000						
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					1	0					
Rsvd	TCCM [†]	Reserved					LINK	FS					

[†] C621x/C671x DSP では、TCCM は予約されています。

図 1-24. 継続 McBSP データ処理例の EDMA リロード・パラメータ内容

(a) 受信チャンネル 13 の EDMA リロード・パラメータ (アドレス 01A00198h)

パラメータ内容		パラメータ
30600002h		EDMA チャンネル・オプション・パラメータ (OPT)
30000000h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
00002000h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	0198h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(b) 送信チャンネル 12 の EDMA リロード・パラメータ (アドレス 01A00180h)

パラメータ内容		パラメータ
33000002h		EDMA チャンネル・オプション・パラメータ (OPT)
00002100h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
30000000h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	0180h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

受信チャンネル

EDMA チャンネル 13 は、McBSP0 の着信データ・ストリームを処理します。ソース・アドレスはデータ・レシーブ・レジスタ (DRR) のアドレスにセットされ、デスティネーション・アドレスはデータ・ブロックの最初のエレメントにセットされます。処理される 2 つのデータ・チャンネル (A と B) があり、L2 SRAM 内に別々に配置されるので、デスティネーション・アドレス更新モードはエレメントおよびフレーム・インデックス (DUM = 11b) を使用します。エレメント・インデックスは、各チャンネルのデータ・セクションの最初のエレメント間のオフセットです。フレーム・インデックスは、チャンネル A の 2 番目のエレメントとチャンネル B の最初のエレメントとの間のオフセットです。エレメントは 8 ビットなので、ESIZE フィールドは、10b にセットされます。

継続動作を容易にするために、チャンネル・エントリの複製がパラメータ RAM 内のアドレス 01A01980h に配置されます。LINK オプションがセットされ、リンク・アドレスがパラメータ・エントリ内に用意されます。チャンネル 13 のエレメントとフレーム・カウントを使い切ってしまうと、リンク・アドレスに配置されているパラメータはチャンネル 13 パラメータ・セットにロードされ、動作は継続します。この機能は、CPU によって停止されるまで DSP 動作の間中、継続します。

各エレメントが個別に送信される (FS=0) ので、このパラメータ・テーブルは、フレーム内のエレメント・カウントを追跡する必要があります。エレメント・カウント・リロードが、パラメータ・セット内に用意されている必要があります。エレメント・カウントが 0 に到達するたびに、この値はエレメント・カウント・フィールドにリロードされます。

送信チャンネル

EDMA チャンネル 12 は、McBSP0 の発信データ・ストリームを処理します。入出力データは対照的なので、基本的に設定は、このアプリケーションの場合、チャンネル 13 の逆になります。エレメント・カウントとフレーム・カウント、およびインデックス値は同一です。デスティネーション・アドレスは一定のままで、プログラムされたインデックス値を使用してソース・アドレスが更新されるように、チャンネル A オプションを逆にします。チャンネルに供給するソース・アドレスは、チャンネル A 出力データの開始のアドレスで、デスティネーション・アドレスはデータ・トランスミット・レジスタ (DXR) のアドレスです。リンクは、パラメータ RAM 内の複製エントリを使用して、EDMA チャンネルによる継続動作を行うために使用されます。

1.18.4.4 ピンポン・バッファ

前述の設定を使用して、EDMA はペリフェラルを継続的に処理できますが、CPU に多くの制約が生じます。入力バッファと出力バッファは継続的に一杯になったり空になったりするので、CPU はデータを処理するために、EDMA の速度と厳密に一致する必要があります。CPU が EDMA 受信データにアクセスする前に、そのデータは必ずメモリ内に配置しておく必要があります。また、EDMA が出力データを転送する前に、CPU はそのデータを用意する必要があります。不可能なことではないのですが、これは不必要な挑戦です。2 レベル・キャッシュ・システムでは特にむずかしいことです。

ピンポン・バッファは単純なテクニックです。これを使用すると、CPU の動きと EDMA の動きとを別にできます。このことは、着信データ・ストリームと発信データ・ストリームに対する、データ・バッファが複数セット (通常は 2 つ) あることを示します。EDMA はデータがピン・バッファ間で転送しているとき、CPU はピン・バッファ内のデータを操作します。CPU と EDMA の動きの両方が完了すると、切り替えます。その後、EDMA は古い入力データを書き換え、新しい出力データを転送します。図 1-25 では、この例のピンポン方式を示しています。

ピンポン・バッファ方式を使用するように継続動作の例 (1.18.4.3 項を参照) を変更するには、EDMA チャンネルに、わずかな変更が必要です。パラメータ・セットは、1 つではなく、2 つ必要です。1 つはピン・バッファ間とのデータ転送用で、もう 1 つはピン・バッファ間とのデータ転送用です。片方の転送が終了すると、チャンネルは他方の転送のエントリをロードし、データ転送が続行します。図 1-26 では、必要な EDMA チャンネル設定を示しています。

各チャンネルには、2つのパラメータ・セット（ピンとポン）があります。EDMA チャンネルには、最初にピン・パラメータがロードされています（図 1-26 を参照）。ピン・エントリのリンク・アドレスは、ポン・パラメータ・セットの PaRAM オフセットにセットされます（図 1-27 を参照）。ポン・エントリのリンク・アドレスは、ピン・パラメータ・セットの PaRAM オフセットにセットされます（図 1-28 を参照）。各チャンネルのピン・パラメータとポン・パラメータ間で、チャンネル・オプション、カウント値、インデックス値はすべて同じです。違っているのは、リンク・アドレスと内部メモリ内のデータ・バッファへのアドレスだけです。

CPU との同期

ピンポン・バッファのテクニックを利用するために、システムは新しいデータ・セットにアクセスを開始するタイミングを CPU に通知する必要があります。CPU は入力バッファ（ピン）の処理を終了した後、別のバッファ（ポン）に切り替える前に、EDMA が完了するのを待ちます。

この例では、両方のチャンネルはレポート・ワードとしてチャンネル番号を与え、完了後に割り込みを生成するために TCINT ビットを 1 にセットします。チャンネル 13 が入力バッファ一杯になると、チャンネル・インタラプト・ペンディング・レジスタ (CIPR) 内の CP 13 ビットは 1 にセットされます。チャンネル 12 が出力バッファを空にすると、CIPR 内の CIP12 ビットは 1 にセットされます。CPU は手でこれらのビットをクリアする必要があります。

チャンネル・パラメータ・セットを使用して、CPU は切り替えるタイミングを決定するために、CIPR をポーリングします。EDMA および CPU はどちらかで、チャンネル完了が CPU に割り込むように設定できます。これを行うことで、EDMA が完了するのを待ちながら、CPU はバックグラウンド・タスクを処理できます。

図 1-25. McBSP データのピンポン・バッファ例

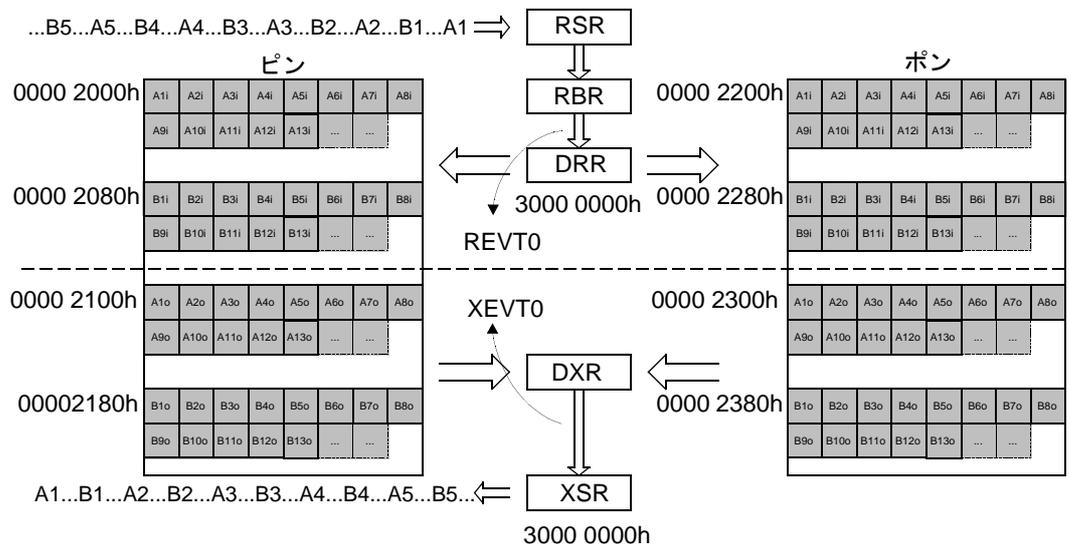


図 1-26. ピンポン・バッファ例の EDMA パラメータ内容

(a) チャンネル 13 の EDMA パラメータ

パラメータ内容	パラメータ
307D0002h	EDMA チャンネル・オプション・パラメータ (OPT)
30000000h	EDMA チャンネル・ソース・アドレス (SRC)
007Fh 0002h	EDMA チャンネル・トランスファー・カウント (CNT)
00002000h	EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h 0080h	EDMA チャンネル・インデックス (IDX)
0002h 01B0h	EDMA チャンネル・カウント・リロード/リンク・アドレス (RLD)

(b) チャンネル 13 の EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	10	0	00	0	11	1	1101					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					1	0				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約されています。

(c) チャンネル 12 の EDMA パラメータ

パラメータ内容	パラメータ
331C0002h	EDMA チャンネル・オプション・パラメータ (OPT)
00002100h	EDMA チャンネル・ソース・アドレス (SRC)
007Fh 0002h	EDMA チャンネル・トランスファー・カウント (CNT)
30000000h	EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h 0080h	EDMA チャンネル・インデックス (IDX)
0002h 0180h	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(d) チャンネル 12 の EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	10	0	11	0	00	1	1100					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					1	0				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約されています。

図 1-27. ピンポン・バッファ例の EDMA ポン・パラメータ内容

(a) チャンネル 13 (アドレス 01A001B0h) の EDMA ポン・パラメータ

パラメータ内容		パラメータ
307D0002h		EDMA チャンネル・オプション・パラメータ (OPT)
30000000h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
00002200h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	01C8h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(b) チャンネル 12 (アドレス 01A00180h) の EDMA ポン・パラメータ

パラメータ内容		パラメータ
331C0002h		EDMA チャンネル・オプション・パラメータ (OPT)
00002300h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
30000000h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	0198h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

図 1-28. ピンポン・バッファ例の EDMA ピン・パラメータ内容

(a) チャンネル 13 (アドレス 01A001C8h) の EDMA ピン・パラメータ

パラメータ内容		パラメータ
307D0002h		EDMA チャンネル・オプション・パラメータ (OPT)
30000000h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
00002000h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	01B0h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(b) チャンネル 12 (アドレス 01A00198h) の EDMA ピン・パラメータ

パラメータ内容		パラメータ
331C0002h		EDMA チャンネル・オプション・パラメータ (OPT)
00002100h		EDMA チャンネル・ソース・アドレス (SRC)
007Fh	0002h	EDMA チャンネル・トランスファー・カウント (CNT)
30000000h		EDMA チャンネル・デスティネーション・アドレス (DST)
FF81h	0080h	EDMA チャンネル・インデックス (IDX)
0002h	0180h	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

1.18.5 転送チェーン例

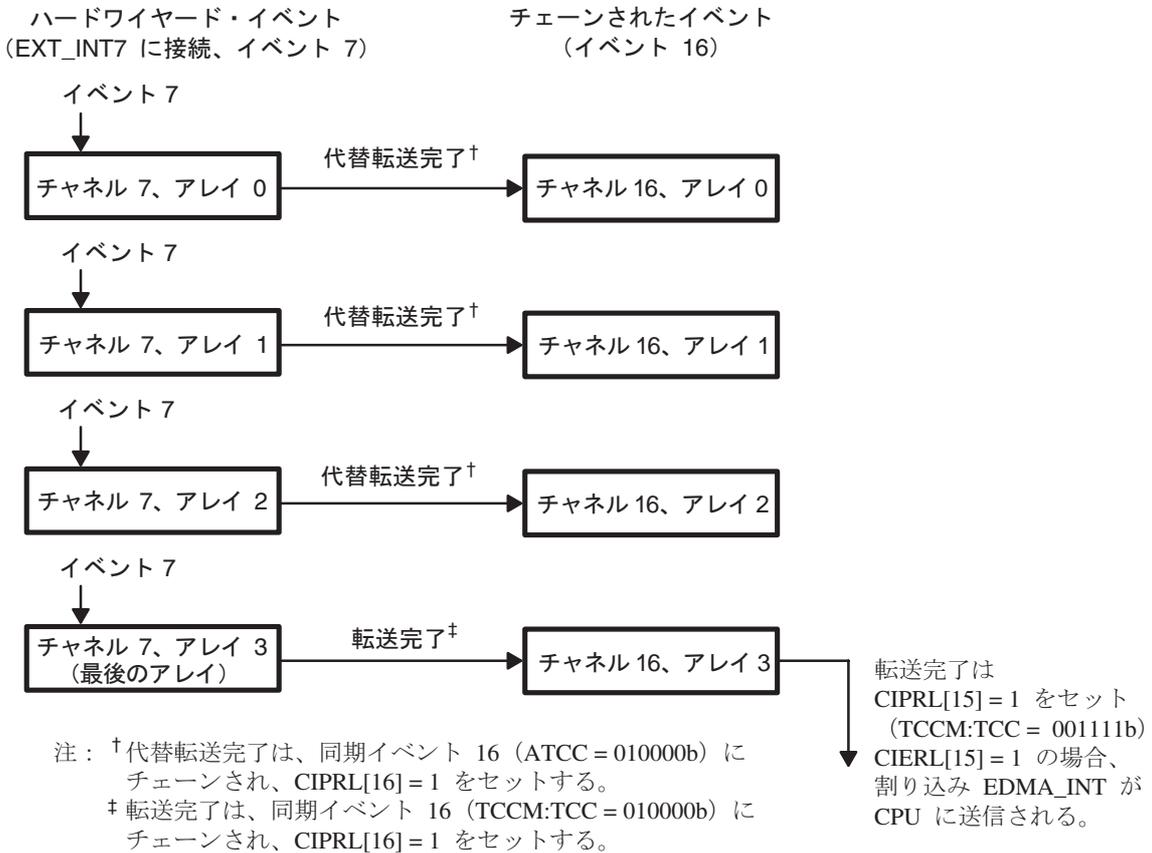
次の例では、代替転送完了チェーン機能を詳細に説明します。

1.18.5.1 単一イベントを使用した入力出力 FIFO の処理

ADSL、ネットワークング、およびビデオ・アプリケーションなど最も一般的なシステムでは、同じ速度で処理しなければならない、外部 FIFO をペアで使用する必要があります。片方の FIFO は入力データをバッファし、他方の FIFO は出力データをバッファします。これらの FIFO を処理する EDMA チャンネルは、2D アレイ同期 (FS=0) 転送としてセットアップできます。各 FIFO が異なるパラメータ・セットで処理されるとき、両方の FIFO は単一イベントから通知できます。たとえば、外部割り込みピンが、一方の FIFO のステータス・フラグに接続しているとします。このイベントが到着したら、EDMA は入力出力ストリームの両方に対して処理を実行する必要があります。代替転送完了チェーン機能がないと、これは2つのイベント、従って2つの外部割り込みピンを必要とします。代替転送完了チェーン機能により、単一の外部割り込みピンで実現できます (たとえば、EXT_INT7)。図 1-29 では、EDMA セットアップおよびこの例の説明を示しています。

EXT_INT7 イベントは、チャンネル7のアレイ転送のトリガになります。チャンネル7の各中間アレイ転送が完了すると、代替転送完了チェーンがビット CIPRL[16] (チャンネル7 ATCC で指定される) をセットし、チャンネル16に同期イベントを提供します。チャンネル7の最後のアレイ転送が完了すると、転送完了チェーン (代替転送完了チェーンではない) がビット CIPRL[16] (TCCM:TCC で指定される) をセットし、チャンネル16に同期イベントを提供します。チャンネル16が完了すると、ビット CIPRL[15] (TCCM:TCC で指定される) をセットします。これは、CIERL[15]=1の場合、CPUに割り込みを生成できます。

図 1-29. 代替転送完了チェーン例



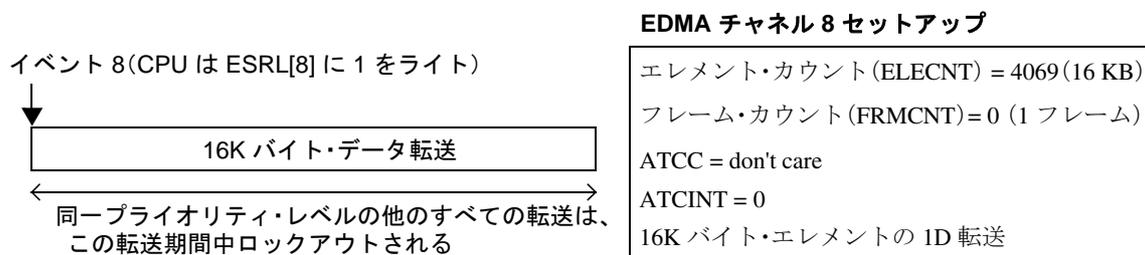
セットアップ

チャンネル 7 パラメータ (チェーン用)	チャンネル 16 パラメータ (チェーン用)	イベント・イネーブル・レジスタ (EER)
<input type="checkbox"/> 転送完了チェーンをイネーブル TCINT = 1 TCCM:TCC = 010000b <input type="checkbox"/> 代替転送完了チェーンをイネーブル ATCINT = 1 ATCC = 010000b	<input type="checkbox"/> 転送完了チェーンをイネーブル TCINT = 1 TCCM:TCC = 001111b <input type="checkbox"/> 代替転送完了チェーンをディスエーブル ATCINT = 0 ATCC = don't care	<input type="checkbox"/> チャンネル 7 をイネーブル： EERL[7] = 1 チャンネル・チェーン・イネーブル・レジスタ (CCER) <input type="checkbox"/> チャンネル 16 へのチェーンをイネーブル CCERL[16] = 1

1.18.5.2 ATCC を使用した大規模転送の分割

代替転送完了コード (ATCC) のもう 1 つの機能は、大規模転送を分割することです。大規模転送は、同じプライオリティ・レベルの他の転送を転送中ロックアウトする場合があります (4.5 節を参照)。たとえば、内部メモリから EMIF を使用した外部メモリへのハイ・プライオリティをもつ大規模転送は、ハイ・プライオリティ・キューにある他の EDMA 転送をロックアウトする場合があります。さらに、この大規模なハイ・プライオリティ転送は、長期間ロー・プライオリティ・チャンネルから EMIF をロックアウトする場合があります。大規模転送が、ハイ・プライオリティの場合、複数の小さな転送に分割してください。図 1-30 では、単一の大規模ブロック転送例の EDMA セットアップおよび説明を示しています。

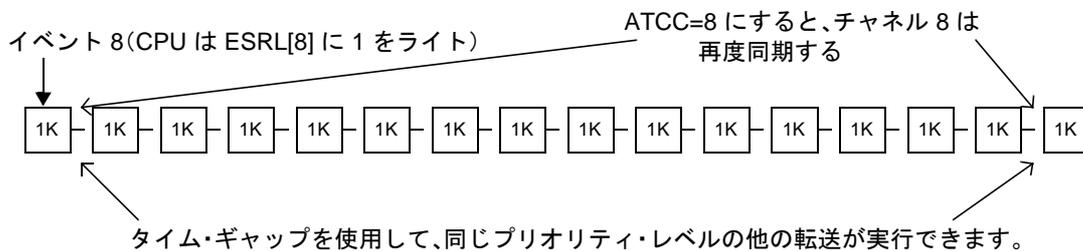
図 1-30. 単一の大規模ブロック・データ転送例



代替転送完了コード (ATCC) は、大規模転送をより小さな転送に分割する方法を提供します。たとえば、単一の大規模メモリ・ブロック (16K バイト) を移動するには、EDMA は 2D 同期転送を行います。エレメント・カウントは、より少量のデータを移動するのにかかる時間から計算される「妥当な」値にセットされます。この例では、1K バイトが妥当な少量の転送であることを想定します。1K バイト・エレメントの 16 アレイを転送する (合計で 16K バイト・エレメント) ように、EDMA がセットアップされます。チャンネル・オプション・パラメータ (OPT) 内の ATCC フィールドは、チャンネル番号と同じ値にセットされます。この例では、EDMA チャンネル 8 が使用され、ATCC も 8 にセットされます。転送の最後に、CPU への割り込みを発生させるために、転送完了コード TCCM:TCC には別の値をセットします。

CPUはイベント・セット・レジスタの適切なビット (ESRL[8]) にライトすることで、EDMA転送を開始します。EDMAは最初の1Kバイト・アレイを転送します。最初のアレイ (中間の転送) が完了すると、代替転送完了コード・チェーンはチャンネル8 (ATCCフィールドで指定された値) へ同期イベントを生成します。このATCCで生成された同期イベントで、EDMAチャンネル8は次の1Kバイト・アレイを転送します。この流れは転送パラメータを使い切るまで、すなわちEDMAが16Kバイト転送を完了するまで続きます。この方法は大規模転送をより小さなパケットに分割することで、他のイベントを処理できるように転送時の自然なタイム・スライスを提供します。図1-31では、より小さなパケット転送へ分割したEDMAセットアップおよび説明を示しています。

図 1-31. より小さなパケット・データ転送



EDMA チャンネル 8 セットアップ

エレメント・カウント (ELECNT) = 256 (1 KB)	ATCC = 8
アレイ・カウント (FRMCNT) = 15 (16 フレーム)	ATCINT = 1
アレイ・インデックス (FRMIDX) = 1024 (1KB 幅)	
アレイ同期 (FS) = 0	
CCER[8] = 1 [†]	16 個の 1K バイト・アレイの 2D 転送

[†] システム・イベント (チャンネル 4 など) をもつ別のチャンネルを使用する場合、外部同期および ATCC の受信後の転送のために、イベント・イネーブル (EER[4]) およびチャンネル・チェーン・イネーブル (CCER[4]) の両方を、セットする必要があります。

EDMA 転送コントローラ

この章では、C621x/C671x/C64x DSP のレベル 2 (L2) キャッシュ/メモリ コントローラとデバイス・ペリフェラル間のすべてのデータ転送を処理する EDMA 転送コントローラ (EDMATC) について説明します。これらのデータ転送には、EDMA チャンネル・コントローラ転送、EMIF 領域との間のキャッシュ・アクセス、キャッシュできないメモリへのアクセスおよびマスター・ペリフェラル・アクセスが含まれます。

項目	ページ
2.1 EDMA 転送コントローラのパフォーマンス	2-2
2.2 転送要求の発行	2-3

2.1 EDMA 転送コントローラのパフォーマンス

EDMA 転送が次のように設定されているときにバースト転送を行うと、EDMA のバンド幅は、フルに利用されます。

- 転送/同期タイプは、アレイ/フレーム/ブロック同期転送で、エレメント同期転送ではない (1.9.1 項を参照)。
- エレメント・サイズは、32 ビット (ESIZE = 00b)。
- アドレッシング・モードは、インクリメント、デクリメント、固定のいずれか (インデックスではない、オプション・パラメータの SUM および DUM = 00/01/10b)。

上記条件を満たさないすべての転送に対して、EDMA は単一エレメント転送を行い、使用できる帯域幅の一部のみを利用します。

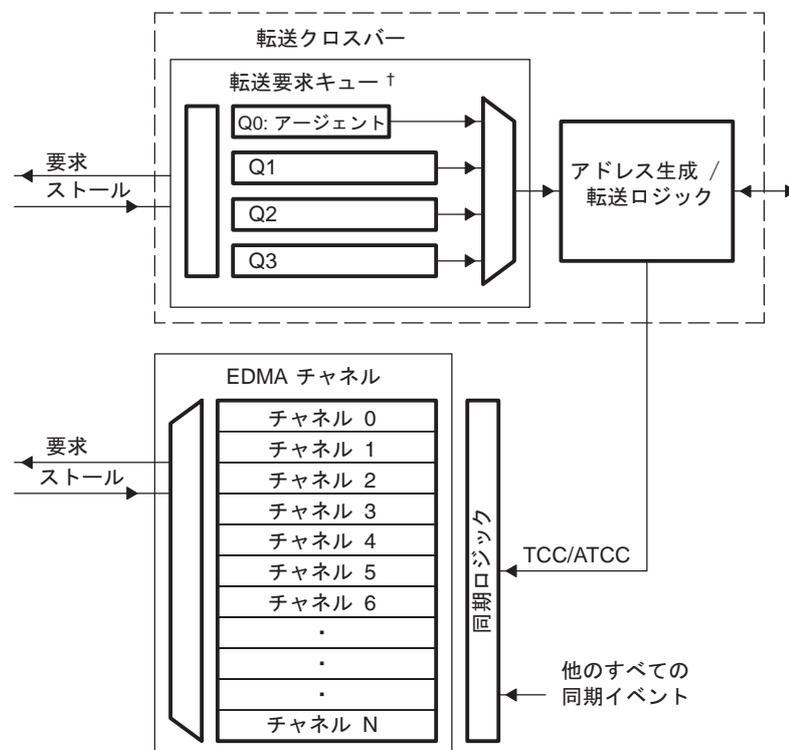
前述のバースト転送タイプの場合、バースト長は ELECNT フィールドで指定される、転送の 1D コンポーネントで決定されます。アレイまたはフレーム同期転送の場合、転送の 1D コンポーネントは同期イベントごとに転送されるデータ量になります。ブロック同期転送の場合、同期イベントごとに 2D 転送すべてが転送されます。しかし、バースト転送は 1D コンポーネントについてのみ行われます。1D 長 (ELECNT) が小さな値にプログラムされていると、パフォーマンスはそれに応じて減少し、最悪の場合 (ELECNT = 1)、そのパフォーマンスは単一エレメント転送のものと同じになります。

2.2 転送要求の発行

2.2.1 要求チェーン

EDMA へのすべての転送要求元は、転送要求チェーンに接続されます(図 2-1 を参照)。いったん発行された転送要求は、チェーンを通して、転送要求の優先順位付けと処理が行われる転送クロスバーに移動します。転送要求は、単一データ・エレメントに対するものから多数のエレメントに対するものまであります(1.5 節および 1.4 節を参照)。

図 2-1. EDMA 転送要求ブロック図



† Q3 は C64x DSP でのみ使用可能です。

2.2.1.1 L2 コントローラ転送要求

L2 コントローラはキャッシュ処理、キャッシュできないメモリへのアクセス、QDMA 転送についてのすべての転送要求を発行します。メモリのキャッシュ可能性の詳細は、『Two-Level Internal Memory Reference Guides』（SPRU609 および SPRU610）を参照してください。

C621x/C671x DSP の場合、キャッシュ処理要求は必ずアージェント・プライオリティ・レベルで行われます。リード要求の場合、キャッシュ・コントローラはラインの「ミス」部分を先に要求するように、必ず2回にわけて L2 ラインを要求します。要求されたデータ転送は、L2 ライン内のデータ・ロケーションに基づいています（表 2-1 を参照）。ライト要求の場合、ライトバック/ライトバック・インバリデート操作または削除の結果として、バースト・サイズは L2 ライン・サイズ分です。

表 2-1. キャッシュ・コントローラ・データ転送 : C621x/C671x DSP

データ・ロケーション	最初の転送	2 番目の転送
最初の 1/4	前半 1/2 ライン	後半 1/2 ライン
2 番目の 1/4	後半 3/4	前半 1/4 ライン
3 番目の 1/4	後半 1/2 ライン	前半 1/2 ライン
4 番目の 1/4	後半 1/4 ライン	前半 3/4 ライン

C64x DSP の場合、キャッシュ処理要求は、キャッシュ・コンフィギュレーション・レジスタ（CCFG）の P ビットで指定される、任意のプライオリティ・レベルで行われます。リード要求の場合、キャッシュ・コントローラはラインの「ミス」部分を先に要求するかたちで、64K バイトのバースト 2 回で L2 ラインを要求します。ライト要求の場合、ライトバック/ライトバック・インバリデート操作または削除の結果として、キャッシュ・コントローラは 64K バイトのバースト 2 回で L2 ライン・サイズ分を転送します。

C621x/C671x DSP および C64x DSP の両方において、L2 コントローラによるキャッシュできないメモリへの転送要求は、必ず単一エレメントと同じになり、外部メモリのキャッシュできないロケーション間とのデータのロード/ストアを行うために使用されます。

QDMA 転送要求には、EDMA チャネルと同じ制限があります。詳細は、1.16 節を参照してください。

2.2.1.2 HPI/PCI 転送要求

HPI/PCI はホストのアクティビティを処理するために転送要求を自動的に生成します。C621x/C671x DSP の場合、転送要求はハイ・プライオリティでのみ発行され、透過的です。C64x DSP の場合、デフォルトでは HPI/PCI 転送要求は、ミディアム・プライオリティで発行されますが、要求のプライオリティは、トランスファー・リクエスト・コントロール・レジスタ (TRCTL) 内の PRI フィールドを適切な値にセットすることで、4つのプライオリティ・レベルのいずれかにプログラムできます。HPI/PCI は固定モード・ホスト・アクセスの場合、単一エレメント・リードまたはライトの転送要求を発行します。また、自動インクリメント転送の場合、短いデータ・バーストの転送要求を発行します。バースト・サイズは必ず 8 エレメント以下です。使用可能な HPI 転送要求プライオリティについては、3.4 節および 4.5 節を参照してください。

2.2.1.3 EDMA チャネル転送要求

EDMA チャネル転送要求はアージェント (C64x DSP のみ)、ハイ、ミディアム (C64x DSP のみ)、ローのいずれかのプライオリティで発行できます。推奨事項としては、ハイ・プライオリティが短いバースト転送および単一エレメント転送に使用されること、またロー・プライオリティがより長い (バックグラウンド) ブロック転送の場合に使用されることです。また、必要に応じて、プライオリティ・レベル間で転送を振り分けることも推奨します。これはデバイス・パフォーマンスを最大にするのに役立ちます。使用可能な EDMA 転送要求プライオリティについては、3.4 節および 4.5 節を参照してください。

2.2.2 転送クロスバー

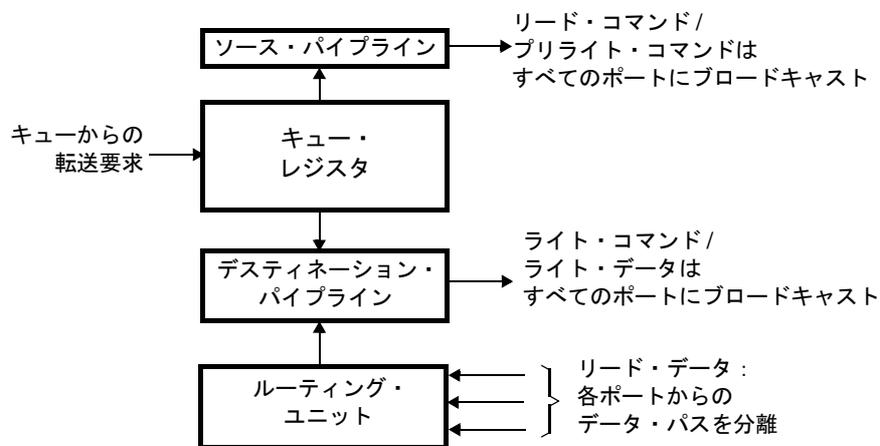
転送要求が要求チェーンの終端に到達すると、転送要求は転送クロスバー (TC) に送信されます。TC 内では、転送要求は処理を待つために転送要求キューの 1 つに移動します。転送要求がどのキューへ発行されるかは、関連するプライオリティで決定されます。C621x/C671x DSP には固定長の 3 つのキュー (Q0 ~ Q2) があり、C64x DSP にはプログラム可能な長さをもつ 4 つのプライオリティ・レベル・キュー (Q0 ~ Q3) があります。

転送要求がキューの先頭に到達すると、転送要求は処理のためにアドレス生成 / 転送ロジックに送信されます。アドレス生成 / 転送ロジックは各キューから転送要求を 1 つだけ処理します。システム内のデータ転送のバンド幅を最大にするために、すべてのキューを利用します。

2.2.3 アドレス生成 / 転送ロジック

アドレス生成 / 転送ロジック・ブロック (図 2-2 を参照) は、EDMA によるデータ転送を制御します。各プライオリティ・キューには、転送の進行状況を監視するレジスタ・セットが 1 つあります。各キューのレジスタ・セット内で、現在のソース・アドレス、デスティネーション・アドレス、カウンタが転送用に保持されています。これらのレジスタは、メモリマップドではなく、また CPU から使用できません。

図 2-2. アドレス生成 / 転送ロジックのブロック図



TMS320C621x/C671x EDMA

この章では、TMS320C621x/C671x DSP 内の EDMA コントローラの動作とレジスタについて説明します。また、この章では、CPU が高速データ要求のために使用するクイック DMA (QDMA) レジスタについても説明します。TMS320C64x™ EDMA に特有な動作とレジスタについては、第 4 章を参照してください。

項目	ページ
3.1 イベント・サービス・プライオリティ	3-2
3.2 パラメータ RAM (PaRAM)	3-2
3.3 イベントによる EDMA チャンルのチェーン	3-5
3.4 EDMA 転送コントローラのプライオリティ	3-6
3.5 EDMA コントロール・レジスタ	3-8
3.6 EDMA チャンネル・パラメータ・エントリ	3-22
3.7 QDMA レジスタ	3-31

3.1 イベント・サービス・プライオリティ

EDMA イベント・レジスタ (ER) は、最大 16 イベントを取り込みます。このため、EDMA イベント入力で複数イベントの同時発生が可能です。イベントを同時に認識した場合、最も大きなイベント番号をもつチャンネルが先に転送要求を発行します。このメカニズムは同時のイベントをソートするだけで、イベントのプライオリティを設定するものではありません。転送プライオリティは、EDMA のパラメータ RAM (PaRAM) にストアされている EDMA パラメータによって決定されます。

3.2 パラメータ RAM (PaRAM)

レジスタベースのアーキテクチャである C620x/C670x DMA コントローラとは異なり、EDMA コントローラは RAM ベースのアーキテクチャです。EDMA チャンネルは、パラメータ・テーブルで設定されます。テーブルは、EDMA チャンネル・コントローラ内に配置される、2K バイト・ブロックのパラメータ RAM (PaRAM) です。PaRAM テーブル (表 3-1) は、それぞれ 6 ワード、24 バイトのパラメータ・エントリから構成されていて、合計 85 エントリになります。2K バイトの PaRAM の内容は、次のとおりです。

- 16 EDMA イベント用の 16 個の転送パラメータ・セット・エントリ。各パラメータ・セットは 6 ワード、24 バイトです。また、これらの領域は、リロード/リンク・パラメータとしても使用可能です。
- 残りのパラメータ・セットは、転送のリロードまたはリンク用に使用される追加的なパラメータです。各リロード/リンク・パラメータ・セットは 24 バイトです。

各 EDMA イベントのパラメータ・エントリは、6 つの 32 ビット・ワード、したがって 24 バイトで構成されています (内容と説明はそれぞれ、図 3-1 および表 3-2 を参照)。

表 3-1. EDMA パラメータ RAM の内容 : C621x/C671x DSP

アドレス	パラメータ
01A00000h ~ 01A00017h	イベント 0 のパラメータ (6 ワード)
01A00018h ~ 01A0002Fh	イベント 1 のパラメータ (6 ワード)
01A00030h ~ 01A00047h	イベント 2 のパラメータ (6 ワード)
01A00048h ~ 01A0005Fh	イベント 3 のパラメータ (6 ワード)
01A00060h ~ 01A00077h	イベント 4 のパラメータ (6 ワード)
01A00078h ~ 01A0008Fh	イベント 5 のパラメータ (6 ワード)
01A00090h ~ 01A000A7h	イベント 6 のパラメータ (6 ワード)
01A000A8h ~ 01A000BFh	イベント 7 のパラメータ (6 ワード)
01A000C0h ~ 01A000D7h	イベント 8 のパラメータ (6 ワード)
01A000D8h ~ 01A000EFh	イベント 9 のパラメータ (6 ワード)
01A000F0h ~ 01A00107h	イベント 10 のパラメータ (6 ワード)
01A00108h ~ 01A0011Fh	イベント 11 のパラメータ (6 ワード)
01A00120h ~ 01A00137h	イベント 12 のパラメータ (6 ワード)
01A00138h ~ 01A0014Fh	イベント 13 のパラメータ (6 ワード)
01A00150h ~ 01A00167h	イベント 14 のパラメータ (6 ワード)
01A00168h ~ 01A0017Fh	イベント 15 のパラメータ (6 ワード)
01A00180h ~ 01A00197h	最初のリロード/リンク・エントリ (6 ワード) †
01A00198h ~ 01A001AFh	2 番目のリロード/リンク・エントリ (6 ワード) †
...	...
01A007E0h ~ 01A007F7h	69 番目のリロード/リンク・エントリ (6 ワード) †
01A007F8h ~ 01A007FFh	スクラッチ・パッド領域 (2 ワード)

† C621x/C671x DSP には、EDMA 転送をリロード/リンクするために使用できる 69 のパラメータ・セット [各 6 ワード] があります。

図 3-1. 各 EDMA イベントの EDMA チャンネル・パラメータ・エントリ : C621x/C671x DSP

	31	0	EDMA パラメータ
バイト 0	EDMA チャンネル・オプション・パラメータ (OPT)		OPT
バイト 4	EDMA チャンネル・ソース・アドレス (SRC)		SRC
バイト 8	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)	CNT
バイト 12	EDMA チャンネル・デスティネーション・アドレス (DST)		DST
バイト 16	アレイ/フレーム・インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)	IDX
バイト 20	エレメント・カウント・リロード (ELERLD)	リンク・アドレス (LINK)	RLD

表 3-2. EDMA チャンネル・パラメータの説明 : C621x/C671x DSP

オフセット・ アドレス (バイト)	略称	パラメータ	定義		参照先
			1D 転送	2D 転送	
0	OPT	チャンネル・オプション	転送コンフィギュレーション・オプション。		3.6.1 項
4	SRC	チャンネル・ソース・ アドレス	データ転送元のアドレス。		3.6.2 項
8†	ELECNT	エレメント・カウント	フレームあたりの エレメント数。	アレイあたりの エレメント数。	3.6.3 項
	FRMCNT	フレーム・カウント (1D)、 アレイ・カウント (2D)	ブロックあたりの フレーム数-1。	ブロックあたりの アレイ数-1。	3.6.3 項
12	DST	チャンネル・デスティネー ション・アドレス	データ転送先のアドレス。		3.6.4 項
16†	ELEIDX	エレメント・インデック ス	フレーム内のエレメ ントのアドレス・オ フセット。	---	3.6.5 項
	FRMIDX	フレーム・インデックス (1D)、 アレイ・インデックス (2D)	ブロック内の フレームの アドレス・ オフセット。	ブロック内の アレイの アドレス・ オフセット。	3.6.5 項
20†	LINK	リンク・アドレス	リンク対象のパラメータ・セットのある PaRAM アドレス。		3.6.6 項
	ELERLD‡	エレメント・カウント・ リロード	各フレームの最後に ロードされる カウント値。‡	---	3.6.6 項

†パラメータ・セット・エントリは、STW 命令または LDW 命令を使用して、必ず 32 ビット・ワードとしてアクセスする必要があります。

‡このフィールドはエレメント同期転送の場合にのみ有効です。

3.3 イベントによる EDMA チャンルのチェーン

チェーンの概要については、1.13 節を参照してください。ユーザが指定する 4 ビット転送完了コードのうち 4 つ (TCC 値 8、9、10、11) は、別の EDMA チャンル転送をトリガするために使用できます。これにより、これらのイベントは EDMA 転送をトリガします。ペリフェラルまたは外部デバイスがドライブする 1 つのイベントから複数の EDMA 転送要求をチェーンすることができます。TCC を 8、9、10、11 のいずれかにセットすることで、任意の EDMA チャンルはこれら 4 つのチャンネルと同期することができます。

EDMA コントローラが単一イベントによってチャンネルをチェーンできるようにするには、TCINT ビットを 1 にセットする必要があります。さらに、TCC が指定する次のチャンネル転送をトリガするために、チャンネル・チェーン・イネーブル・レジスタ (CCER) 内の関連するビットをセットする必要があります。イベント 8 ~ 11 のみが、チェーンをサポートする EDMA チャンルなので、これらのビットのみが、CCER 内に実装されています。未使用のビットをリードすると、EER 内の対応するビットを返します。未使用のビットにライトしても影響はありません。したがって、TCC 値を 8 ~ 11 に指定できますが、チャンネル 8 ~ 11 の転送を起動する必要はありません。ただし、CCER 内の対応するビットがディスエーブルの場合でも、ER ビット 11 ~ 8 はイベントを取り込みます。これにより、選択的にこれらの 4 つのイベントをイネーブルにしたり、ディスエーブルにすることができます。

たとえば、CCER[8]=1 および TCC = 1000b が EDMA チャンル 4 に指定されている場合、EXT_INT4 の外部割り込みは EDMA 転送を開始します。チャンネル 4 転送が完了する (すべてのパラメータを使い切ってしまう) と、EDMA コントローラは次の転送の EDMA チャンル 8 を開始します (TCINT = 1)。これは、TCC = 1000b が EDMA チャンル 8 の同期イベントになっているためです。チャンネル 4 が完了すると、対応する CIPR ビット 8 がセットされ、CPU への EDMA_INT (CIER[8]=1 の場合) が生成されます。CPU 割り込みが必要ではない場合、対応する割り込みイネーブル・ビット (CIER[8]) をゼロ・クリアする必要があります。チャンネル 8 転送が必要ではない場合、CCER[8] をゼロ・クリアする必要があります。

転送完了コード (TCC) は、直接 CIPR のビットにマップされます (表 1-11 を参照)。

3.4 EDMA 転送コントローラのプライオリティ

EDMA チャンネルには、プログラム可能なプライオリティがあります。チャンネル・オプション・パラメータ (OPT) 内の PRI ビットは、プライオリティ・レベルを指定します。使用可能な最も高いプライオリティは、レベル 0 (エージェント・プライオリティ) です。これは EDMA チャンネル・コントローラ転送要求ではサポートされていません。表 3-3 では、各要求元ごとに、使用可能なプライオリティ・レベルを示しています。

ハイ・プライオリティにすべての要求を発行するような、システムに過負荷を与えることをしないように注意して使用してください。1 つのプライオリティ・レベルへの過剰な配置は、EDMA をストールさせることとなります。これを回避するには、異なるプライオリティ・レベルへバランスのとれたバンド幅に分散させます。2.1 節を参照してください。

表 3-3. データ要求に対するプログラム可能なプライオリティ・レベル : C621x/C671x DSP

OPT 内の PRI ビット	プライオリティ・レベル	要求元
000	レベル 0 — エージェント・プライオリティ	L2 コントローラ
001	レベル 1 — ハイ・プライオリティ	EDMA、QDMA、HPI
010	レベル 2 — ロー・プライオリティ	EDMA、QDMA
011-111	予約	予約

3.4.1 転送コントローラの転送要求キュー長

C621x/C671x EDMA 転送コントローラには、キューごとに転送要求の合計数のある 3 つの転送要求キュー (Q0、Q1、Q2) があります (表 3-4 を参照)。転送要求は、要求元でプログラムされる PRI フィールドを基にして Q0、Q1、Q2 にソートされます。エージェント・プライオリティ・キュー Q0 は、L2 キャッシュ要求に予約されています。より下位のプライオリティ・キュー Q1 および Q2 は、EDMA チャンネル・コントローラ、QDMA、HPI 転送に使用されます。各キューは複数の要求元により共有されていますが、各要求元に割り当てられているエントリ数は固定されています (表 3-4 を参照)。

表 3-4. 転送要求キュー : C621x/C671x DSP

キュー	プライオリティ・レベル	キューの 合計長 (固定)	要求元で使用可能な最大キュー長		
			要求元	キュー長	
Q0	レベル 0 —	6	L2 コントローラ	6	
	エージェント・プライオリティ		キャッシュ要求		
Q1	レベル 1 —	13	EDMA	8	
	ハイ・プライオリティ		L2 コントローラ	QDMA 要求	3
			HPI		2
Q2	レベル 2 —	11	EDMA	8	
	ロー・プライオリティ		L2 コントローラ	QDMA 要求	3

3.4.1.1 要求元間の影響

各要求元は個別にキューの割り当てを追跡しています。このため、ある要求元がその割り当てを超えると、その要求元だけが影響を受けます。これについては、次の項で定義します。L2 および QDMA は単一の要求元と見なされることに注意してください。

3.4.1.2 EDMA チャネル・コントローラのキュー割り当て

EDMA チャネル要求は、各キューへの割り当てが超えないように、ハイ (Q1) とロー (Q2) プライオリティ・キュー間でバランスがとれていることが理想的です。EDMA チャネルが処理している、そのキューがフルになっていて、キュー割り当てのため発行ができない場合、前回発行された EDMA チャネル・コントローラ転送要求が終了し、TC プライオリティ・キューが次の要求の場所を確保するまで、EDMA チャネル・コントローラはストールします。EDMA チャネル・コントローラがストールしている間、別のプライオリティ・キューへ要求を発行できるイベントも含めて、他のイベントのいずれも処理できません。EDMA イベント・レジスタ (ER) は、それでも着信イベントを取り込み、ストール状態が解除されると、EDMA チャネル・コントローラはペンディングされていたイベントを処理します。同一イベントに対し、処理される前に 2 回アサートされると、2 番目のイベントは処理されないことに注意してください。

3.4.1.3 L2 キャッシュおよび QDMA キューの割り当て

EDMA チャネル・コントローラと同じように、L2 コントローラ・キューへの割り当てが単一のプライオリティ・レベルで超えると、ストールしている要求が処理できるようになるまで、他の要求は発行できません。これは L2 コントローラのキャッシュ要求では問題ありません。L2 コントローラはある時点での未処理の転送要求が 6 つよりも多いことはないということと、L2 コントローラは Q0 上で唯一の要求元であるということが保証されているためです。

あるプライオリティ・レベル上で QDMA の割り当てを超えるような連続的な QDMA が発行されると、他のすべての転送要求 (別のプライオリティ・レベルの QDMA および L2 キャッシュ要求を含みます) がストールします。さらに、L1D および L2 コントローラが QDMA 要求の発行を待つことでストールすることがあるので、これには、CPU 全体をストールさせてしまう可能性があります。

この状態を回避するために、あるプライオリティ・レベルでの未処理の QDMA 要求数を最大 3 に制限することをお勧めします。これは、システムのデータ・フローに関する知識を元に行うか、または QDMA 要求の完了を追跡するよう転送完了コード割り込みを使用したソフトウェアを使用して手動で追跡できます。

3.4.1.4 HPI キューの割り当て

HPI キューの割り当てには問題はありません。HPI は、ある時点での未処理の要求が 2 つより多いことが保証されています。

3.5 EDMA コントロール・レジスタ

EDMA 内の 16 チャンネルにはそれぞれ、各チャンネルに関連付けられた特定の同期イベントがあります。これらのイベントは、そのチャンネルに関連したデータ転送をトリガします。イベントの各種処理をするコントロール・レジスタを表 3-5 に示します。これらの同期イベントの詳細は、1.5 節で説明しています。これらのレジスタのメモリ・アドレスおよびチャンネルとイベントのマッピングについては、各デバイスのデータシートを参照してください。

表 3-5. EDMA コントロール・レジスタ : C621x/C671x DSP

略称	レジスタ名	参照先
ESEL [†]	EDMA イベント・セクタ・レジスタ	3.5.1 項
PQSR	プライオリティ・キュー・ステータス・レジスタ	3.5.2 項
CIPR	EDMA チャンネル・インタラプト・ペンディング・レジスタ	3.5.3 項
CIER	EDMA チャンネル・インタラプト・イネーブル・レジスタ	3.5.4 項
CCER	EDMA チャンネル・チェーン・イネーブル・レジスタ	3.5.5 項
ER	EDMA イベント・レジスタ	3.5.6 項
EER	EDMA イベント・イネーブル・レジスタ	3.5.7 項
ECR	EDMA イベント・クリア・レジスタ	3.5.8 項
ESR	EDMA イベント・セット・レジスタ	3.5.9 項

[†] 使用できるかどうかについては、各デバイスのデータシートを参照してください。

3.5.1 EDMA イベント・セクタ・レジスタ (ESEL0、1、3)

EDMA イベント・セクタ・レジスタ (ESEL0、1、3) は、一部の C6000 デバイスで EDMA チャンネルと EDMA イベントのマッピングを制御します (使用できるかどうかについては、各デバイスのデータシートを参照してください)。EDMA イベント・セクタ・レジスタの内容については、図 3-2、図 3-3、図 3-4 をそれぞれ参照してください。また、その説明については、表 3-6、表 3-7、表 3-8 をそれぞれ参照してください。

各 EDMA チャンネルには、デフォルトの EDMA イベント・セクタ (EVTSEL) 値があります。そのリストを表 3-9 (3-12 ページ) に示します。各 EDMA イベント・セクタ (EVTSEL) 値には、EDMA イベントが割り当てられています (各デバイスのデータシートを参照してください)。表 3-10 (3-12 ページ) では、C6713 DSP での EDMA イベントの割り当てを示しています。各 EVTSEL_n フィールドに EDMA イベント・セクタ値をロードすると、目的の EDMA イベントを任意の EDMA チャンネルにマップできます。C6713 DSP の例では、ESEL3 内の EVTSEL15 が 000001b (TINT0 の EDMA セクタ値) にプログラムされると、EDMA チャンネル 15 はタイマ 0 の TINT0 イベントでトリガされます。

図 3-2. EDMA イベント・セクタ・レジスタ 0 (ESEL0)

31	30	29		24	23	22	21		16
Reserved		EVTSEL3			Reserved		EVTSEL2		
R-0		R/W-03h			R-0		R/W-02h		
15	14	13		8	7	6	5		0
Reserved		EVTSEL1			Reserved		EVTSEL0		
R-0		R/W-01h			R-0		R/W-0		

凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-6. EDMA イベント・セクタ・レジスタ 0 (ESEL0) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-30	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
29-24	EVTSEL3	OF (値)	0-3Fh	イベント・セクタ 3。この 6 ビット値は、イベント 3 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	3h	EDMA チャンネル 3 は SDINT イベントによりトリガされません。
23-22	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
21-16	EVTSEL2	OF (値)	0-3Fh	イベント・セクタ 2。この 6 ビット値は、イベント 2 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	2h	EDMA チャンネル 2 は TINT1 イベントによりトリガされません。
15-14	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
13-8	EVTSEL1	OF (値)	0-3Fh	イベント・セクタ 1。この 6 ビット値は、イベント 1 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	1h	EDMA チャンネル 1 は TINT0 イベントによりトリガされません。
7-6	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
5-0	EVTSEL0	OF (値)	0-3Fh	イベント・セクタ 0。この 6 ビット値は、イベント 0 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	0	EDMA チャンネル 0 は DSPINT イベントによりトリガされません。

† CSL を使って実装する場合、表記 EDMA_ESEL0_field_symval を使用してください。

図 3-3. EDMA イベント・セクタ・レジスタ 1 (ESEL1)

31	30	29		24	23	22	21		16
Reserved		EVTSEL7			Reserved		EVTSEL6		
R-0		R/W-07h			R-0		R/W-06h		
15	14	13		8	7	6	5		0
Reserved		EVTSEL5			Reserved		EVTSEL4		
R-0		R/W-05h			R-0		R/W-04h		

凡例: R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-7. EDMA イベント・セクタ・レジスタ 1 (ESEL1) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-30	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
29-24	EVTSEL7	OF (値)	0-3Fh	イベント・セクタ 7。この 6 ビット値は、イベント 7 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	7h	EDMA チャンネル 7 は EXTINT7 イベントによりトリガされます。
23-22	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
21-16	EVTSEL6	OF (値)	0-3Fh	イベント・セクタ 6。この 6 ビット値は、イベント 6 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	6h	EDMA チャンネル 6 は EXTINT6 イベントによりトリガされます。
15-14	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
13-8	EVTSEL5	OF (値)	0-3Fh	イベント・セクタ 5。この 6 ビット値は、イベント 5 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	5h	EDMA チャンネル 5 は EXTINT5 イベントによりトリガされます。
7-6	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
5-0	EVTSEL4	OF (値)	0-3Fh	イベント・セクタ 4。この 6 ビット値は、イベント 4 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	4h	EDMA チャンネル 4 は EXTINT4 イベントによりトリガされます。

† CSL を使って実装する場合、表記 EDMA_ESEL1_field_symval を使用してください。

図 3-4. EDMA イベント・セクタ・レジスタ 3 (ESEL3)

31	30	29		24	23	22	21		16
Reserved		EVTSEL15			Reserved		EVTSEL14		
R-0		R/W-0Fh			R-0		R/W-0Eh		
15	14	13		8	7	6	5		0
Reserved		EVTSEL13			Reserved		EVTSEL12		
R-0		R/W-0Dh			R-0		R/W-0Ch		

凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-8. EDMA イベント・セクタ・レジスタ 3 (ESEL3) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-30	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
29-24	EVTSEL15	OF (値)	0-3Fh	イベント・セクタ 15。この 6 ビット値は、イベント 15 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	Fh	EDMA チャンネル 15 は REVT1 イベントによりトリガされます。
23-22	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
21-16	EVTSEL14	OF (値)	0-3Fh	イベント・セクタ 14。この 6 ビット値は、イベント 14 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	Eh	EDMA チャンネル 14 は XEVT1 イベントによりトリガされます。
15-14	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
13-8	EVTSEL13	OF (値)	0-3Fh	イベント・セクタ 13。この 6 ビット値は、イベント 13 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	Dh	EDMA チャンネル 13 は REVT0 イベントによりトリガされます。
7-6	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
5-0	EVTSEL12	OF (値)	0-3Fh	イベント・セクタ 12。この 6 ビット値は、イベント 12 を任意の EDMA チャンネルにマップします。表 3-9 および表 3-10 を参照してください。
		DEFAULT	Ch	EDMA チャンネル 12 は XEVT0 イベントによりトリガされます。

[†] CSL を使って実装する場合、表記 EDMA_ESEL3_field_symval を使用してください。

表 3-9. 各 EDMA チャンネルのデフォルトの EDMA イベント : C6713 DSP

EDMA イベント・セクタ・レジスタ				
EDMA チャンネル	ビット	フィールド	デフォルトの EDMA イベント・セクタ値 (2 進数)	デフォルトの EDMA イベント
0	ESEL0[5-0]	EVTSEL0	000000	DSPINT
1	ESEL0[13-8]	EVTSEL1	000001	TINT0
2	ESEL0[21-16]	EVTSEL2	000010	TINT1
3	ESEL0[29-24]	EVTSEL3	000011	SDINT
4	ESEL1[5-0]	EVTSEL4	000100	EXTINT4
5	ESEL1[13-8]	EVTSEL5	000101	EXTINT5
6	ESEL1[21-16]	EVTSEL6	000110	EXTINT6
7	ESEL1[29-24]	EVTSEL7	000111	EXTINT7
8	-	-	-	TCC8 (チェーン)
9	-	-	-	TCC9 (チェーン)
10	-	-	-	TCC10 (チェーン)
11	-	-	-	TCC11 (チェーン)
12	ESEL3[5-0]	EVTSEL12	001100	XEVT0
13	ESEL3[13-8]	EVTSEL13	001101	REVT0
14	ESEL3[21-16]	EVTSEL14	001110	XEVT1
15	ESEL3[29-24]	EVTSEL15	001111	REVT1

表 3-10. 各 EDMA イベントの EDMA イベント・セクタ値 : C6713 DSP

EDMA イベント・セクタ値 (2 進数)	EDMA イベント	モジュール
000000	DSPINT	HPI
000001	TINT0	TIMER0
000010	TINT1	TIMER1
000011	SDINT	EMIF
000100	EXTINT4	GPIO
000101	EXTINT5	GPIO
000110	EXTINT6	GPIO
000111	EXTINT7	GPIO
001000	GPINT0	GPIO
001001	GPINT1	GPIO
001010	GPINT2	GPIO

表 3-10. 各 EDMA イベントの EDMA イベント・セレクト値 : C6713 DSP (続き)

EDMA イベント・セレクト値 (2 進数)	EDMA イベント	モジュール
001011	GPINT3	GPIO
001100	XEVT0	McBSP0
001101	REVT0	McBSP0
001110	XEVT1	McBSP1
001111	REVT1	McBSP1
010000-011111	Reserved	-
100000	AXEVTE0	McASP0
100001	AXEVTO0	McASP0
100010	AXEVT0	McASP0
100011	AREVTE0	McASP0
100100	AREVTO0	McASP0
100101	AREVT0	McASP0
100110	AXEVTE1	McASP1
100111	AXEVTO1	McASP1
101000	AXEVT1	McASP1
101001	AREVTE1	McASP1
101010	AREVTO1	McASP1
101011	AREVT1	McASP1
101100	I2CREVT0	I2C0
101101	I2CXEVT0	I2C0
101110	I2CREVT1	I2C1
101111	I2CXEVT1	I2C1
110000	GPINT8	GPIO
110001	GPINT9	GPIO
110010	GPINT10	GPIO
110011	GPINT11	GPIO
110100	GPINT12	GPIO
110101	GPINT13	GPIO
110110	GPINT14	GPIO
110111	GPINT15	GPIO
111000-111111	Reserved	-

3.5.2 プライオリティ・キュー・ステータス・レジスタ (PQSR)

プライオリティ・キュー・ステータス・レジスタ (PQSR) は、各プライオリティ・レベルで転送コントローラが空になっているかどうかを示します。PQSR の内容と説明をそれぞれ図 3-5、表 3-11 に示します。プライオリティ・キュー・ステータス (PQ) ビットは、キューのステータスと同時にアクティブな転送について示します。PQ ビットが 111b にセットされている場合、それぞれのプライオリティ・レベル・キューにはペンディングされている要求はありません。また進行中の転送也没有ありません。たとえば、ビット 0 (PQ0) が 1 にセットされていると、データ転送に対するすべての L2 要求が完了し、プライオリティ・レベル 0 キューにはペンディングされている要求はありません。

PQ ビットは主にエミュレーションまたはデバッグの目的で使用されます。通常、アプリケーションでは使用してはいけません。

図 3-5. プライオリティ・キュー・ステータス・レジスタ (PQSR)

31	Reserved	3	2	1	0
		PQ2	PQ1	PQ0	
	R-0	R-1	R-1	R-1	

凡例: R = リード専用、-n = リセット後の値

表 3-11. プライオリティ・キュー・ステータス・レジスタ (PQSR) フィールドの説明

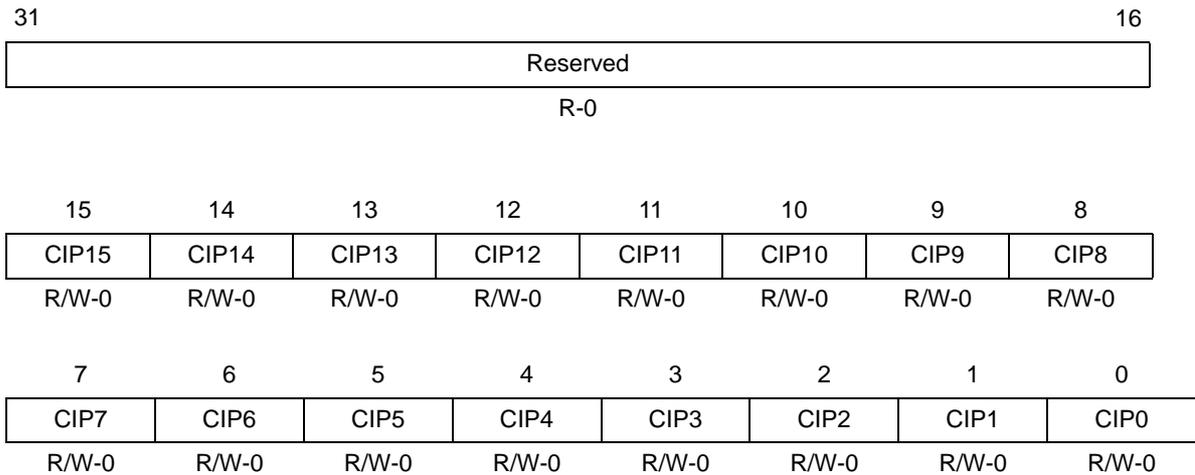
ビット	フィールド	symval [†]	値	説明
31-3	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
2-0	PQ	OF (値)	0-7h	プライオリティ・キューのステータス。PQ ビットが 1 のときは、それぞれのプライオリティ・レベル・キューにはペンディングされている要求がないことを示します。
		DEFAULT	7h	プライオリティ・レベル・キューにはペンディングされている要求はありません。

[†] CSL を使って実装する場合、表記 EDMA_PQSR_PQ_symval を使用してください。

3.5.3 EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR)

EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) の内容と説明をそれぞれ図 3-6、表 3-12 に示します。

図 3-6. EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR)



凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-12. EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) フィールドの説明

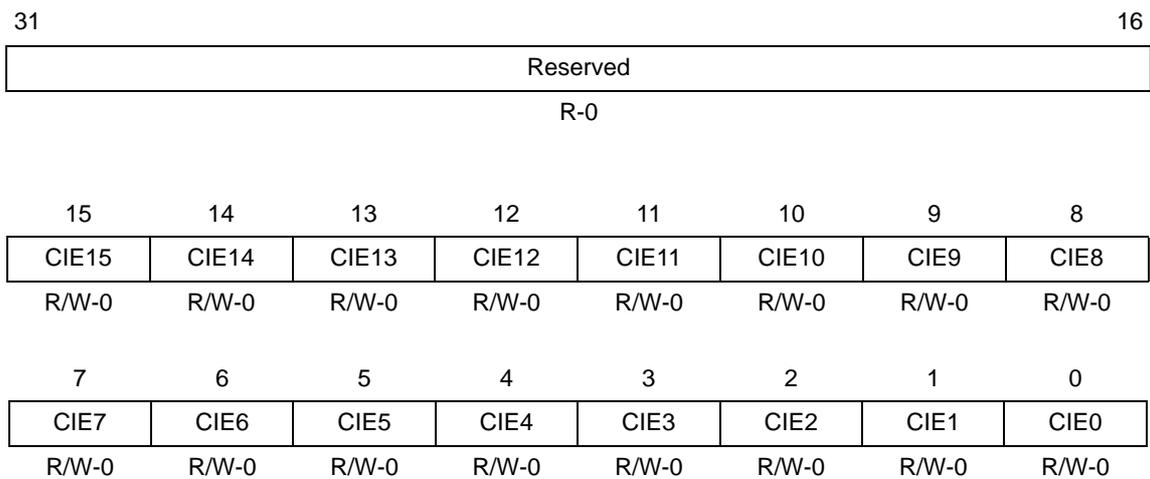
ビット	フィールド	<i>symval</i> [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	CIP	OF (値)	0-FFFFh	チャンネル割り込みのペンディング。チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットがある EDMA チャンネルで 1 にセットされていて、かつ転送完了コード (TCC) が EDMA 転送コントローラから提供される場合、EDMA チャンネル・コントローラは CIP フィールド内のビットをセットします。
		DEFAULT	0	EDMA チャンネル割り込みは、ペンディングされていません。
		-	1	EDMA チャンネル割り込みは、ペンディングされています。

[†] CSL を使って実装する場合、表記 EDMA_CIPR_CIP_*symval* を使用してください。

3.5.4 EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER)

EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER) の内容と説明をそれぞれ図 3-7、表 3-13 に示します。

図 3-7. EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER)



凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-13. EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER) フィールドの説明

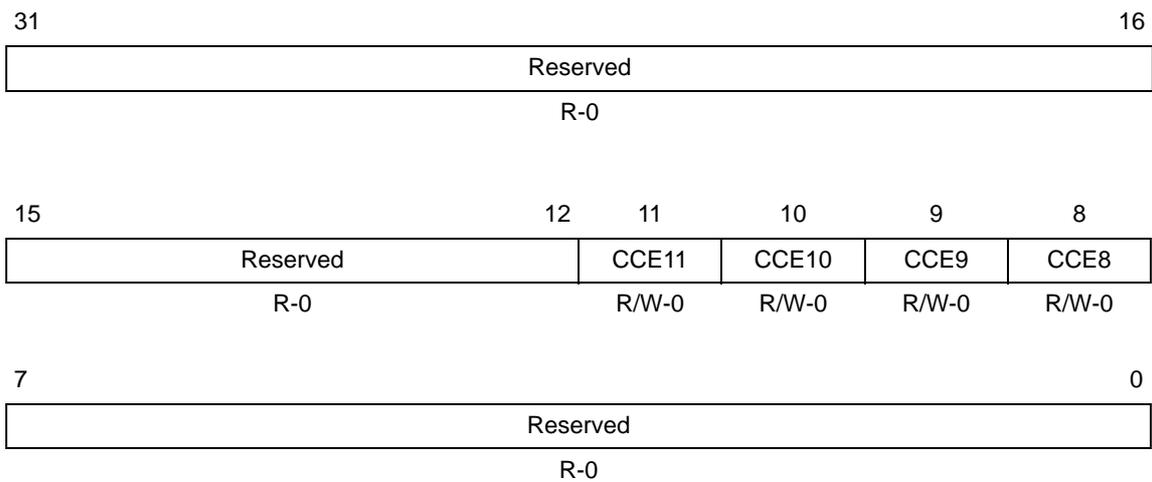
ビット	フィールド	<i>symval</i> [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	CIE	OF (値)	0-FFFFh	チャンネル割り込みのイネーブル。EDMA チャンネルの割り込みをディスエーブルまたはイネーブルにするために使用される 16 ビット符号なし値。
		DEFAULT	0	EDMA チャンネル割り込みは、ディスエーブルです。
		-	1	EDMA チャンネル割り込みは、イネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_CIER_CIE_*symval* を使用してください。

3.5.5 EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER)

EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER) の内容と説明をそれぞれ図 3-8、表 3-14 に示します。

図 3-8. EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER)



凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-14. EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER) フィールドの説明

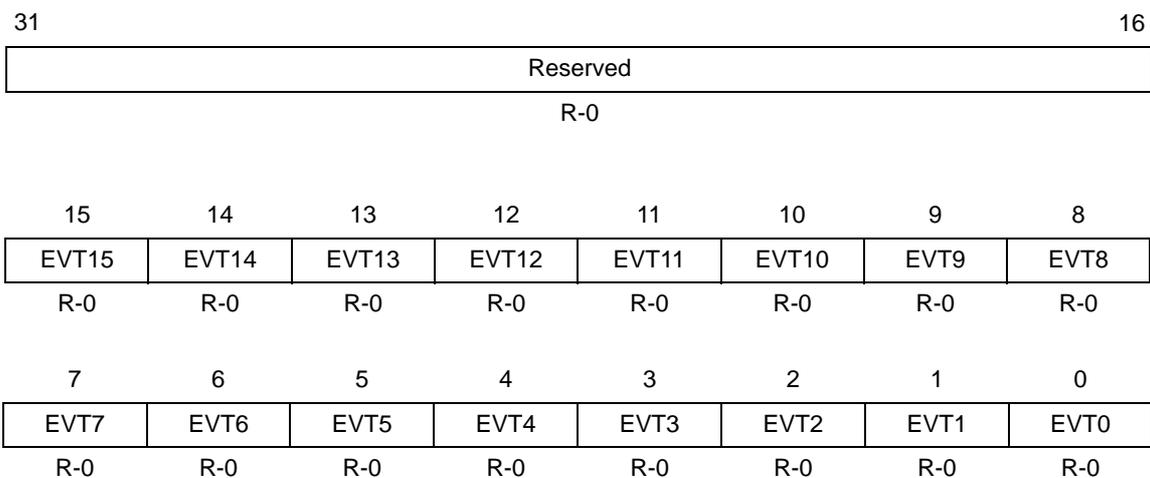
ビット	フィールド	symval [†]	値	説明	
31-12	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。	
11-8	CCE	OF (値)	0-Fh	チャンネル・チェーンのイネーブル。EDMA コントローラが単一のイベントによるチャンネルのチェーンをできるようにするには、チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットを 1 にセットします。また、TCC が指定する次のチャンネルの転送をトリガするために、CCE フィールド内の関連するビットをセットします。	
			DEFAULT	0	EDMA チャンネル・チェーンは、ディスエーブルです。
			-	1	EDMA チャンネル・チェーンは、イネーブルです。
7-0	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。	

[†] CSL を使って実装する場合、表記 EDMA_CCER_CCE_symval を使用してください。

3.5.6 EDMA イベント・レジスタ (ER)

イベントがディスエーブルの場合でも、イベント・レジスタ (ER) はすべてのイベントを取り込みます。ER の内容と説明をそれぞれ図 3-9、表 3-15 に示します。1.5 節では、同期イベントのタイプおよび各同期イベントに関する EDMA チャンネルについて説明しています。

図 3-9. EDMA イベント・レジスタ (ER)



凡例: R = リード専用、-n = リセット後の値

表 3-15. EDMA イベント・レジスタ (ER) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	EVT	OF (値)	0-FFFFh	イベント。イベントがディスエーブルの場合 (EER = 0) でも、EDMA が取り込むすべてのイベントは、ER 内でラッチされます。
		DEFAULT	0	EDMA イベントはアサートされていません。
		-	1	EDMA イベントはアサートされています。

[†] CSL を使って実装する場合、表記 EDMA_ER_EVT_*symval* を使用してください。

3.5.7 EDMA イベント・イネーブル・レジスタ (EER)

イベント・レジスタ (ER) 内の各イベントは、イベント・イネーブル・レジスタ (EER) を使用して、イネーブルまたはディスエーブルのいずれかにできます。EER 内のイベント・ビットのいずれかを 1 にセットすると、対応するイベントがイネーブルになります。また、EER 内のイベント・ビットのいずれかをゼロ・クリアすると、対応するイベントがディスエーブルになります。EER の内容と説明をそれぞれ図 3-10、表 3-16 に示します。

イベント 8-11 は EDMA イベントのチェーンのみに使用できます。このため、チャンネル・チェーン・イネーブル・レジスタ (CCER) では有効ですが、EER では使用されません (これらのビットは予約されています)。イベントがディスエーブルになっている場合でも、ER は EDMA が取り込むすべてのイベントをラッチします。これは割り込み処理の場合のインタラプト・イネーブル・レジスタおよびインタラプト・ペンディング・レジスタに似ています。このため、EDMA はどのイベントも取りこぼさないことを保証します。ER 内にペンディングされているイベントをもつ、イベントを再びイネーブルにすると、EDMA コントローラはプライオリティに従ってそのイベントを処理します。

図 3-10. EDMA イベント・イネーブル・レジスタ (EER)

31								16															
Reserved																							
R-0																							
15				14				13				12				11				8			
EE15				EE14				EE13				EE12				Reserved							
R/W-0				R/W-0				R/W-0				R/W-0				R-0							
7		6		5		4		3		2		1		0									
EE7		EE6		EE5		EE4		EE3		EE2		EE1		EE0									
R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0									

凡例: R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-16. EDMA イベント・イネーブル・レジスタ (EER) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	EE	OF (値)	0-FFFFh	イベントのイネーブル。イベントをイネーブルまたはディスエーブルにするために使用されます。ビット 11 ~ 8 は EDMA イベントのチェーンのみに使用できます。したがって、チャンネル・チェーン・イネーブル・レジスタ (CCER) では有効です。ビット 11 ~ 8 は予約済みで、0 をライトしてください。
		DEFAULT	0	EDMA イベントはディスエーブルです。
		-	1	EDMA イベントはイネーブルです。

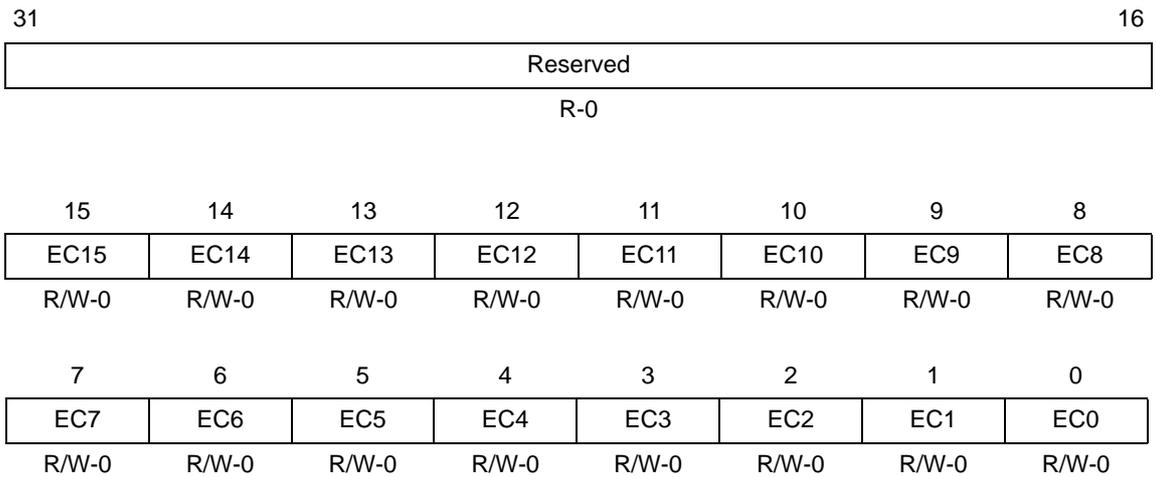
[†] CSL を使って実装する場合、表記 EDMA_EER_EE_symval を使用してください。

3.5.8 イベント・クリア・レジスタ (ECR)

イベントがイベント・レジスタ (ER) にポストされると、そのイベントをクリアするには2つの方法があります。イベントがイベント・イネーブル・レジスタ (EER) 内でイネーブルで、かつ EDMA がイベントの転送要求を発行すると、EDMA は ER 内の対応するイベント・ビットをクリアします。他の方法として、イベントが EER 内でディスエーブルの場合、イベント・クリア・レジスタ (ECR) を使用して、CPU はイベントをクリアできます (内容と説明はそれぞれ、図 3-11 および表 3-17 を参照)。

いずれかのビットに 1 をライトすると、対応するイベントをクリアします。0 をライトしても影響はありません。ER 内のイベント・ビットがセットされると、EDMA がそのイベントの転送要求を発行するまで、または ECR 内の対応するビットをセットして、CPU がイベントをクリアするまで、そのイベント・ビットはセットされたままです。

図 3-11. EDMA イベント・クリア・レジスタ (ECR)



凡例: R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-17. EDMA イベント・クリア・レジスタ (ECR) フィールドの説明

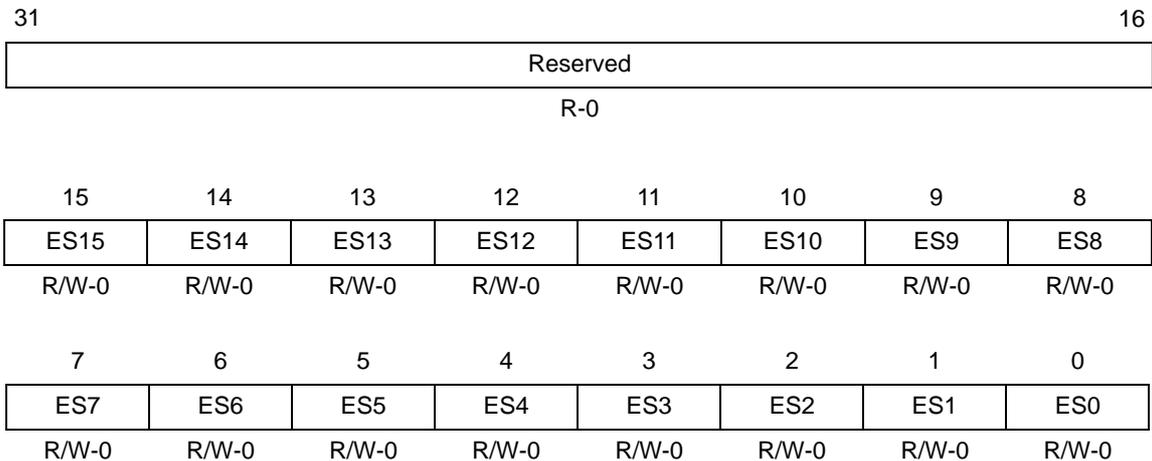
ビット	フィールド	symval [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	EC	OF (値)	0-FFFFh	イベントのクリア。イベントをクリアするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
			0	影響ありません。
			1	EDMA イベントはクリアされます。

[†] CSL を使って実装する場合、表記 EDMA_ECR_EC_symval を使用してください。

3.5.9 EDMA イベント・セット・レジスタ (ESR)

CPU はイベント・セット・レジスタ (ESR) を使用して、イベントをセットできます (内容と説明はそれぞれ、図 3-12 および表 3-18 を参照)。イベント・ビットの 1 つに 1 をライトすると、対応する転送要求が発行されます。イベントがイネーブルである必要はありません。これはデバッグ・ツールとなります。また、これにより CPU がシステム内の EDMA 要求を発行できます。CPU が開始する EDMA 転送は CPU 同期転送と見なされることに注意してください。すなわち、EDMA 転送は対応する ESR ビットがセットされるときに発生し、関連するイベントによってトリガされません。CPU が開始する EDMA 転送を実行する別の方法であるクイック DMA (QDMA) の説明については、1.16 節を参照してください。

図 3-12. EDMA イベント・セット・レジスタ (ESR)



凡例: R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 3-18. EDMA イベント・セット・レジスタ (ESR) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-16	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
15-0	ES	OF (値)	0-FFFFh	イベントのセット。イベント・レジスタ (ER) 内の対応するビットをセットするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
		DEFAULT	0	影響ありません。
		-	1	EDMA イベントはセットされます。

[†] CSL を使って実装する場合、表記 EDMA_ESR_ES_ *symval* を使用してください。

3.6 EDMA チャンネル・パラメータ・エントリ

パラメータ RAM (PaRAM) の概要については、1.3 節を参照してください。EDMA チャンネルの各パラメータ・セットは、32 ビット・ワード 6 つ、すなわち 24 バイトで構成されています。表 3-19 を参照してください。これらのレジスタのメモリ・アドレスについては、表 3-1 (3-3 ページ) を参照してください。

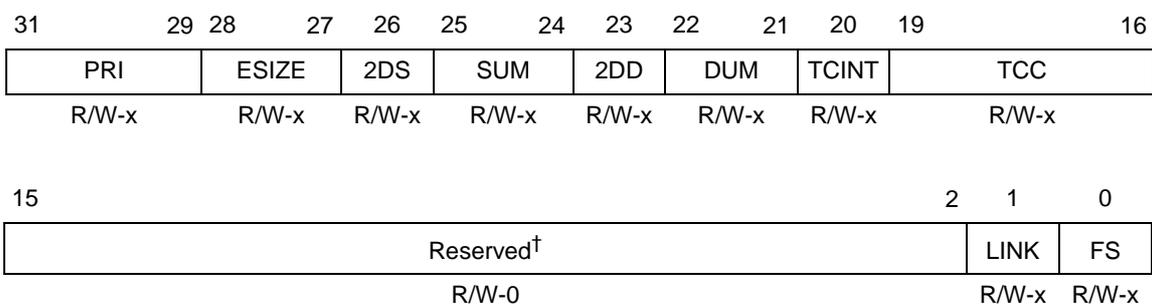
表 3-19. EDMA パラメータ・エントリ : C621x/C671x DSP

略称	パラメータ名	参照先
OPT	EDMA チャンネル・オプション・パラメータ	3.6.1 項
SRC	EDMA チャンネル・ソース・アドレス・パラメータ	3.6.2 項
CNT	EDMA チャンネル・トランスファー・カウント・パラメータ	3.6.3 項
DST	EDMA チャンネル・デスティネーション・アドレス・パラメータ	3.6.4 項
IDX	EDMA チャンネル・インデックス・パラメータ	3.6.5 項
RLD	EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ	3.6.6 項

3.6.1 EDMA チャンネル・オプション・パラメータ (OPT)

EDMA パラメータ・エントリ内の EDMA チャンネル・オプション・パラメータ (OPT) の内容と説明はそれぞれ、図 3-13 および表 3-20 を参照してください。

図 3-13. EDMA チャンネル・オプション・パラメータ (OPT)



† 予約ビットには常に 0 をライトします。

凡例: R/W = リード/ライト、-x = リセット後の値は不定

表 3-20. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-29	PRI	OF (値)	0-7h	EDMA イベントのプライオリティ・レベル。
		DEFAULT	0	予約。このレベルは L2 要求のみに予約済みで、EDMA チャンネルおよび QDMA 転送要求に対しては無効です。
		HIGH	1h	ハイ・プライオリティ EDMA 転送。
		LOW	2h	ロー・プライオリティ EDMA 転送。
		-	3h-7h	予約。
28-27	ESIZE	OF (値)	0-3h	エレメント・サイズ。
		DEFAULT 32BIT	0	32 ビット・ワード。
		16BIT	1h	16 ビット・ハーフワード。
		8BIT	2h	8 ビット・バイト。
		-	3h	予約。
26	2DS	OF (値)		ソースの次元。
		DEFAULT NO	0	1 次元ソース。
		YES	1	2 次元ソース。
25-24	SUM	OF (値)	0-3h	ソース・アドレス更新モード。
		DEFAULT NONE	0	固定アドレス・モード。ソース・アドレス変更なし。
		INC	1h	ソース・アドレスのインクリメントは、2DS ビットおよび FS ビットにより異なります。
		DEC	2h	ソース・アドレスのデクリメントは、2DS ビットおよび FS ビットにより異なります。
		IDX	3h	エレメント・インデックス/フレーム・インデックスによって変更されるソース・アドレスは、2DS ビットおよび FS ビットにより異なります。
23	2DD	OF (値)		デスティネーションの次元。
		DEFAULT NO	0	1 次元デスティネーション。
		YES	1	2 次元デスティネーション。

[†] CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

表 3-20. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明
22-21	DUM	OF (値)	0-3h	デスティネーション・アドレス更新モード。
		DEFAULT	0	固定アドレス・モード。デスティネーション・アドレス変更なし。
		NONE		
		INC	1h	デスティネーション・アドレスのインクリメントは、2DD ビットおよび FS ビットにより異なります。
		DEC	2h	デスティネーション・アドレスのデクリメントは、2DD ビットおよび FS ビットにより異なります。
		IDX	3h	エレメント・インデックス/フレーム・インデックスによって変更されるデスティネーション・アドレスは、2DD ビットおよび FS ビットにより異なります。
20	TCINT	OF (値)		転送完了割り込み。
		DEFAULT	0	転送完了の表示はディスエーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) のビットは、転送完了時にセットされません。
		NO		
		YES	1	転送完了の表示はイネーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) のビットは、チャンネル転送完了時にセットされます。CIPR 内のセットされるビット (位置) は、TCC 値で指定されます。このビットは、チェーンと割り込みの生成のために使用できます。
19-16	TCC	OF (値)	0-Fh	転送完了コード。この 4 ビット値は、指定された EDMA チャンネル・インタラプト・ペンディング・レジスタ内のビット (CIPR[TCC] ビット) をセットするために使用されます。このビットは、チェーンと割り込みの生成のために使用できます。
		DEFAULT	0	
15-2	Reserved	-	0	予約。予約ビット・ロケーションは常に 0 としてリードされます。このフィールドにどのような値をライトしても影響ありません。このフィールドにライトすると、常に 0 がライトされます。
1	LINK	OF (値)		イベント・パラメータのリンクのイネーブル。
		DEFAULT	0	イベント・パラメータのリンクはディスエーブルです。エントリはリロードされません。
		NO		
		YES	1	イベント・パラメータのリンクはイネーブルです。現在のセットを使い切ってしまうと、チャンネル・エントリはリンク・アドレスが指定するパラメータ・セットをリロードします。

† CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

表 3-20. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明
0	FS	OF (値)		フレーム同期。
		DEFAULT NO	0	チャンネルはエレメント/アレイ同期。
		YES	1	チャンネルはフレーム同期。EDMA チャンネルに関連したイベントは、フレームを同期するために使用されます。

† CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

3.6.2 EDMA チャンネル・ソース・アドレス・パラメータ (SRC)

EDMA パラメータ・エントリ内の EDMA チャンネル・ソース・アドレス・パラメータ (SRC) は、ソースの先頭バイト・アドレスを指定します。SRC を図 3-14 に示します。また、その説明を表 3-21 に示します。ソース・アドレスを更新するには、EDMA チャンネル・オプション・パラメータ (OPT) 内の SUM ビットを使用します。詳細は、1.9.2 項を参照してください。ソース・アドレスは ESIZE が指定する値でアラインされている必要があります (1.7 節を参照)。

図 3-14. EDMA チャンネル・ソース・アドレス・パラメータ (SRC)



凡例: R/W = リード/ライト、-n = リセット後の値

表 3-21. EDMA チャンネル・ソース・アドレス・パラメータ (SRC) フィールドの説明

ビット	フィールド	symval†	値	説明
31-0	SRC	OF (値)	0-FFFFFFFh	この 32 ビット・ソース・アドレスは、ソースの先頭バイト・アドレスを指定します。このアドレスは、EDMA チャンネル・オプション・パラメータ (OPT) 内の SUM ビットを使用して更新されます。
		DEFAULT	0	

† CSL を使って実装する場合、表記 EDMA_SRC_SRC_symval を使用してください。

3.6.3 EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)

EDMA パラメータ・エントリ内の EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) は、フレーム / アレイ・カウントおよびエレメント・カウントを指定します。CNT の内容と説明をそれぞれ図 3-15、表 3-22 に示します。

フレーム / アレイ・カウント (FRMCNT) は、16 ビット符号なし値 +1 で、1D ブロック内のフレーム数または 2D ブロック内のアレイ数を指定します。フレーム・カウントは 1D 転送に適用し、アレイ・カウントは 2D 転送に適用します。フレーム / アレイ・カウントの有効な値の範囲は、0 ~ 65535 です。したがって、ブロック内のフレーム / アレイの最大数は、65536 です。フレーム / アレイ・カウントの 0 は、実際には、1 フレーム / アレイです。また、フレーム / アレイ・カウントの 1 は、実際には、2 フレーム / アレイです。詳細は、1.9.1 項を参照してください。

エレメント・カウント (ELECNT) は、16 ビット符号なし値で、フレーム (1D 転送の場合) 内またはアレイ (2D 転送の場合) 内のエレメント数を指定します。エレメント・カウントの有効な値の範囲は、1 ~ 65535 です。したがって、フレーム内のエレメントの最大数は、65535 です。エレメント・カウントが 0 の場合、EDMA は転送を行いません。詳細は、1.9.1 項を参照してください。

図 3-15. EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)

31	16 15	0
FRMCNT		ELECNT
R/W-0		R/W-0

凡例: R/W = リード / ライト、-n = リセット後の値

表 3-22. EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	FRMCNT	OF (値)	0-FFFFh	フレーム / アレイ・カウント。16 ビット符号なし値 +1 で、1D ブロック内のフレーム数または 2D ブロック内のアレイ数を指定します。フレーム / アレイ・カウントの有効な値: 0 ~ 65535。
		DEFAULT	0	1D ブロックの 1 フレームまたは、2D ブロックの 1 アレイ。
15-0	ELECNT	OF (値)	0-FFFFh	エレメント・カウント。16 ビット符号なし値で、フレーム (1D 転送の場合) 内またはアレイ (2D 転送の場合) 内のエレメント数を指定します。エレメント・カウントの有効な値: 1 ~ 65535。
		DEFAULT	0	転送なし。

† CSL を使って実装する場合、表記 EDMA_CNT_field_symval を使用してください。

3.6.4 EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)

EDMA パラメータ・エントリ内の EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) は、デスティネーションの先頭バイト・アドレスを指定します。DST の内容と説明をそれぞれ図 3-16、表 3-23 に示します。デスティネーション・アドレスを更新するには、EDMA チャンネル・オプション・パラメータ (OPT) 内の DUM ビットを使用します。詳細は、1.9.2 項を参照してください。デスティネーション・アドレスは ESIZE が指定する値でアラインされている必要があります (1.7 節を参照)。

図 3-16. EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)



凡例: R/W = リード/ライト、-n = リセット後の値

表 3-23. EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	DST	OF (値)	0-FFFFFFFh	この 32 ビット・デスティネーション・アドレスは、デスティネーションの先頭バイト・アドレスを指定します。このアドレスは、EDMA チャンネル・オプション・パラメータ (OPT) 内の DUM ビットを使用して更新されます。
		DEFAULT	0	

[†] CSL を使って実装する場合、表記 EDMA_DST_DST_symval を使用してください。

3.6.5 EDMA チャンネル・インデックス・パラメータ (IDX)

EDMA パラメータ・エントリ内の EDMA チャンネル・インデックス・パラメータ (IDX) は、アドレス更新のために使用される、フレーム / アレイ・インデックスおよびエレメント・インデックスを指定します。IDX の内容と説明をそれぞれ図 3-17、表 3-24 に示します。EDMA チャンネル・オプション・パラメータ (OPT) 内で選択される転送タイプ (1D または 2D)、FS ビット、SUM ビット、DUM ビットにより異なりますが、EDMA アドレス更新のためインデックスを使用します。

フレーム / アレイ・インデックス (FRMIDX) は、1D 転送または 2D 転送中で、次のフレーム / アレイへのアドレス・オフセット (バイト単位) を指定する、16 ビット符号付き値です。フレーム・インデックスは 1D 転送に適用し、アレイ・インデックスは 2D 転送に適用します。フレーム / アレイ・インデックスの有効な値の範囲は、-32768 ~ 32767 です。

エレメント・インデックス (ELEIDX) は、フレーム内の次のエレメントへのアドレス・オフセット (バイト単位) を指定する、16 ビット符号付き値です。2D 転送ではエレメント間に間隔があってはいけなないので、エレメント・インデックスは、1D 転送の場合にのみ使用されます。エレメント・インデックスの有効な値の範囲は、-32768 ~ 32767 です。

図 3-17. EDMA チャンネル・インデックス・パラメータ (IDX)

31	16 15	0
FRMIDX	ELEIDX	
R/W-0	R/W-0	

凡例: R/W = リード / ライト、-n = リセット後の値

表 3-24. EDMA チャンネル・インデックス・パラメータ (IDX) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	FRMIDX	OF (値)	0-FFFFh	フレーム / アレイ・インデックス。16 ビット符号付き値で、次のフレーム / アレイへのアドレス・オフセットに使用されるフレーム / アレイ・インデックスを指定します。有効なフレーム / アレイ・インデックス値: -32768 ~ 32767。
		DEFAULT	0	次のフレーム / アレイへのアドレス・オフセットを指定したフレーム / アレイ・インデックスとして、オフセットは使用されません。
15-0	ELEIDX	OF (値)	0-FFFFh	エレメント・インデックス。16 ビット符号付き値で、フレーム内の次のエレメントへのアドレス・オフセットに使用されるエレメント・インデックスを指定します。エレメント・インデックスは、1D 転送の場合のみ使用されます。有効なエレメント・インデックス値: -32768 ~ 32767。
		DEFAULT	0	フレーム内の次のエレメントへのアドレス・オフセットを指定したエレメント・インデックスとして、オフセットは使用されません。

† CSL を使って実装する場合、表記 EDMA_IDX_field_symval を使用してください。

3.6.6 EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)

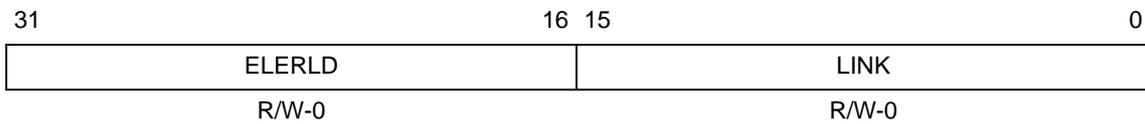
EDMA パラメータ・エントリ内の EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD) は、エレメント・カウント・フィールドをリロードするために使用する値およびリンク・アドレスを指定します。RLD の内容と説明をそれぞれ図 3-18、表 3-25 に示します。

フレーム内の最後のエレメントが転送されると、16 ビット符号なしエレメント・カウント・リロード (ELERLD) 値が EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント (ELECNT) フィールドにリロードされます。EDMA はエレメント・カウントを使用して次のエレメント・アドレスを追跡する必要があるため、ELERLD は、1D エレメント同期 (FS=0) 転送の場合にのみ使用されます。これは、フレーム・カウント値が 0 より大きいマルチフレーム EDMA 転送の場合に必要です。詳細は、1.9.1 項を参照してください。

EDMA コントローラは、自動初期化用に EDMA 転送をリンクするメカニズムを提供しています。EDMA チャンネル・オプション・パラメータ (OPT) 内で LINK=1 の場合、16 ビット・リンク・アドレス (LINK) はパラメータ RAM 内の下位 16 ビット・アドレスを指定します。このとき EDMA は、次のイベントに備えてパラメータをロード/リロードします。EDMA パラメータ RAM 全体は 01A0 xxxxh 領域に配置されているので、下位 16 ビット・アドレスだけが必要です。

リロード・パラメータは 01A0 0180h ではじまるアドレス範囲内で指定されます。リンク・アドレスが 24 バイト境界にあることを保障する必要があります。このルールに違反すると、動作は不定です (1.11 節を参照)。リロード・パラメータ空間だけでなく、任意の未使用の EDMA チャンネルのエントリはリンク用にも使用できます。EDMA は実際に使用されているチャンネル数に関係なく、プログラムされたエントリを最大 85 まですべて常時、保持できます。

図 3-18. EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)



凡例: R/W = リード/ライト、-n = リセット後の値

表 3-25. EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	ELERLD	OF (値)	0-FFFFh	エレメント・カウント・リロード。16 ビット符号付き値で、フレーム内の最後のエレメントが転送されたとき、EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント・フィールドをリロードするために使用されます。EDMA はエレメント・カウントを使用して次のエレメント・アドレスを追跡する必要があるため、このフィールドは、1D エレメント同期 (FS = 0) 転送の場合にのみ使用されます。これは、フレーム・カウント値が 0 より大きいマルチフレーム EDMA 転送の場合に必要です。
		DEFAULT	0	フレーム内の最後のエレメントが転送されたとき、EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント・フィールドをリロードするために、0 が使用されます。
15-0	LINK	OF (値)	0-FFFFh	この 16 ビット・リンク・アドレスは、EDMA がチェーン内の次のイベントのパラメータをロード/リロードする際の、パラメータ RAM 内の下位 16 ビット・アドレスを指定します。
		DEFAULT	0	パラメータ RAM 内のアドレス 01A0 0000h が、チェーン内の次のイベントのパラメータをロード/リロードするために使用されます。

† CSL を使って実装する場合、表記 EDMA_RLD_field_symval を使用してください。

3.7 QDMA レジスタ

QDMA は、迅速なワンタイム転送に使用されるので、カウントをリロードまたはリンクをする能力が備わっていません。したがって、カウント・リロード/リンク・アドレス・レジスタは、QDMA にはありません。QDMA レジスタは、ハードウェアによって転送中または転送後に更新されず、発行された値を保持しています。すべての QDMA 転送は、フレーム同期 (1D) またはブロック同期 (2D) を使用して発行されます。詳細は、1.16 節を参照してください。

QDMA は EDMA パラメータ・エントリと似た、ライト専用の 2 セットのメモリ・マップド・レジスタ (図 3-19) で構成されています。QDMA レジスタをリードすると、無効なデータを戻します。図 3-19 (a) に示す最初のセットは、転送を設定するために必要な、5 つの QDMA レジスタのダイレクト・マッピングです。カウント・リロード、リンク・アドレスはありません。また、QDMA チャンネル・オプション・レジスタ (QOPT) の LINK フィールドは予約済みです。QDMA レジスタへのライトは QDMA 転送要求を設定しますが、発行しません。図 3-19 (b) では、このセットの疑似レジスタを示しています。任意の疑似レジスタへライトすると、転送要求が発行されます。

QDMA メカニズムはイベント・リンクをサポートしませんが、完了割り込みと EDMA チャンネルへの QDMA 転送完了チェーンをサポートします。QDMA 完了割り込みは EDMA 完了割り込みと同じ方法でセットされ、有効になります。QDMA チャンネル・オプション・レジスタ (QOPT) 内の TCINT ビットと TCC ビット、および EDMA の CIPR と CIER を使用します。EDMA イベントを使った QDMA 転送完了チェーンは、QOPT 内の適切なビットおよび EDMA チャンネル・コントローラの CCER をセットすることでイネーブルになります。QDMA 転送要求には、EDMA と同じプライオリティの制限があります。詳細は、3.4 節を参照してください。

各レジスタへのアクセスは、32 ビットのものに制限されています。ハーフワードおよびバイトでのライトによる動作は不定です。

図 3-19. QDMA レジスタ

(a) QDMA レジスタ

アドレス	QDMA レジスタ		QDMA レジスタ
02000000h	QDMA チャンネル・オプション		QOPT
02000004h	QDMA チャンネル・ソース・アドレス (SRC)		QSRC
02000008h	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)	QCNT
0200000Ch	QDMA チャンネル・デスティネーション・アドレス (DST)		QDST
02000010h	アレイ/フレーム・インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)	QIDX

(b) QDMA 疑似レジスタ

アドレス	QDMA 疑似レジスタ		QDMA 疑似レジスタ
02000020h	QDMA チャンネル・オプション		QSOPT
02000024h	QDMA チャンネル・ソース・アドレス (SRC)		QSSRC
02000028h	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)	QSCNT
0200002Ch	QDMA チャンネル・デスティネーション・アドレス (DST)		QSDST
02000030h	アレイ/フレーム・インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)	QSIDX

3.7.1 QDMA チャンネル・オプション・レジスタ (QOPT、QSOPT)

図 3-20. QDMA チャンネル・オプション・レジスタ (QOPT)

31	29	28	27	26	25	24	23	22	21	20	19	16
PRI		ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC			
R/W-0		R/W-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0			
Reserved											1	0
R/W-0											R/W-0	

凡例: R/W=リード/ライト、-n=リセット後の値

注意: QOPT はリード/ライト可能です。QSOPT はライト専用です。

3.7.2 QDMA チャンネル・ソース・アドレス・レジスタ (QSRC、QSSRC)

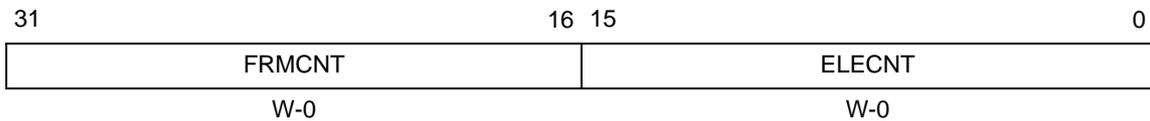
図 3-21. QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)



凡例： W = ライト専用、-n = リセット後の値

3.7.3 QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT、QSCNT)

図 3-22. QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)



凡例： W = ライト専用、-n = リセット後の値

3.7.4 QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST、QSDST)

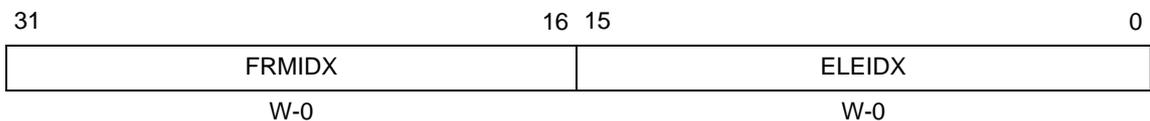
図 3-23. QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)



凡例： W = ライト専用、-n = リセット後の値

3.7.5 QDMA チャンネル・インデックス・レジスタ (QIDX、QSIDX)

図 3-24. QDMA チャンネル・インデックス・レジスタ (QIDX)



凡例： W = ライト専用、-n = リセット後の値

TMS320C64x EDMA

この章では、TMS320C64x™ DSP 内の EDMA コントローラの動作とレジスタについて説明します。また、この章では、CPU が高速データ要求のために使用するクイック DMA (QDMA) レジスタについても説明します。TMS320C621x/C671x EDMA に特有の動作およびレジスタについては、第 3 章を参照してください。

項目	ページ
4.1 イベント・サービス・プライオリティ	4-2
4.2 パラメータ RAM (PaRAM)	4-2
4.3 単一イベントを使用した EDMA チャンルのチェーン	4-6
4.4 ペリフェラル・デバイス転送	4-7
4.5 EDMA 転送コントローラのプライオリティ	4-8
4.6 L2 コントローラへの EDMA アクセス	4-12
4.7 EDMA コントロール・レジスタ	4-13
4.8 EDMA チャンネル・パラメータ・エントリ	4-32
4.9 QDMA レジスタ	4-43

4.1 イベント・サービス・プライオリティ

EDMA イベント・レジスタ (ERL および ERH) は、最大 64 イベントを取り込みます。このため、EDMA イベント入力で複数イベントの同時発生が可能です。イベントが同時に到着する場合、最も大きなイベント番号をもつチャンネルが先に転送要求を発行します。このメカニズムは同時のイベントをソートするだけで、イベントのプライオリティを設定するものではありません。転送プライオリティは、EDMA のパラメータ RAM (PaRAM) にストアされている EDMA パラメータによって決定されます。

4.2 パラメータ RAM (PaRAM)

レジスタベースのアーキテクチャである C620x/C670x DMA コントローラとは異なり、EDMA コントローラは RAM ベースのアーキテクチャです。EDMA チャンネルは、パラメータ・テーブルで設定されます。テーブルは、EDMA チャンネル・コントローラ内に配置される、パラメータ RAM (PaRAM) のブロックです。PaRAM の合計サイズは、デバイス固有で、その範囲は 2K バイト～5K バイトです。詳細については、該当デバイスのデータシートを参照してください。PaRAM テーブル (表 4-1) は、6 ワード、24 バイトのパラメータ・エントリから構成されます。PaRAM の内容は、次のとおりです。

- 64 EDMA イベント用の 64 個の転送パラメータ・セット・エントリ。各パラメータ・セットは 6 ワード、24 バイトです。また、これらの領域は、リロード/リンク・パラメータとしても使用可能です。
- 残りのパラメータ・セットは、転送のリロードまたはリンク用に使用される追加的なパラメータです。各リロード/リンク・パラメータ・セットは 24 バイトです。リロード/リンク・パラメータ・セットの合計数は、デバイス固有です。

各 EDMA イベントのパラメータ・エントリは 6 つの 32 ビット・ワード、したがって 24 バイトで構成されています (内容と説明はそれぞれ、図 4-1、表 4-2 を参照)。

表 4-1. EDMA パラメータ RAM の内容 : C64x DSP

アドレス	パラメータ
01A0000h ~ 01A00017h	イベント 0 のパラメータ (6 ワード)
01A00018h ~ 01A0002Fh	イベント 1 のパラメータ (6 ワード)
01A00030h ~ 01A00047h	イベント 2 のパラメータ (6 ワード)
01A00048h ~ 01A0005Fh	イベント 3 のパラメータ (6 ワード)
01A00060h ~ 01A00077h	イベント 4 のパラメータ (6 ワード)
01A00078h ~ 01A0008Fh	イベント 5 のパラメータ (6 ワード)
01A00090h ~ 01A000A7h	イベント 6 のパラメータ (6 ワード)
01A000A8h ~ 01A000BFh	イベント 7 のパラメータ (6 ワード)
01A000C0h ~ 01A000D7h	イベント 8 のパラメータ (6 ワード)
01A000D8h ~ 01A000EFh	イベント 9 のパラメータ (6 ワード)
01A000F0h ~ 01A00107h	イベント 10 のパラメータ (6 ワード)
01A00108h ~ 01A0011Fh	イベント 11 のパラメータ (6 ワード)
01A00120h ~ 01A00137h	イベント 12 のパラメータ (6 ワード)
01A00138h ~ 01A0014Fh	イベント 13 のパラメータ (6 ワード)
01A00150h ~ 01A00167h	イベント 14 のパラメータ (6 ワード)
01A00168h ~ 01A0017Fh	イベント 15 のパラメータ (6 ワード)
01A00180h ~ 01A00197h	イベント 16 のパラメータ (6 ワード)
01A00198h ~ 01A001AFh	イベント 17 のパラメータ (6 ワード)
...	...
01A005D0h ~ 01A005E7h	イベント 62 のパラメータ (6 ワード)
01A005E8h ~ 01A005FFh	イベント 63 のパラメータ (6 ワード)
01A00600h ~ 01A00617h	最初のリロード/リンク・エントリ (6 ワード)
01A00618h ~ 01A0062Fh	2 番目のリロード/リンク・エントリ (6 ワード)
...	...
01A007E0h ~ 01A007F7h	21 番目のリロード/リンク・エントリ (6 ワード) †

† C6411/C6414/C6415/C6416 DSP には、EDMA 転送をリロード/リンクするために使用できる 21 のパラメータ・セット [各 6 ワード] があります。

‡ それ以外の C64x DSP および DM64x DSP には、EDMA 転送をリロード/リンクするために使用できる 149 のパラメータ・セット [各 6 ワード] があります。

表 4-1. EDMA パラメータ RAM の内容 : C64x DSP (続き)

アドレス	パラメータ
01A007F8h ~ 01A007FFh	スクラッチ・パッド領域 (2 ワード) †‡
01A007F8h ~ 01A0080Fh	22 番目のリロード/リンク・エントリ (6 ワード) †
01A00810h ~ 01A00827h	23 番目のリロード/リンク・エントリ (6 ワード) †
...	...
01A013C8h ~ 01A013DFh	148 番目のリロード/リンク・エントリ (6 ワード) †
01A013E0h ~ 01A013F7h	149 番目のリロード/リンク・エントリ (6 ワード) †
01A013F8h ~ 01A013FFh	スクラッチ・パッド領域 (2 ワード) †

† C6411/C6414/C6415/C6416 DSP には、EDMA 転送をリロード/リンクするために使用できる 21 のパラメータ・セット [各 6 ワード] があります。

‡ それ以外の C64x DSP および DM64x DSP には、EDMA 転送をリロード/リンクするために使用できる 149 のパラメータ・セット [各 6 ワード] があります。

図 4-1. 各 EDMA イベントの EDMA チャンネル・パラメータ・エントリ : C64x DSP

	31	0 EDMA パラメータ
バイト 0	EDMA チャンネル・オプション・パラメータ (OPT)	
バイト 4	EDMA チャンネル・ソース・アドレス (SRC)	
バイト 8	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)
バイト 12	EDMA チャンネル・デスティネーション・アドレス (DST)	
バイト 16	アレイ/フレーム・インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)
バイト 20	エレメント・カウント・リロード (ELERLD)	リンク・アドレス (LINK)
		OPT
		SRC
		CNT
		DST
		IDX
		RLD

表 4-2. EDMA チャンネル・パラメータの説明 : C64x DSP

オフセット・ アドレス (バイト)	略称	パラメータ	定義		参照先
			1D 転送	2D 転送	
0	OPT	チャンネル・ オプション	転送コンフィギュレーション・オプション。		4.8.1 項
4	SRC	チャンネル・ ソース・アドレス	データ転送元のアドレス。		4.8.2 項
8 [†]	ELECNT	エレメント・ カウント	フレームあたりの エレメント数。	アレイあたりの エレメント数。	4.8.3 項
	FRMCNT	フレーム・ カウント (1D)、 アレイ・ カウント (2D)	ブロックあたりの フレーム数 - 1。	ブロックあたりの アレイ数 - 1。	4.8.3 項
12	DST	チャンネル・ デスティネーション・ アドレス	データ転送先のアドレス。		4.8.4 項
16 [†]	ELEIDX	エレメント・ インデックス	フレーム内のエレメン トのアドレス・ オフセット。	---	4.8.5 項
	FRMIDX	フレーム・ インデックス (1D)、 アレイ・ インデックス (2D)	ブロック内の フレームのアドレス・ オフセット。	ブロック内の アレイの アドレス・ オフセット。	4.8.5 項
20 [†]	LINK	リンク・アドレス	リンク対象のパラメータ・セットのある PaRAM アドレス。		4.8.6 項
	ELERLD	エレメント・ カウント・リロード	各フレームの最後に ロードされるカウント 値。 [‡]	---	4.8.6 項

[†]パラメータ・セット・エンタリは、STW 命令または LDW 命令を使用して、必ず 32 ビット・ワードとしてアクセスする必要があります。

[‡]このフィールドはエレメント同期転送の場合にのみ有効です。

4.3 単一イベントを使用した EDMA チャンルのチェーン

チェーンの概要については、1.13 節を参照してください。EDMA の任意の 64 の転送完了コードは、別のチャンネル転送をトリガできます。EDMA コントローラが単一イベントによってチャンネルをチェーンできるようにするには、TCINT ビットを 1 にセットする必要があります。さらに、転送完了コードが指定する次のチャンネル転送をトリガするために、チャンネル・チェーン・イネーブル・レジスタ (CCERL または CCERH) 内の関連するビットをセットする必要があります。

ユーザが指定する転送完了コードは、6 ビット値 TCCM:TCC に拡張されます。チャンネル・オプション・パラメータ (OPT) 内の 4 ビットの TCC フィールドは、転送完了コードの最下位ビットです。また、OPT 内の 2 ビットの TCCM フィールドは、転送完了コードの最上位ビットです。たとえば、転送完了コード (TCCM:TCC) が 010001b (TCCM = 01, TCC = 0001) で、CCERL[17] = 1 が EDMA チャンネル 4 に対して指定されているとき、チャンネル 4 の転送が完了すると、チャンネル 4 の TCINT = 1 の場合、EDMA チャンネル 17 で設定された次の転送を開始します。

転送完了コード (TCC) は、直接 CIPR のビットにマップされます (表 1-12 を参照)。

4.3.1 代替転送チェーン

チャンネル・オプション・パラメータ (OPT) 内の代替転送完了割り込み (ATCINT) ビットおよび代替転送完了 (ATCC) ビットを使用すると、C64x EDMA は、ブロック内の中間転送完了時にチャンネル・チェーンを実行できます。代替転送チェーンの機能は、転送完了チェーンの機能と似ています。代替転送完了コードによるチェーンは、リンク動作には影響しません (1.11 節を参照)。

代替転送完了チェーンがイネーブルの場合、次の EDMA チャンネル (現在のチャンネルの ATCC 値が指定) は、現在のチャンネルの各中間転送完了に同期します。チャンネル転送全体が完了すると、転送完了チェーンがイネーブルの場合、代わりに転送完了チェーンが適用されます。代替転送完了チェーンは 2D ブロック同期転送に適用しません。これは、このモードに中間転送がないためです。代替転送完了チェーンを使用すると、ブロックごとというより、各転送要求が発生したとき、(同期イベント受信ごとに) 1 つのチャンネルが別のチャンネルをトリガできます。

代替転送完了チェーンをイネーブルにするには、EDMA チャンネル・パラメータを次のように設定します。

- ATCINT = 1 をセットする (OPT 内で)
- ATCC 値をチェーン内の次の EDMA チャンネル番号にセットする
- チャンネル・チェーン・イネーブル・レジスタ内の関連するビット (CCER[ATCC]) をセットする

4.4 ペリフェラル・デバイス転送

C64x EDMA は、同一データ・ピンを共有する外部ペリフェラル・デバイスと外部メモリ・デバイスとの間で大量のデータを転送するための効率的な方法である、ペリフェラル・デバイス転送モード (PDT) をサポートしています。通常の動作では、このタイプの転送は、外部ソースへのリードとそれに続く外部デスティネーションへの EMIF ライトからなる 2 EMIF バス・サイクルが必要です。PDT がイネーブルの場合、外部ソースは直接データをドライブし、同一データ・バス・トランザクション内で外部デスティネーションにライトします。PDT の詳細については、『TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide』 (SPRU266) を参照してください。

PDT 転送は、EMIF 上のメモリに関連して分類されます。PDT ライトはペリフェラルからメモリへの転送です (物理的に、メモリがライトされます)。外部ペリフェラル・ソースから外部メモリ・デスティネーションへの PDT ライトをイネーブルにするには、チャンネル・オプション・パラメータ (OPT) 内の PDTD ビットを 1 にセットします。

PDT リードはメモリからペリフェラルへの転送です (物理的に、メモリがリードされます)。外部メモリ・ソースから外部ペリフェラル・デスティネーションへの PDT リードをイネーブルにするには、OPT 内の PDTS ビットを 1 にセットします。

PDT ライトおよび PDT リードは、相互に排他的です。すなわち、PDTS および PDTD の両方を 1 にセットできません。

PDT 転送を実行する場合、ソース・アドレスとデスティネーション・アドレスは同一の値にセットしておく必要があります。

4.5 EDMA 転送コントローラのプライオリティ

EDMA チャンネルには、プログラム可能なプライオリティがあります。チャンネル・オプション・パラメータ (OPT) 内の PRI ビットは、プライオリティ・レベルを指定します。使用可能な最も高いプライオリティは、レベル 0 (アージェント・プライオリティ) です。表 4-3 では、各要求元ごとに、使用可能なプライオリティ・レベルを示しています。

ハイ・プライオリティにすべての要求を発行するような、システムに過負荷を与えることをしないように注意して使用してください。単一のプライオリティ・レベルでの要求は連続的に順番に処理されます。一方、プライオリティ・レベルが異なる要求は、同時に処理することが可能です。1つのプライオリティ・レベルへの過剰な要求は、EDMA をストールさせることとなります。これを回避するには、異なるプライオリティ・レベルへバランスのとれたバンド幅に分散させます。2.1 節を参照してください。

表 4-3. データ要求に対するプログラム可能なプライオリティ・レベル : C64x DSP

OPT 内の PRI ビット	プライオリティ・レベル	要求元
000	レベル 0 — アージェント・プライオリティ	任意
001	レベル 1 — ハイ・プライオリティ	任意
010	レベル 2 — ミディアム・プライオリティ	任意
011	レベル 3 — ロー・プライオリティ	任意
100-111	予約	予約

4.5.1 転送コントローラの転送要求キュー長

C64x EDMA 転送コントローラには、キューごとに転送要求 16 個という固定長の 4 つの転送要求キュー (Q0、Q1、Q2、Q3) があります。表 4-4 では、C6416 デバイスの転送要求キューを示しています。他のデバイスの転送要求キューについては、各デバイスのデータシートを参照してください。転送要求は、要求元でプログラムされる PRI フィールドを基にして Q0、Q1、Q2、Q3 にソートされます。要求元とキューの関係について固定された制限はありません。各キューは、複数の要求元に共有されています。また、各要求元に割り当てられているエントリ数すなわち各要求元のキューの使用は、表 4-4 のレジスタを使用してプログラム可能です。

表 4-4. 転送要求キュー : C6416 DSP

キュー	プライオリティ・レベル (PRI)	キューの合計長 (固定)	要求元 [†]	デフォルトのキュー長	キュー長をプログラムするためのレジスタ
Q0	0 — アーjent・プライオリティ	16	L2 コントローラおよび QDMA	6	L2ALLOC0
			EDMA	2	PQAR0
			HPI/PCI	0	TRCTL
Q1	1 — ハイ・プライオリティ	16	L2 コントローラおよび QDMA	2	L2ALLOC1
			EDMA	6	PQAR1
			HPI/PCI	0	TRCTL
Q2	2 — ミディアム・プライオリティ	16	L2 コントローラおよび QDMA	2	L2ALLOC2
			EDMA	2	PQAR2
			HPI/PCI	4	TRCTL
Q3	3 — ロー・プライオリティ	16	L2 コントローラおよび QDMA	2	L2ALLOC3
			EDMA	6	PQAR3
			HPI/PCI	0	TRCTL

[†] L2 コントローラおよび QDMA は 1 つのキュー割り当てを共有しています。L2ALLOC n レジスタは、このキュー割り当て長を制御します。

HPI および PCI は 1 つのキュー割り当てを共有しています。

HPI モジュール内の TRCTL レジスタは、HPI 要求のキュー割り当て長を制御します。

PCI モジュール内の TRCTL レジスタは、PCI 要求のキュー割り当て長を制御します。

特定のキュー割り当てについては、データシートを参照してください。

4.5.1.1 要求元間の影響

各要求元は個別に、ユーザがプログラム可能なキュー割り当ての使用状況を追跡します。このため、ある要求元がその割り当てを超えると、その要求元だけが影響を受けます。これについては、次の項で定義します。L2 および QDMA は単一の要求元と見なされることに注意してください。

4.5.1.2 EDMA チャネル・コントローラのキュー割り当て

EDMA チャネル要求は、各キューへの割り当てが超えないように、4つのプライオリティ・キュー間でバランスがとれていることが理想的です。EDMA チャネルが処理していても、そのキューがフルになっていて、キュー割り当てのため発行できない場合、前回発行された EDMA チャネル・コントローラ転送要求が終了し、TC プライオリティ・キューが次の要求の場所を確保するまで、EDMA チャネル・コントローラはストールします。EDMA チャネル・コントローラがストールしている間、別のプライオリティ・キューへ要求を発行できるイベントも含めて、他のイベントのいずれも処理できません。EDMA イベント・レジスタ (ER) は、それでも着信イベントを取り込み、ストール状態が解除されると、EDMA チャネル・コントローラはペンディングされていたイベントを処理します。同一イベントが処理される前に 2 回アサートされると、2 番目のイベントは処理されないことに注意してください。

4.5.1.3 L2 キャッシュおよび QDMA キューの割り当て

EDMA チャネル・コントローラと同じように、L2 コントローラ・キューへの割り当てが単一のプライオリティ・レベルを超えると、ストールしている要求が処理できるようになるまで、他の要求は発行できません。

L2 キャッシュ要求に使用されるプライオリティ・キューは、CCFG.PRI レジスタを使用してプログラム可能です。また、各プライオリティ・レベルに対するキュー割り当ても L2ALLOC3、L2ALLOC2、L2ALLOC1、L2ALLOC0 レジスタ経由でプログラム可能です。L2 キャッシュ要求で使用されるキューに対してプログラムされた割り当ては、L2 キャッシュ要求と QDMA 要求間で共有されます。L2 コントローラはある時点での、プライオリティごとに 6 つよりも多い未処理の転送要求を発行しないことが保証されています。したがって、L2ALLOC n (ここで、 $n = \text{CCFG.PRI}$) を、合計値が 6+ そのプライオリティ・レベルに必要な QDMA の数になるようにセットしてください。QDMA がそのプライオリティ・レベルで発行されない場合、6 という値は割り当てを超える状況がないことを保証します。

キャッシュ要求に使用されるプライオリティ・レベル以外では、QDMA 要求が L2 転送要求発行の唯一の要求タイプです。QDMA 要求へのキュー割り当ては、L2ALLOC n レジスタにプログラムされる値で制限されます（ここで、 $n! = \text{CCFG.PRI}$ ）。あるプライオリティ・レベル上で QDMA の割り当てを超えるような連続的な QDMA が発行されると、他のすべての L2 転送要求（他のプライオリティ・レベルの QDMA およびすべての L2 キャッシュ要求を含みます）がストールします。L1D および L2 コントローラが QDMA 要求の発行を待つことでストールすることがあるので、これには、CPU 全体をストールさせてしまう可能性があります。

この状態を回避するために、あるプライオリティ・レベルでの、未処理の QDMA 要求数が L2ALLOC n レジスタ内でプログラムされた値に到達しないようにすることをお勧めします。これは、システムのデータ・フローに関する知識を元に行うか、または QDMA 要求の完了を追跡するよう転送完了コード割り込みを使用したソフトウェアを使用して手動で追跡できます。

4.5.1.4 ペリフェラル・キューの割り当て

ペリフェラル要求元のプライオリティ・レベルおよびキュー割り当ては、そのペリフェラル内の TRCTL レジスタ経由でプログラム可能です。詳細は、各ペリフェラルのリファレンス・ガイドおよび各デバイスのデータシートを参照してください。一般的に、ペリフェラルが使用するプライオリティ・レベルのみを変更し、プログラム可能なキュー割り当てフィールドは変更しません。

ペリフェラルは常に単一のプライオリティ・レベルへ転送要求を発行するため、ペリフェラル・キューの割り当てに相互の影響はありません。ある要求がその割り当てを超えるためにストールした場合、すべての要求は順番に発生するので、考慮すべき同時要求はありません。

4.5.2 デフォルトのキュー使用およびキュー割り当ての変更

すべての要求元へのキュー使用およびキュー割り当ては、デバイス動作中にダイナミックに変更しないでください。割り当ておよびプライオリティの使用は、システム初期化時にセットしてください。

単一のプライオリティ・レベルに対して、すべての要求元の割り当ての合計が、キュー深さ（16 エントリ）を超えないようにします。たとえば、HPI の割り当て、EDMA の割り当て、L2 の割り当てをすべて 7 にプログラムすることは無効です。3 つの割り当ての合計（ $7+7+7=21$ ）がキュー深さ 16 を超えているからです。 $7+7+2=16$ という使い方は、有効です。

4.6 L2 コントローラへの EDMA アクセス

C64x DSP には、L2 キャッシュ・レジスタ・メモリ・マップ内に配置される、L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT) が組み込まれています。これは、L2 への L1D アクセスと EDMA の相対的なプライオリティ重み付けを制御します。EDMAWEIGHT は、L1D が L2 への EDMA アクセスをブロックする時間量を制限することで、EDMA アクセスのプライオリティを一時的に引き上げます。このプライオリティ引き上げは、CPU の L1D ではミスするが L2 キャッシュまたは L2 SRAM にヒットするデータへのライトとの競合でのみ適用されます。通常のライン・アロケーションおよび削除動作は、L1D-to-L2 アクセス・パターン内に EDMA アクセスが使用できるギャップがあります。EDMAWEIGHT を使用すると、このプライオリティ引き上げを発生させる回数を制御できます。EDMA プライオリティが上がると、プライオリティが CPU データ側に戻る前に、1 回のアクセスを完了できます。参考までに、EDMAWEIGHT の内容と説明をそれぞれ図 4-2、表 4-5 に示します。

n サイクル連続して L1D が L2 をブロックすると、EDMA は 1 サイクルだけプライオリティが上げられます。

図 4-2. L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT)

31	2	1	0
Reserved			EDMAWEIGHT
R-0			R/W-1

凡例： R = リード専用、R/W = リード/ライト、-n = リセット後の値

表 4-5. L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	予約。予約ビット・ロケーションは常に 0 としてリードされます。このフィールドにどのような値をライトしても影響ありません。
1-0	EDMAWEIGHT	0-3h	EDMA ウェイトは、L2 への EDMA アクセスを L1D がブロックする時間量を制限します。
		0	L1D は常に L2 への EDMA のアクセスよりも高いプライオリティでアクセスします。EDMA はプライオリティを上げられません。
		1h	EDMA は 16 L1D プライオリティ・サイクル後にプライオリティを上げられます。
		2h	EDMA は 4 L1D プライオリティ・サイクル後にプライオリティを上げられます。
		3h	EDMA は 1 L1D プライオリティ・サイクル後にプライオリティを上げられます。

4.7 EDMA コントロール・レジスタ

EDMA 内の 64 チャンネルにはそれぞれ、各チャンネルに関連付けられた特定の同期イベントがあります。これらのイベントは、そのチャンネルに関連したデータ転送をトリガします。イベントの各種処理をするコントロール・レジスタを表 4-6 に示します。これらの同期イベントの詳細は、1.5 節で説明しています。これらのレジスタのメモリ・アドレスおよびチャンネルとイベントのマッピングについては、各デバイスのデータシートを参照してください。

表 4-6. EDMA コントロール・レジスタ : C64x DSP

略称	レジスタ名	参照先
PQSR	EDMA プライオリティ・キュー・ステータス・レジスタ	4.7.1 項
PQAR	EDMA プライオリティ・キュー・アロケーション・レジスタ	4.7.2 項
CIPRL	EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ	4.7.3 項
CIPRH	EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ	4.7.3 項
CIERL	EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ	4.7.4 項
CIERH	EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ	4.7.4 項
CCERL	EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ	4.7.5 項
CCERH	EDMA チャンネル・チェーン・イネーブル・ハイ・レジスタ	4.7.5 項
ERL	EDMA イベント・ロー・レジスタ	4.7.6 項
ERH	EDMA イベント・ハイ・レジスタ	4.7.6 項
EERL	EDMA イベント・イネーブル・ロー・レジスタ	4.7.7 項
EERH	EDMA イベント・イネーブル・ハイ・レジスタ	4.7.7 項
ECRL	EDMA イベント・クリア・ロー・レジスタ	4.7.8 項
ECRH	EDMA イベント・クリア・ハイ・レジスタ	4.7.8 項
ESRL	EDMA イベント・セット・ロー・レジスタ	4.7.9 項
ESRH	EDMA イベント・セット・ハイ・レジスタ	4.7.9 項
EPRL	EDMA イベント・ポラリティ・ロー・レジスタ	4.7.10 項
EPRH	EDMA イベント・ポラリティ・ハイ・レジスタ	4.7.10 項

4.7.1 プライオリティ・キュー・ステータス・レジスタ (PQSR)

プライオリティ・キュー・ステータス・レジスタ (PQSR) は、各プライオリティ・レベルで転送コントローラが空になっているかどうかを示します。PQSR の内容と説明をそれぞれ図 4-3、表 4-7 に示します。プライオリティ・キュー・ステータス (PQ) ビットは、キューのステータスと同時にアクティブな転送について示します。PQ ビットが 1111b にセットされている場合、それぞれのプライオリティ・レベル・キューにはペンディングされている要求はありません。また進行中の転送也没有ありません。たとえば、ビット 0 (PQ0) が 1 にセットされていると、データ転送に対するすべての L2 要求が完了し、プライオリティ・レベル 0 キューにはペンディングされている要求はありません。

PQ ビットは主にエミュレーションまたはデバッグの目的で使用されます。通常、アプリケーションでは使用してはいけません。

図 4-3. プライオリティ・キュー・ステータス・レジスタ (PQSR)

31	4	3	2	1	0		
Reserved				PQ3	PQ2	PQ1	PQ0
R-0				R-1	R-1	R-1	R-1

凡例: R = リード専用、-n = リセット後の値

表 4-7. プライオリティ・キュー・ステータス・レジスタ (PQSR) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-4	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
3-0	PQ	OF (値)	0-Fh	プライオリティ・キューのステータス。PQ ビットが 1 のとき、それぞれのプライオリティ・レベル・キューにはペンディングされている要求がないことを示します。
		DEFAULT	Fh	プライオリティ・レベル・キューにはペンディングされている要求はありません。

[†] CSL を使って実装する場合、表記 EDMA_PQSR_PQ_symval を使用してください。

4.7.2 プライオリティ・キュー・アロケーション・レジスタ (PQAR0-3)

C64x DSP には、4 つの転送要求のキュー (Q0、Q1、Q2、Q3) があります。異なるプライオリティ・レベルの転送要求 (EDMA チャンネル・オプション・パラメータ内の PRI フィールド) は、Q0、Q1、Q2、Q3 にソートされます。EDMA 要求で使用可能なキュー長は、プライオリティ・キュー・アロケーション・レジスタ (PQAR n) を使用してプログラム可能です。PQAR n の内容と説明をそれぞれ図 4-4、表 4-8 に示します。

図 4-4. プライオリティ・キュー・アロケーション・レジスタ (PQAR)

31	4	3	0
Reserved		PQA [†]	
R-0		R/W-0	R/W-0 R/W-1 R/W-0

凡例: R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] PQAR0 および PQAR2 のデフォルト値は 0010b です。PQAR1 および PQAR3 のデフォルト値は 0110b です。

表 4-8. プライオリティ・キュー・アロケーション・レジスタ (PQAR) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-4	Reserved	-	0	予約。このフィールドには常に 0 をライトしてください。
3-0	PQA	OF (値)	0-Fh	プライオリティ・キュー・アロケーション・ビットは、EDMA 要求で使用可能なキュー長を決定します。
		DEFAULT	2h	PQAR0 および PQAR2 の場合: キュー長 2 だけ、EDMA 要求で使用可能。
		DEFAULT	6h	PQAR1 および PQAR3 の場合: キュー長 6 だけ、EDMA 要求で使用可能。

[†] CSL を使って実装する場合、表記 EDMA_PQAR0_PQA_symval、EDMA_PQAR1_PQA_symval、EDMA_PQAR2_PQA_symval、EDMA_PQAR3_PQA_symval を使用してください。

4.7.3 EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL、CIPRH)

EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL、CIPRH) を図 4-5、図 4-6 に示します。また、その説明を表 4-9、表 4-10 に示します。

4.7.3.1 EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL)

図 4-5. EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL)

31	30	29	28	27	26	25	24
CIP31	CIP30	CIP29	CIP28	CIP27	CIP26	CIP25	CIP24
R/W-0							
23	22	21	20	19	18	17	16
CIP23	CIP22	CIP21	CIP20	CIP19	CIP18	CIP17	CIP16
R/W-0							
15	14	13	12	11	10	9	8
CIP15	CIP14	CIP13	CIP12	CIP11	CIP10	CIP9	CIP8
R/W-0							
7	6	5	4	3	2	1	0
CIP7	CIP6	CIP5	CIP4	CIP3	CIP2	CIP1	CIP0
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-9. EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	CIP	OF (値)	0-FFFFFFFh	チャンネル 0 ~ 31 割り込みのペンディング。チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットまたは ATCINT ビットがある EDMA チャンネルで 1 にセットされていて、かつ転送完了コード (TCC) または代替転送完了コード (ATCC) が EDMA 転送コントローラから提供される場合、EDMA チャンネル・コントローラは CIP フィールド内のビットをセットします。
		DEFAULT	0	EDMA チャンネル割り込みは、ペンディングされていません。
		-	1	EDMA チャンネル割り込みは、ペンディングされています。

[†] CSL を使って実装する場合、表記 EDMA_CIPRL_CIP_symval を使用してください。

4.7.3.2 EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH)

図 4-6. EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH)

31	30	29	28	27	26	25	24
CIP63	CIP62	CIP61	CIP60	CIP59	CIP58	CIP57	CIP56
R/W-0							
23	22	21	20	19	18	17	16
CIP55	CIP54	CIP53	CIP52	CIP51	CIP50	CIP49	CIP48
R/W-0							
15	14	13	12	11	10	9	8
CIP47	CIP46	CIP45	CIP44	CIP43	CIP42	CIP41	CIP40
R/W-0							
7	6	5	4	3	2	1	0
CIP39	CIP38	CIP37	CIP36	CIP35	CIP34	CIP33	CIP32
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-10. EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	CIP	OF (値)	0-FFFFFFFh	チャンネル 32 ~ 63 割り込みのペンディング。チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットまたは ATCINT ビットがある EDMA チャンネルで 1 にセットされていて、かつ転送完了コード (TCC) または代替転送完了コード (ATCC) が EDMA 転送コントローラから提供される場合、EDMA チャンネル・コントローラは CIP フィールド内のビットをセットします。
		DEFAULT	0	EDMA チャンネル割り込みは、ペンディングされていません。
		-	1	EDMA チャンネル割り込みは、ペンディングされています。

[†] CSL を使って実装する場合、表記 EDMA_CIPRH_CIP_symval を使用してください。

4.7.4 EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIERL、CIERH)

EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIERL、CIERH) を図 4-7、図 4-8 に示します。また、その説明を表 4-11、表 4-12 に示します。

4.7.4.1 EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL)

図 4-7. EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL)

31	30	29	28	27	26	25	24
CIE31	CIE30	CIE29	CIE28	CIE27	CIE26	CIE25	CIE24
R/W-0							
23	22	21	20	19	18	17	16
CIE23	CIE22	CIE21	CIE20	CIE19	CIE18	CIE17	CIE16
R/W-0							
15	14	13	12	11	10	9	8
CIE15	CIE14	CIE13	CIE12	CIE11	CIE10	CIE9	CIE8
R/W-0							
7	6	5	4	3	2	1	0
CIE7	CIE6	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-11. EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	CIE	OF (値)	0-FFFFFFFh	チャンネル 0 ~ 31 割り込みのイネーブル。EDMA チャンネルの割り込みをディスエーブルまたはイネーブルにするために使用される 32 ビット符号なし値。
		DEFAULT	0	EDMA チャンネル割り込みは、ディスエーブルです。
		-	1	EDMA チャンネル割り込みは、イネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_CIERL_CIE_symval を使用してください。

4.7.4.2 EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH)

図 4-8. EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH)

31	30	29	28	27	26	25	24
CIE63	CIE62	CIE61	CIE60	CIE59	CIE58	CIE57	CIE56
R/W-0							
23	22	21	20	19	18	17	16
CIE55	CIE54	CIE53	CIE52	CIE51	CIE50	CIE49	CIE48
R/W-0							
15	14	13	12	11	10	9	8
CIE47	CIE46	CIE45	CIE44	CIE43	CIE42	CIE41	CIE40
R/W-0							
7	6	5	4	3	2	1	0
CIE39	CIE38	CIE37	CIE36	CIE35	CIE34	CIE33	CIE32
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-12. EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	CIE	OF (値)	0-FFFFFFFFh	チャンネル 32 ~ 63 割り込みのイネーブル。 EDMA チャンネルの割り込みをディスエーブルまたはイネーブルにするために使用される 32 ビット符号なし値。
		DEFAULT	0	EDMA チャンネル割り込みは、ディスエーブルです。
		-	1	EDMA チャンネル割り込みは、イネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_CIERH_CIE_symval を使用してください。

4.7.5 EDMA チャンネル・チェーン・イネーブル・レジスタ (CCERL、CCERH)

EDMA チャンネル・チェーン・イネーブル・レジスタ (CCERL、CCERH) を図 4-9、図 4-10 に示します。また、その説明を表 4-13、表 4-14 に示します。

4.7.5.1 EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ (CCERL)

図 4-9. EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ (CCERL)

31	30	29	28	27	26	25	24
CCE31	CCE30	CCE29	CCE28	CCE27	CCE26	CCE25	CCE24
R/W-0							
23	22	21	20	19	18	17	16
CCE23	CCE22	CCE21	CCE20	CCE19	CCE18	CCE17	CCE16
R/W-0							
15	14	13	12	11	10	9	8
CCE15	CCE14	CCE13	CCE12	CCE11	CCE10	CCE9	CCE8
R/W-0							
7	6	5	4	3	2	1	0
CCE7	CCE6	CCE5	CCE4	CCE3	CCE2	CCE1	CCE0
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-13. EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ (CCERL) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	CCE	OF (値)	0-FFFFFFFh	チャンネル 0 ~ 31 チェーンのイネーブル。EDMA コントローラが単一のイベントによるチャンネルのチェーンをできるようにするには、チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットまたは ATCINT ビットを 1 にセットします。さらに、転送完了コード (TCC) または代替転送完了コード (ATCC) が指定する次のチャンネルの転送をトリガするために、CCE フィールド内の関連するビットをセットする必要があります。
		DEFAULT	0	EDMA チャンネル・チェーンは、ディスエーブルです。
		-	1	EDMA チャンネル・チェーンは、イネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_CCERL_CCE_*symval* を使用してください。

4.7.5.2 EDMA チャンネル・チェーン・イネーブル・ハイ・レジスタ (CCERH)

図 4-10. EDMA チャンネル・チェーン・イネーブル・ハイ・レジスタ (CCERH)

31	30	29	28	27	26	25	24
CCE63	CCE62	CCE61	CCE60	CCE59	CCE58	CCE57	CCE56
R/W-0							
23	22	21	20	19	18	17	16
CCE55	CCE54	CCE53	CCE52	CCE51	CCE50	CCE49	CCE48
R/W-0							
15	14	13	12	11	10	9	8
CCE47	CCE46	CCE45	CCE44	CCE43	CCE42	CCE41	CCE40
R/W-0							
7	6	5	4	3	2	1	0
CCE39	CCE38	CCE37	CCE36	CCE35	CCE34	CCE33	CCE32
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-14. EDMA チャンネル・チェーン・イネーブル・ハイ・レジスタ (CCERH) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	CCE	OF (値)	0-FFFFFFFFh	チャンネル 32 ~ 63 チェーンのイネーブル。 EDMA コントローラが単一のイベントによるチャンネルのチェーンをできるようにするには、チャンネル・オプション・パラメータ (OPT) 内の TCINT ビットまたは ATCINT ビットを 1 にセットします。さらに、転送完了コード (TCC) または代替転送完了コード (ATCC) が指定する次のチャンネルの転送をトリガするために、CCE フィールド内の関連するビットをセットする必要があります。
		DEFAULT	0	EDMA チャンネル・チェーンは、ディスエーブルです。
		-	1	EDMA チャンネル・チェーンは、イネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_CCERH_CCE_*symval* を使用してください。

4.7.6 EDMA イベント・レジスタ (ERL、ERH)

イベントがディスエーブルの場合でも、64 チャンネルについて、すべてのイベントは、イベント・ロー・レジスタ (ERL) およびイベント・ハイ・レジスタ (ERH) に取り込まれます。ERL の内容と説明をそれぞれ図 4-11、表 4-15 に示します。ERH の内容と説明をそれぞれ図 4-12、表 4-16 に示します。1.5 節では、同期イベントのタイプおよび各同期イベントに関する EDMA チャンネルについて説明しています。

4.7.6.1 EDMA イベント・ロー・レジスタ (ERL)

図 4-11. EDMA イベント・ロー・レジスタ (ERL)

31	30	29	28	27	26	25	24
EVT31	EVT30	EVT29	EVT28	EVT27	EVT26	EVT25	EVT24
R-0							
23	22	21	20	19	18	17	16
EVT23	EVT22	EVT21	EVT20	EVT19	EVT18	EVT17	EVT16
R-0							
15	14	13	12	11	10	9	8
EVT15	EVT14	EVT13	EVT12	EVT11	EVT10	EVT9	EVT8
R-0							
7	6	5	4	3	2	1	0
EVT7	EVT6	EVT5	EVT4	EVT3	EVT2	EVT1	EVT0
R-0							

凡例: R = リード専用、-n = リセット後の値

表 4-15. EDMA イベント・ロー・レジスタ (ERL) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	EVT	OF (値)	0-FFFFFFFh	イベント 0 ~ 31。イベントがディスエーブルの場合 (EERL = 0) でも、EDMA が取り込むイベント 0 ~ 31 は、ERL 内でラッチされます。
		DEFAULT	0	EDMA イベントはアサートされていません。
		-	1	EDMA イベントはアサートされています。

[†] CSL を使って実装する場合、表記 EDMA_ERL_EVT_*symval* を使用してください。

4.7.6.2 EDMA イベント・ハイ・レジスタ (ERH)

図 4-12. EDMA イベント・ハイ・レジスタ (ERH)

31	30	29	28	27	26	25	24
EVT63	EVT62	EVT61	EVT60	EVT59	EVT58	EVT57	EVT56
R-0							
23	22	21	20	19	18	17	16
EVT55	EVT54	EVT53	EVT52	EVT51	EVT50	EVT49	EVT48
R-0							
15	14	13	12	11	10	9	8
EVT47	EVT46	EVT45	EVT44	EVT43	EVT42	EVT41	EVT40
R-0							
7	6	5	4	3	2	1	0
EVT39	EVT38	EVT37	EVT36	EVT35	EVT34	EVT33	EVT32
R-0							

凡例: R = リード専用、-n = リセット後の値

表 4-16. EDMA イベント・ハイ・レジスタ (ERH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	EVT	OF (値)	0-FFFFFFFFh	イベント 32 ~ 63。イベントがディスエーブルの場合 (EERH = 0) でも、EDMA が取り込むイベント 32 ~ 63 は、ERH 内でラッチされます。
		DEFAULT	0	EDMA イベントはアサートされていません。
		-	1	EDMA イベントはアサートされています。

[†] CSL を使って実装する場合、表記 EDMA_ERH_EVT_symval を使用してください。

4.7.7 EDMA イベント・イネーブル・レジスタ (EERL、EERH)

イベント・レジスタ (ERL および ERH) 内の各イベントは、イベント・イネーブル・レジスタ (EERL および EERH) を使用して、イネーブルまたはディスエーブルのいずれかにできます。EER 内のイベント・ビットのいずれかを 1 にセットすると、対応するイベントがイネーブルになります。また、EER 内のイベント・ビットのいずれかをゼロ・クリアすると、対応するイベントがディスエーブルになります。EERL の内容と説明をそれぞれ図 4-13、表 4-17 に示します。EERH の内容と説明をそれぞれ図 4-14、表 4-18 に示します。

イベントがディスエーブルの場合でも、イベント・レジスタは EDMA が取り込むすべてのイベントをラッチします。これは割り込み処理の場合のインタラプト・イネーブル・レジスタおよびインタラプト・ペンディング・レジスタに似ています。このため、EDMA はどのイベントも取りこぼさないことを保証します。イベント・レジスタ内にペンディングされているイベントをもつイベントを再びイネーブルにすると、EDMA コントローラはプライオリティに従ってそのイベントを処理します。

4.7.7.1 EDMA イベント・イネーブル・ロー・レジスタ (EERL)

図 4-13. EDMA イベント・イネーブル・ロー・レジスタ (EERL)

31	30	29	28	27	26	25	24
EE31	EE30	EE29	EE28	EE27	EE26	EE25	EE24
R/W-0							
23	22	21	20	19	18	17	16
EE23	EE22	EE21	EE20	EE19	EE18	EE17	EE16
R/W-0							
15	14	13	12	11	10	9	8
EE15	EE14	EE13	EE12	EE11	EE10	EE9	EE8
R/W-0							
7	6	5	4	3	2	1	0
EE7	EE6	EE5	EE4	EE3	EE2	EE1	EE0
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-17. EDMA イベント・イネーブル・ロー・レジスタ (EERL) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	EE	OF (値)	0-FFFFFFFFh	イベント 0 ~ 31 のイネーブル。イベントをイネーブルまたはディスエーブルにするために使用されます。
		DEFAULT	0	EDMA イベントはディスエーブルです。
		-	1	EDMA イベントはイネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_EERL_EE_symval を使用してください。

4.7.7.2 EDMA イベント・イネーブル・ハイ・レジスタ (EERH)

図 4-14. EDMA イベント・イネーブル・ハイ・レジスタ (EERH)

31	30	29	28	27	26	25	24
EE63	EE62	EE61	EE60	EE59	EE58	EE57	EE56
R/W-0							
23	22	21	20	19	18	17	16
EE55	EE54	EE53	EE52	EE51	EE50	EE49	EE48
R/W-0							
15	14	13	12	11	10	9	8
EE47	EE46	EE45	EE44	EE43	EE42	EE41	EE40
R/W-0							
7	6	5	4	3	2	1	0
EE39	EE38	EE37	EE36	EE35	EE34	EE33	EE32
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-18. EDMA イベント・イネーブル・ハイ・レジスタ (EERH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	EE	OF (値)	0-FFFFFFFFh	イベント 32 ~ 63 のイネーブル。イベントをイネーブルまたはディスエーブルにするために使用されます。
		DEFAULT	0	EDMA イベントはディスエーブルです。
		-	1	EDMA イベントはイネーブルです。

[†] CSL を使って実装する場合、表記 EDMA_EERH_EE_symval を使用してください。

4.7.8 イベント・クリア・レジスタ (ECRL、ECRH)

イベントがイベント・レジスタ (ERL および ERH) にポストされると、そのイベントをクリアするには2つの方法があります。イベントがイベント・イネーブル・レジスタ (EERL および EERH) 内でイネーブルで、かつ EDMA がイベントの転送要求を発行すると、EDMA はイベント・レジスタ内の対応するイベント・ビットをクリアします。別の方法として、イベントがイベント・イネーブル・レジスタ内でディスエーブルの場合、CPU はイベント・クリア・ロー・レジスタ (ECRL) またはイベント・クリア・ハイ・レジスタ (ECRH) によって、イベントをクリアできます。ECRL の内容と説明をそれぞれ図 4-15、表 4-19 に示します。ECRH の内容と説明をそれぞれ図 4-16、表 4-20 に示します。

いずれかのビットに 1 をライトすると、対応するイベントをクリアします。0 をライトしても影響はありません。イベント・レジスタ内のイベント・ビットがセットされると、EDMA がそのイベントの転送要求を発行するまで、または ECRL または ECRH 内の対応するビットをセットして、CPU がイベントをクリアするまで、そのイベント・ビットはセットされたままです。

4.7.8.1 EDMA イベント・クリア・ロー・レジスタ (ECRL)

図 4-15. EDMA イベント・クリア・ロー・レジスタ (ECRL)

31	30	29	28	27	26	25	24
EC31	EC30	EC29	EC28	EC27	EC26	EC25	EC24
R/W-0							
23	22	21	20	19	18	17	16
EC23	EC22	EC21	EC20	EC19	EC18	EC17	EC16
R/W-0							
15	14	13	12	11	10	9	8
EC15	EC14	EC13	EC12	EC11	EC10	EC9	EC8
R/W-0							
7	6	5	4	3	2	1	0
EC7	EC6	EC5	EC4	EC3	EC2	EC1	EC0
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-19. EDMA イベント・クリア・ロー・レジスタ (ECRL) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	EC	OF (値)	0-FFFFFFFFh	イベント 0 ~ 31 のクリア。イベントをクリアするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
		DEFAULT	0	影響ありません。
		-	1	EDMA イベントはクリアされます。

[†] CSL を使って実装する場合、表記 EDMA_ECRL_EC_symval を使用してください。

4.7.8.2 EDMA イベント・クリア・ハイ・レジスタ (ECRH)

図 4-16. EDMA イベント・クリア・ハイ・レジスタ (ECRH)

31	30	29	28	27	26	25	24
EC63	EC62	EC61	EC60	EC59	EC58	EC57	EC56
R/W-0							
23	22	21	20	19	18	17	16
EC55	EC54	EC53	EC52	EC51	EC50	EC49	EC48
R/W-0							
15	14	13	12	11	10	9	8
EC47	EC46	EC45	EC44	EC43	EC42	EC41	EC40
R/W-0							
7	6	5	4	3	2	1	0
EC39	EC38	EC37	EC36	EC35	EC34	EC33	EC32
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-20. EDMA イベント・クリア・ハイ・レジスタ (ECRH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	EC	OF (値)	0-FFFFFFFFh	イベント 32 ~ 63 のクリア。イベントをクリアするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
		DEFAULT	0	影響ありません。
		-	1	EDMA イベントはクリアされます。

[†] CSL を使って実装する場合、表記 EDMA_ECRH_EC_symval を使用してください。

4.7.9 イベント・セット・レジスタ (ESRL、ESRH)

CPU はイベント・セット・レジスタ (ESRL および ESRH) を使用して、イベントをセットできます。ESRL の内容と説明をそれぞれ図 4-17、表 4-21 に示します。ESRH の内容と説明をそれぞれ図 4-18、表 4-22 に示します。イベント・ビットの 1 つに 1 をライトすると、転送要求が発行されます。イベントがイネーブルである必要はありません。これはデバッグ・ツールとなります。また、これにより CPU がシステム内の EDMA 要求を発行できます。CPU が開始する EDMA 転送は CPU 同期転送と見なされることに注意してください。すなわち、EDMA 転送は対応する ESRL ビットまたは ESRH ビットがセットされる時に発生し、関連するイベントによってトリガされません。CPU が開始する EDMA 転送を実行する別の方法であるクイック DMA (QDMA) の説明については、1.16 節を参照してください。

4.7.9.1 EDMA イベント・セット・ロー・レジスタ (ESRL)

図 4-17. EDMA イベント・セット・ロー・レジスタ (ESRL)

31	30	29	28	27	26	25	24
ES31	ES30	ES29	ES28	ES27	ES26	ES25	ES24
R/W-0							
23	22	21	20	19	18	17	16
ES23	ES22	ES21	ES20	ES19	ES18	ES17	ES16
R/W-0							
15	14	13	12	11	10	9	8
ES15	ES14	ES13	ES12	ES11	ES10	ES9	ES8
R/W-0							
7	6	5	4	3	2	1	0
ES7	ES6	ES5	ES4	ES3	ES2	ES1	ES0
R/W-0							

凡例： R/W = リード/ライト、-n = リセット後の値

表 4-21. EDMA イベント・セット・ロー・レジスタ (ESRL) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	ES	OF (値)	0-FFFFFFFh	イベント 0 ~ 31 のセット。イベント・ロー・レジスタ (ERL) 内の対応するビットをセットするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
		DEFAULT	0	影響ありません。
		-	1	EDMA イベントはセットされます。

[†] CSL を使って実装する場合、表記 EDMA_ESRL_ES_symval を使用してください。

4.7.9.2 EDMA イベント・セット・ハイ・レジスタ (ESRH)

図 4-18. EDMA イベント・セット・ハイ・レジスタ (ESRH)

31	30	29	28	27	26	25	24
ES63	ES62	ES61	ES60	ES59	ES58	ES57	ES56
R/W-0							
23	22	21	20	19	18	17	16
ES55	ES54	ES53	ES52	ES51	ES50	ES49	ES48
R/W-0							
15	14	13	12	11	10	9	8
ES47	ES46	ES45	ES44	ES43	ES42	ES41	ES40
R/W-0							
7	6	5	4	3	2	1	0
ES39	ES38	ES37	ES36	ES35	ES34	ES33	ES32
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-22. EDMA イベント・セット・ハイ・レジスタ (ESRH) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	ES	OF (値)	0-FFFFFFFh	イベント 32 ~ 63 のセット。イベント・ハイ・レジスタ (ERH) 内の対応するビットをセットするために、任意のイベント・ビットを 1 にセットします。0 をライトしても影響はありません。
		DEFAULT	0	影響ありません。
		-	1	EDMA イベントはセットされます。

[†] CSL を使って実装する場合、表記 EDMA_ESRH_ES_symval を使用してください。

4.7.10 イベント・ポラリティ・レジスタ (EPRL、EPRH)

イベント入力時、正エッジ・トリガ (Low から High への遷移) によって EDMA コントローラに、そのイベントが送られます。イベント・ポラリティ・ロー・レジスタ (EPRL) またはイベント・ポラリティ・ハイ・レジスタ (EPRH) 内の対応するビットをセットすると、イベント極性は、立ち下がりエッジ・トリガ (High から Low への遷移) に変更されます。一般的に、イベント極性の反転は外部から供給されるイベントに対してのみ行うことがあります。EPRL の内容と説明をそれぞれ図 4-19、表 4-23 に示します。EPRH の内容と説明をそれぞれ図 4-20、表 4-24 に示します。

4.7.10.1 EDMA イベント・ポラリティ・ロー・レジスタ (EPRL)

図 4-19. EDMA イベント・ポラリティ・ロー・レジスタ (EPRL)

31	30	29	28	27	26	25	24
EP31	EP30	EP29	EP28	EP27	EP26	EP25	EP24
R/W-0							
23	22	21	20	19	18	17	16
EP23	EP22	EP21	EP20	EP19	EP18	EP17	EP16
R/W-0							
15	14	13	12	11	10	9	8
EP15	EP14	EP13	EP12	EP11	EP10	EP9	EP8
R/W-0							
7	6	5	4	3	2	1	0
EP7	EP6	EP5	EP4	EP3	EP2	EP1	EP0
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-23. EDMA イベント・ポラリティ・ロー・レジスタ (EPRL) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	EP	OF (値)	0-FFFFFFFh	イベント 0 ~ 31 の極性。32 ビット符号なし値で、イベントがトリガされるのが立ち上がりエッジ入力または立ち下がりエッジ入力かを選択するために使用されます。
		DEFAULT	0	EDMA イベントは、立ち上がりエッジ入力でトリガされます。
		-	1	EDMA イベントは、立ち下がりエッジ入力でトリガされます。

[†] CSL を使って実装する場合、表記 EDMA_EPRL_EP_*symval* を使用してください。

4.7.10.2 EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH)

図 4-20. EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH)

31	30	29	28	27	26	25	24
EP63	EP62	EP61	EP60	EP59	EP58	EP57	EP56
R/W-0							
23	22	21	20	19	18	17	16
EP55	EP54	EP53	EP52	EP51	EP50	EP49	EP48
R/W-0							
15	14	13	12	11	10	9	8
EP47	EP46	EP45	EP44	EP43	EP42	EP41	EP40
R/W-0							
7	6	5	4	3	2	1	0
EP39	EP38	EP37	EP36	EP35	EP34	EP33	EP32
R/W-0							

凡例: R/W = リード/ライト、-n = リセット後の値

表 4-24. EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	EP	OF (値)	0-FFFFFFFh	イベント 32 ~ 63 の極性。32 ビット符号なし値で、イベントがトリガされるのが立ち上がりエッジ入力または立ち下がりエッジ入力かを選択するために使用されます。
		DEFAULT	0	EDMA イベントは、立ち上がりエッジ入力でトリガされます。
		-	1	EDMA イベントは、立ち下がりエッジ入力でトリガされます。

[†] CSL を使って実装する場合、表記 `EDMA_EPRH_EP_symval` を使用してください。

4.8 EDMA チャンネル・パラメータ・エントリ

パラメータ RAM (PaRAM) の概要については、1.3 節を参照してください。EDMA チャンネルの各パラメータ・セットは、32 ビット・ワード 6 つ、すなわち 24 バイトで構成されています。リストについては、表 4-25 を参照してください。これらのレジスタのメモリ・アドレスについては、表 4-1 (4-3 ページ) を参照してください。

表 4-25. EDMA パラメータ・エントリ : 64x DSP

略称	パラメータ名	参照先
OPT	EDMA チャンネル・オプション・パラメータ	4.8.1 項
SRC	EDMA チャンネル・ソース・アドレス・パラメータ	4.8.2 項
CNT	EDMA チャンネル・トランスファー・カウント・パラメータ	4.8.3 項
DST	EDMA チャンネル・デスティネーション・アドレス・パラメータ	4.8.4 項
IDX	EDMA チャンネル・インデックス・パラメータ	4.8.5 項
RLD	EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ	4.8.6 項

4.8.1 EDMA チャンネル・オプション・パラメータ (OPT)

EDMA パラメータ・エントリ内の EDMA チャンネル・オプション・パラメータ (OPT) の内容と説明はそれぞれ図 4-21、表 4-26 を参照してください。

PDT 転送は、EMIF 上のメモリに関連します。PDT ライトはペリフェラルからメモリへの転送です (物理的に、メモリへライトされます)。外部ペリフェラル・ソースから外部メモリ・デスティネーションへの PDT ライトをイネーブルにするには、チャンネル・オプション・パラメータ (OPT) 内の PDTD ビットを 1 にセットします。

PDT リードはメモリからペリフェラルへの転送です (物理的に、メモリがリードされます)。外部メモリ・ソースから外部ペリフェラル・デスティネーションへの PDT リードをイネーブルにするには、OPT 内の PDTS ビットを 1 にセットします。

PDT ライトおよび PDT リードは、相互に排他的です。すなわち、PDTS および PDTD の両方を 1 にセットできません。

図 4-21. EDMA チャンネル・オプション・パラメータ (OPT)

31	29	28	27	26	25	24	23	22	21	20	19	16	
PRI		ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
R/W-x		R/W-x		R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x				
15	14	13	12	11	10			5	4	3	2	1	0
Rsvd [†]	TCCM	ATCINT	Rsvd [†]	ATCC				Rsvd [†]	PDTS	PDTD	LINK	FS	
R/W-x	R/W-x	R/W-x	R/W-x	R/W-x				R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	

[†] 予約ビットには常に 0 をライトします。

凡例: R/W = リード/ライト、-x = リセット後の値は不定

表 4-26. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-29	PRI	OF (値)	0-7h	EDMA イベントのプライオリティ・レベル。
		DEFAULT	0	アージェント・プライオリティ EDMA 転送。
		URGENT		
		HIGH	1h	ハイ・プライオリティ EDMA 転送。
		MEDIUM	2h	ミディウム・プライオリティ EDMA 転送。
		LOW	3h	ロー・プライオリティ EDMA 転送。
		-	4h-7h	予約。
28-27	ESIZE	OF (値)	0-3h	エレメント・サイズ。
		DEFAULT	0	32 ビット・ワード、または 64 ビット・ダブルワード (特定の C64x EDMA 転送でのみ。1.7 節を参照)。
		32BIT		
		16BIT	1h	16 ビット・ハーフワード。
		8BIT	2h	8 ビット・バイト。
		-	3h	予約。
26	2DS	OF (値)		ソースの次元。
		DEFAULT	0	1 次元ソース。
		NO		
		YES	1	2 次元ソース。

[†] CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

表 4-26. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
25-24	SUM	OF (値)	0-3h	ソース・アドレス更新モード。
		DEFAULT NONE	0	固定アドレス・モード。ソース・アドレス変更なし。
		INC	1h	ソース・アドレスのインクリメントは、2DS ビットおよび FS ビットにより異なります。
		DEC	2h	ソース・アドレスのデクリメントは、2DS ビットおよび FS ビットにより異なります。
		IDX	3h	エレメント・インデックス/フレーム・インデックスによって変更されるソース・アドレスは、2DS ビットおよび FS ビットにより異なります。
23	2DD	OF (値)		デスティネーションの次元。
		DEFAULT NO	0	1次元デスティネーション。
		YES	1	2次元デスティネーション。
22-21	DUM	OF (値)	0-3h	デスティネーション・アドレス更新モード。
		DEFAULT NONE	0	固定アドレス・モード。デスティネーション・アドレス変更なし。
		INC	1h	デスティネーション・アドレスのインクリメントは、2DD ビットおよび FS ビットにより異なります。
		DEC	2h	デスティネーション・アドレスのデクリメントは、2DD ビットおよび FS ビットにより異なります。
		IDX	3h	エレメント・インデックス/フレーム・インデックスによって変更されるデスティネーション・アドレスは、2DD ビットおよび FS ビットにより異なります。
20	TCINT	OF (値)		転送完了割り込み。
		DEFAULT NO	0	転送完了の表示はディスエーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) のビットは、転送完了時にセットされません。
		YES	1	転送完了の表示はイネーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) のビットは、チャンネル転送完了時にセットされます。CIPRL または CIPRH 内のセットされるビット (位置) は、TCC 値で指定されます。このビットは、チェーンと割り込みの生成のために使用できます。

[†] CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

表 4-26. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明
19-16	TCC	OF (値)	0-Fh	転送完了コード。この 4 ビット値は、指定された EDMA チャンネル・インタラプト・ペンディング・レジスタ内のビット (CIPR[TCC] ビット) をセットするために使用されます。6 ビット長の転送完了コードを渡すために、TCC は TCCM ビットと組み合わせられて動作します。このビットは、チェーンと割り込みの生成のために使用できます。
		DEFAULT	0	
15	Reserved	-	0	予約。予約ビット・ロケーションは常に 0 としてリードされます。このフィールドにどのような値をライトしても影響ありません。このフィールドにライトすると、常に 0 がライトされます。
14-13	TCCM	OF (値)	0-3h	転送完了コードの最上位ビット。6 ビット長の転送完了コードを渡すために、この 2 ビット値は TCC ビットと組み合わせられて動作します。現在のセットを使い切ると、TCINT = 1 の場合、EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) 内の関連するビットをセットするために、6 ビット・コードが使用されます。
		DEFAULT	0	
12	ATCINT	OF (値)		代替転送完了割り込み。
		DEFAULT NO	0	代替転送完了の表示はディスエーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) のビットは、ブロック内の中間転送完了時にセットされません。
		YES	1	代替転送完了の表示はイネーブルです。EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) のビットは、ブロック内の中間転送完了時にセットされます。CIPRL または CIPRH 内のセットされるビット (位置) は、ATCC 値で指定されます。
11	Reserved	-	0	予約。予約ビット・ロケーションは常に 0 としてリードされます。このフィールドにどのような値をライトしても影響ありません。このフィールドにライトすると、常に 0 がライトされます。
10-5	ATCC	OF (値)	0-3Fh	代替転送完了コード。ブロック内の中間転送完了時に、ATCINT = 1 の場合、EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPRL または CIPRH) (CIP[ATCC] ビット) 内のビットをセットするために、この 6 ビット値が使用されます。このビットは、チェーンと割り込みの生成のために使用できます。
		DEFAULT	0	

† CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

表 4-26. EDMA チャンネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
4	Reserved	-	0	予約。予約ビット・ロケーションは常に 0 としてリードされます。このフィールドにどのような値をライトしても、影響ありません。このフィールドにライトすると、常に 0 がライトされます。
3	PDTS	OF (値)		ソースのペリフェラル・デバイス転送 (PDT) モード。
		DEFAULT DISABLE	0	PDT リードはディスエーブルです。
		ENABLE	1	PDT リードはイネーブルです。
2	PDTD	OF (値)		デスティネーションのペリフェラル・デバイス転送 (PDT) モード。
		DEFAULT DISABLE	0	PDT ライトはディスエーブルです。
		ENABLE	1	PDT ライトはイネーブルです。
1	LINK	OF (値)		イベント・パラメータのリンクのイネーブル。
		DEFAULT NO	0	イベント・パラメータのリンクはディスエーブルです。エントリはリロードされません。
		YES	1	イベント・パラメータのリンクはイネーブルです。現在のセットを使い切ってしまうと、チャンネル・エントリはリンク・アドレスが指定するパラメータ・セットをリロードします。
0	FS	OF (値)		フレーム同期。
		DEFAULT NO	0	チャンネルはエレメント / アレイ同期。
		YES	1	チャンネルはフレーム同期。EDMA チャンネルに関連したイベントは、フレームを同期するために使用されます。

[†] CSL を使って実装する場合、表記 EDMA_OPT_field_symval を使用してください。

4.8.2 EDMA チャンネル・ソース・アドレス・パラメータ (SRC)

EDMA パラメータ・エントリ内の EDMA チャンネル・ソース・アドレス・パラメータ (SRC) は、ソースの先頭バイト・アドレスを指定します。SRC の内容と説明をそれぞれ図 4-22、表 4-27 に示します。ソース・アドレスを更新するには、EDMA チャンネル・オプション・パラメータ (OPT) 内の SUM ビットを使用します。詳細は、1.9.2 項を参照してください。ソース・アドレスは ESIZE が指定する値でアラインされている必要があります (1.7 節を参照)。

図 4-22. EDMA チャンネル・ソース・アドレス・パラメータ (SRC)



凡例: R/W = リード/ライト、-n = リセット後の値

表 4-27. EDMA チャンネル・ソース・アドレス・パラメータ (SRC) フィールドの説明

ビット	フィールド	<i>symval</i> [†]	値	説明
31-0	SRC	OF (値)	0-FFFFFFFh	この 32 ビット・ソース・アドレスは、ソースの先頭バイト・アドレスを指定します。このアドレスは、EDMA チャンネル・オプション・パラメータ (OPT) 内の SUM ビットを使用して更新されます。
		DEFAULT	0	

[†] CSL を使って実装する場合、表記 EDMA_SRC_SRC_*symval* を使用してください。

4.8.3 EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)

EDMA パラメータ・エントリ内の EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) は、フレーム / アレイ・カウントおよびエレメント・カウントを指定します。CNT の内容と説明をそれぞれ図 4-23、表 4-28 に示します。

フレーム / アレイ・カウント (FRMCNT) は、16 ビット符号なし値 +1 で、1D ブロック内のフレーム数または 2D ブロック内のアレイ数を指定します。フレーム・カウントは 1D 転送に適用し、アレイ・カウントは 2D 転送に適用します。フレーム / アレイ・カウントの有効な値の範囲は、0 ~ 65535 です。したがって、ブロック内のフレーム / アレイの最大数は、65536 です。フレーム / アレイ・カウントの 0 は、実際には、1 フレーム / アレイです。また、フレーム / アレイ・カウントの 1 は、実際には、2 フレーム / アレイです。詳細は、1.9.1 項を参照してください。

エレメント・カウント (ELECNT) は、16 ビット符号なし値で、フレーム (1D 転送の場合) 内またはアレイ (2D 転送の場合) 内のエレメント数を指定します。エレメント・カウントの有効な値の範囲は、1 ~ 65535 です。したがって、フレーム内のエレメントの最大数は、65535 です。エレメント・カウントが 0 の場合、EDMA は転送を行いません。詳細は、1.9.1 項を参照してください。

図 4-23. EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)

31	16 15	0
FRMCNT	ELECNT	
R/W-0	R/W-0	

凡例: R/W = リード / ライト、-n = リセット後の値

表 4-28. EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	FRMCNT	OF (値)	0-FFFFh	フレーム / アレイ・カウント。16 ビット符号なし値 +1 で、1D ブロック内のフレーム数または 2D ブロック内のアレイ数を指定します。フレーム / アレイ・カウントの有効な値: 0 ~ 65535。
		DEFAULT	0	1D ブロックの 1 フレームまたは、2D ブロックの 1 アレイ。
15-0	ELECNT	OF (値)	0-FFFFh	エレメント・カウント。16 ビット符号なし値で、フレーム (1D 転送の場合) またはアレイ (2D 転送の場合) 内のエレメント数を指定します。エレメント・カウントの有効な値: 1 ~ 65535。
		DEFAULT	0	転送なし。

† CSL を使って実装する場合、表記 EDMA_CNT_field_symval を使用してください。

4.8.4 EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)

EDMA パラメータ・エントリ内の EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) は、デスティネーションの先頭バイト・アドレスを指定します。DST の内容と説明をそれぞれ図 4-24、表 4-29 に示します。デスティネーション・アドレスを更新するには、EDMA チャンネル・オプション・パラメータ (OPT) 内の DUM ビットを使用します。詳細は、1.9.2 項を参照してください。デスティネーション・アドレスは ESIZE が指定する値でアラインされている必要があります (1.7 節を参照)。

図 4-24. EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)



凡例： R/W = リード/ライト、-n = リセット後の値

表 4-29. EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST) フィールドの説明

ビット	フィールド	symval [†]	値	説明
31-0	DST	OF (値)	0-FFFFFFFh	この 32 ビット・デスティネーション・アドレスは、デスティネーションの先頭バイト・アドレスを指定します。このアドレスは、EDMA チャンネル・オプション・パラメータ (OPT) 内の DUM ビットを使用して更新されます。
		DEFAULT	0	

[†] CSL を使って実装する場合、表記 EDMA_DST_DST_symval を使用してください。

4.8.5 EDMA チャンネル・インデックス・パラメータ (IDX)

EDMA パラメータ・エントリ内の EDMA チャンネル・インデックス・パラメータ (IDX) は、アドレス更新のために使用される、フレーム / アレイ・インデックスおよびエレメント・インデックスを指定します。IDX の内容と説明をそれぞれ図 4-25、表 4-30 に示します。EDMA チャンネル・オプション・パラメータ (OPT) 内で選択される転送タイプ (1D または 2D、) FS ビット、SUM ビット、DUM ビットにより異なりますが、EDMA アドレス更新のためにインデックスを使用します。

フレーム / アレイ・インデックス (FRMIDX) は、1D 転送または 2D 転送中で、次のフレーム / アレイへのアドレス・オフセット (バイト単位) を指定する、16 ビット符号付き値です。フレーム・インデックスは 1D 転送に適用し、アレイ・インデックスは 2D 転送に適用します。フレーム / アレイ・インデックスの有効な値の範囲は、-32768 ~ 32767 です。

エレメント・インデックス (ELEIDX) は、フレーム内の次のエレメントへのアドレス・オフセット (バイト単位) を指定する、16 ビット符号付き値です。2D 転送ではエレメント間に間隔があってはいけないので、エレメント・インデックスは、1D 転送の場合にのみ使用されます。エレメント・インデックスの有効な値の範囲は、-32768 ~ 32767 です。

図 4-25. EDMA チャンネル・インデックス・パラメータ (IDX)

31	16 15	0
FRMIDX	ELEIDX	
R/W-0	R/W-0	

凡例: R/W = リード / ライト、-n = リセット後の値

表 4-30. EDMA チャンネル・インデックス・パラメータ (IDX) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-16	FRMIDX	OF (値)	0-FFFFh	フレーム / アレイ・インデックス。16 ビット符号付き値で、次のフレーム / アレイへのアドレス・オフセットに使用されるフレーム / アレイ・インデックスを指定します。有効なフレーム / アレイ・インデックス値: -32768 ~ 32767。
		DEFAULT	0	次のフレーム / アレイへのアドレス・オフセットを指定したフレーム / アレイ・インデックスとして、オフセットは使用されません。
15-0	ELEIDX	OF (値)	0-FFFFh	エレメント・インデックス。16 ビット符号付き値で、フレーム内の次のエレメントへのアドレス・オフセットに使用されるエレメント・インデックスを指定します。エレメント・インデックスは、1D 転送の場合のみ使用されます。有効なエレメント・インデックス値: -32768 ~ 32767。
		DEFAULT	0	フレーム内の次のエレメントへのアドレス・オフセットを指定したエレメント・インデックスとして、オフセットは使用されません。

† CSL を使って実装する場合、表記 EDMA_IDX_field_symval を使用してください。

4.8.6 EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)

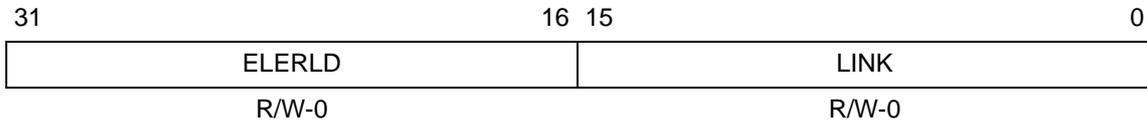
EDMA パラメータ・エントリ内の EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD) は、エレメント・カウント・フィールドをリロードするために使用する値およびリンク・アドレスを指定します。RLD の内容と説明をそれぞれ図 4-26、表 4-31 に示します。

フレーム内の最後のエレメントが転送されると、16 ビット符号なしエレメント・カウント・リロード (ELERLD) 値が EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント (ELECNT) フィールドにリロードされません。EDMA はエレメント・カウントを使用して次のエレメント・アドレスを追跡する必要があるため、ELERLD は、1D エレメント同期 (FS = 0) 転送の場合にのみ使用されます。これは、フレーム・カウント値が 0 より大きいマルチフレーム EDMA 転送の場合に必要です。詳細は、1.9.1 項を参照してください。

EDMA コントローラは、自動初期化用に EDMA 転送をリンクするメカニズムを提供しています。EDMA チャンネル・オプション・パラメータ (OPT) 内で LINK = 1 の場合、16 ビット・リンク・アドレス (LINK) はパラメータ RAM 内の下位 16 ビット・アドレスを指定します。このとき、EDMA は次のイベントに備えてパラメータをロード/リロードします。EDMA パラメータ RAM 全体は 01A0 xxxh 領域に配置されているので、下位 16 ビット・アドレスだけが必要です。

リロード・パラメータは 01A0 0600h ではじまるアドレス範囲内で指定されます。リンク・アドレスが 24 バイト境界にあることを保障する必要があります。このルールに違反すると、動作は不定です (1.11 節を参照)。リロード・パラメータ空間だけでなく、任意の未使用の EDMA チャンネルのエントリはリンク用にも使用できます。EDMA は、実際に使用されているチャンネル数に関係なく、プログラムされたエントリを最大 85 まで常時保持できます。

図 4-26. EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)



凡例： R/W = リード/ライト、-n = リセット後の値

表 4-31. EDMA チャンネル・カウント・リロード/リンク・アドレス・パラメータ (RLD) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-16	ELERLD	OF (値)	0-FFFFh	エレメント・カウント・リロード。16 ビット符号なし値で、フレーム内の最後のエレメントが転送されると、EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント・フィールドをリロードするために使用されます。EDMA はエレメント・カウントを使用して次のエレメント・アドレスを追跡する必要があるため、このフィールドは、1D エレメント同期 (FS = 0) 転送の場合にのみ使用されます。これは、フレーム・カウント値が 0 より大きいマルチフレーム EDMA 転送の場合に必要です。
		DEFAULT	0	フレーム内の最後のエレメントが転送されたとき、EDMA チャンネル・トランスファー・カウント・パラメータ (CNT) 内のエレメント・カウント・フィールドをリロードするために、0 が使用されます。
15-0	LINK	OF (値)	0-FFFFh	この 16 ビット・リンク・アドレスは、EDMA がチェーン内の次のイベントのパラメータをロード/リロードする際の、パラメータ RAM 内の下位 16 ビット・アドレスを指定します。
		DEFAULT	0	パラメータ RAM 内のアドレス 01A0 0000h が、チェーン内の次のイベントのパラメータをロード/リロードするために使用されます。

[†] CSL を使って実装する場合、表記 EDMA_RLD_field_symval を使用してください。

4.9 QDMA レジスタ

QDMA は、迅速なワンタイム転送に使用されるので、カウントをリロードまたはリンクをする能力が備わっていません。したがって、カウント・リロード/リンク・アドレス・レジスタは、QDMA にはありません。QDMA レジスタは、ハードウェアによって転送中または転送後に更新されず、発行された値を保持しています。すべての QDMA 転送は、フレーム同期 (1D) またはブロック同期 (2D) を使用して発行されます。詳細は、1.16 節を参照してください。

QDMA は EDMA パラメータ・エントリと似た、2 セットのメモリ・マップド・レジスタ (図 4-27) で構成されています。図 4-27 (a) に示す最初のセットは、転送を設定するために必要な、5 つの QDMA レジスタのダイレクト・マッピングです。カウント・リロード、リンク・アドレスはありません。また、QDMA チャンネル・オプション・レジスタ (QOPT) の LINK フィールドは予約済みです。QDMA レジスタへのライトは QDMA 転送要求を設定しますが、発行はしません。図 4-27 (b) では、このセットの疑似レジスタを示しています。任意の疑似レジスタへライトすると、転送要求が発行されます。

QDMA メカニズムはイベント・リンクをサポートしませんが、完了割り込みと EDMA チャンネルへの QDMA 転送完了チェーンをサポートします。QDMA 完了割り込みは EDMA 完了割り込みと同じ方法でセットされ、有効になります。QDMA チャンネル・オプション・レジスタ (QOPT) 内の TCINT ビットと TCC ビット、および EDMA の CIPR と CIER を使用します。EDMA イベントを使った QDMA 転送完了チェーンは、QOPT 内の適切なビットおよび EDMA チャンネル・コントローラの CCER をセットすることでイネーブルになります。QDMA 転送要求には、EDMA と同じプライオリティの制限があります。詳細は、4.5 節を参照してください。

各レジスタへのアクセスは、32 ビットのものに制限されています。ハーフワードおよびバイトでのライトによる動作は不定です。

図 4-27. QDMA レジスタ

(a) QDMA レジスタ

アドレス	QDMA レジスタ	
02000000h	QDMA チャンネル・オプション	
02000004h	QDMA チャンネル・ソース・アドレス (SRC)	
02000008h	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)
0200000Ch	QDMA チャンネル・デスティネーション・アドレス (DST)	
02000010h	アレイ/フレーム・ インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)

(b) QDMA 疑似レジスタ

アドレス	QDMA 疑似レジスタ	
02000020h	QDMA チャンネル・オプション	
02000024h	QDMA チャンネル・ソース・アドレス (SRC)	
02000028h	アレイ/フレーム・カウント (FRMCNT)	エレメント・カウント (ELECNT)
0200002Ch	QDMA チャンネル・デスティネーション・アドレス (DST)	
02000030h	アレイ/フレーム・ インデックス (FRMIDX)	エレメント・インデックス (ELEIDX)

4.9.1 QDMA チャンネル・オプション・レジスタ (QOPT、QSOPT)

図 4-28. QDMA チャンネル・オプション・レジスタ (QOPT)

31	29	28	27	26	25	24	23	22	21	20	19	16
PRI			ESIZE		2DS	SUM	2DD	DUM	TCINT		TCC	
R/W-0			R/W-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	
15	14	13	12	Reserved							1	0
Rsvd	TCCM									FS		
R/W-0	R/W-0		R/W-0							R/W-0		

凡例： R/W = リード/ライト、-n = リセット後の値

注意： QOPT はリード/ライト可能です。QSOPT はライト専用です。

4.9.2 QDMA チャンネル・ソース・アドレス・レジスタ (QSRC、QSSRC)

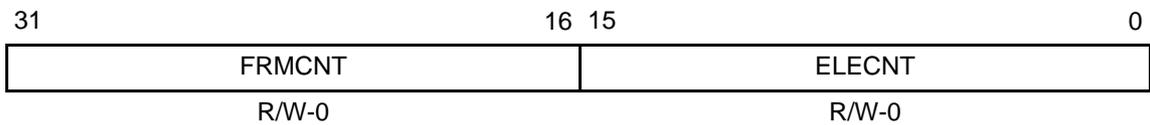
図 4-29. QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)



凡例： R/W = リード/ライト、-n = リセット後の値

4.9.3 QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT、QSCNT)

図 4-30. QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)



凡例： R/W = リード/ライト、-n = リセット後の値

4.9.4 QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST、QSDST)

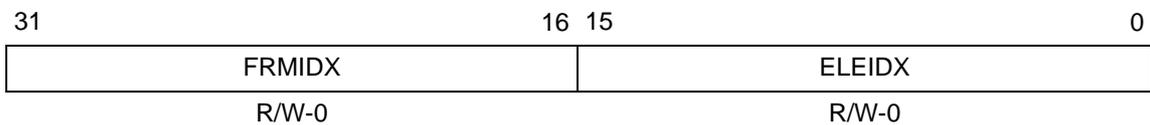
図 4-31. QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)



凡例： R/W = リード/ライト、-n = リセット後の値

4.9.5 QDMA チャンネル・インデックス・レジスタ (QIDX、QSIDX)

図 4-32. QDMA チャンネル・インデックス・レジスタ (QIDX)



凡例： R/W = リード/ライト、-n = リセット後の値

EDMA 転送タイプ

この付録では、各種の EDMA 転送タイプを説明します。

項目	ページ
A.1 エレメント同期 1D-to-1D 転送	A-2
A.2 フレーム同期 1D-to-1D 転送	A-19
A.3 アレイ同期 2D-to-2D 転送	A-36
A.4 ブロック同期 2D-to-2D 転送	A-46
A.5 アレイ同期 1D-to-2D 転送	A-56
A.6 ブロック同期 1D-to-2D 転送	A-66
A.7 アレイ同期 2D-to-1D 転送	A-76
A.8 ブロック同期 2D-to-1D 転送	A-86

A.1 エレメント同期 1D-to-1D 転送

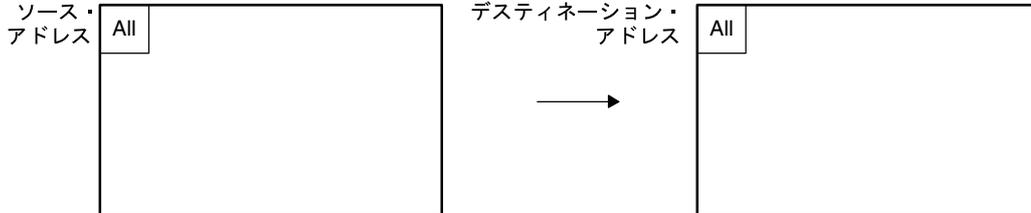
エレメント同期 (FS = 0) を使用した、1D-to-1D 転送 (2DS = 2DD = 0) の内容を必要なパラメータとともに表 A-1 および図 A-1 ~ 図 A-16 に示します。それぞれでは、同期イベントごとに 1 エレメントだけ転送されます。

表 A-1. エレメント同期 (FS = 0) 1D-to-1D 転送

チャンネル・オプション・パラメータ (OPT)			
ソース・アドレス	SUM ビット	DUM ビット	図
固定	00	00	図 A-1
	00	01	図 A-2
	00	10	図 A-3
	00	11	図 A-4
インクリメント	01	00	図 A-5
	01	01	図 A-6
	01	10	図 A-7
	01	11	図 A-8
デクリメント	10	00	図 A-9
	10	01	図 A-10
	10	10	図 A-11
	10	11	図 A-12
インデックス	11	00	図 A-13
	11	01	図 A-14
	11	10	図 A-15
	11	11	図 A-16

図 A-1. エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20000000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

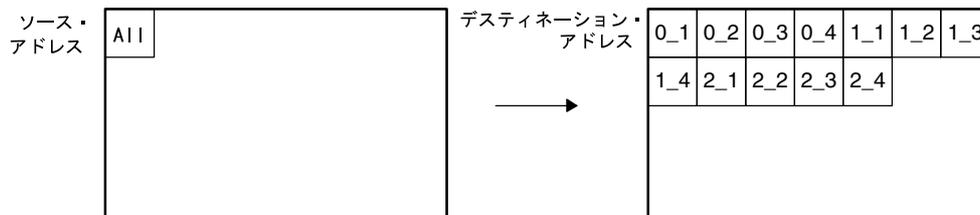
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	00	0	00	0	0000			
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12							2	1	0
0	00	000 0000 0000						0	0			
Rsvd	TCCM [†]	Reserved						LINK	FS			

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-2. エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
20200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
0004h Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

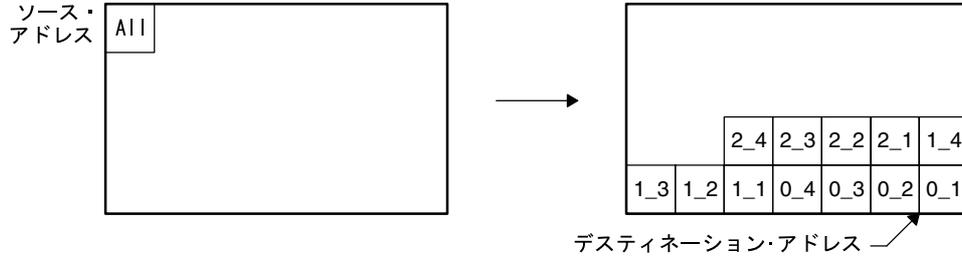
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12			2	1	0				
0	00	000 0000 0000				0	0					
Rsvd	TCCM†	Reserved				LINK	FS					

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-3. エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

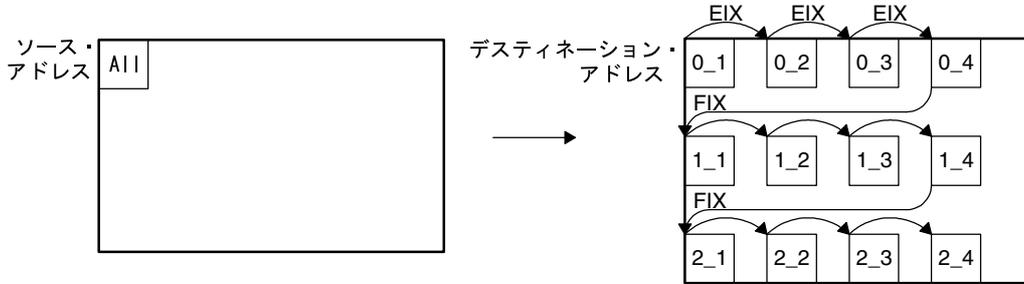
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-4. エレメント同期 1D-to-1D 転送 (SUM = 00、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20600000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

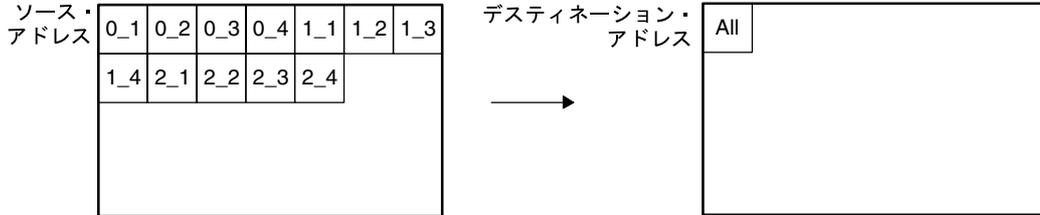
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-5. エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
21000000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
0004h Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

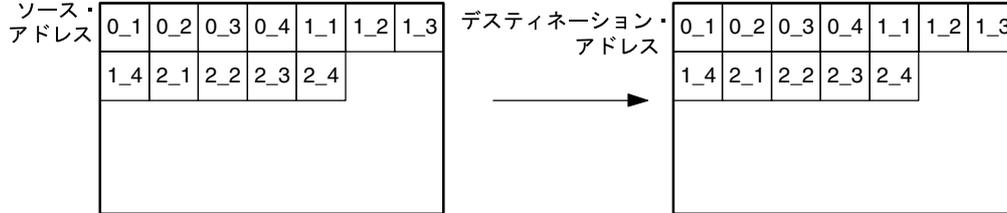
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	00	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-6. エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
21200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
0004h Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

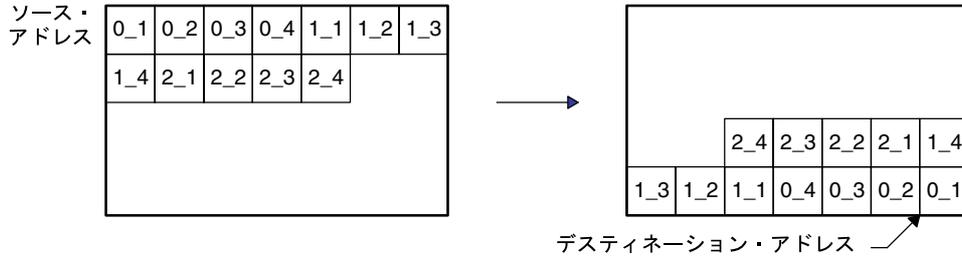
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-7. エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
21400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

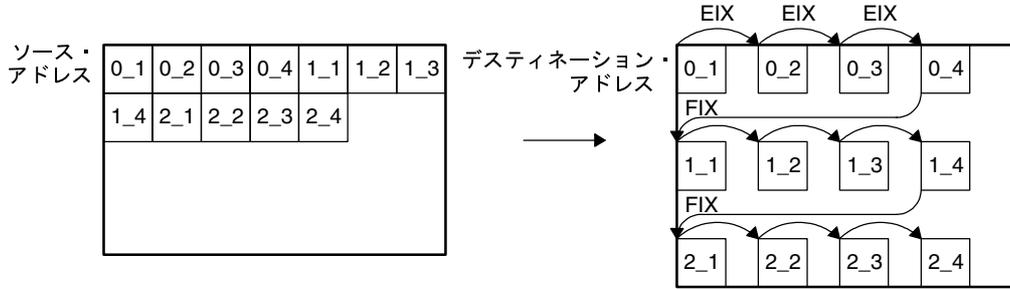
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16	
001	00	0	01	0	10	0	0000						
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					0	0					
Rsvd	TCCM [†]	Reserved					LINK	FS					

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-8. エレメント同期 1D-to-1D 転送 (SUM = 01、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
21600000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EDMA チャンネル・インデックス (IDX)
EIX (エレメント・インデックス)	
0004h Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

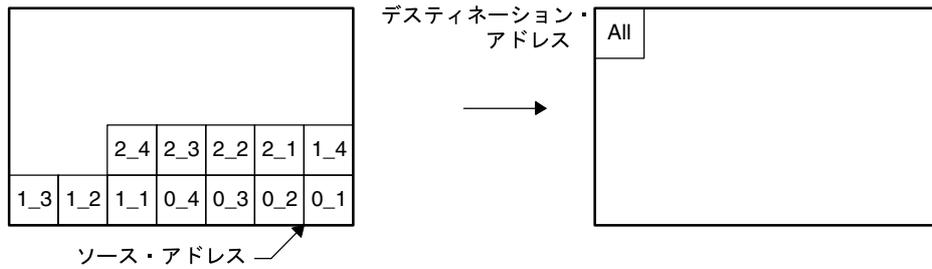
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-9. エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
22000000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
0004h Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

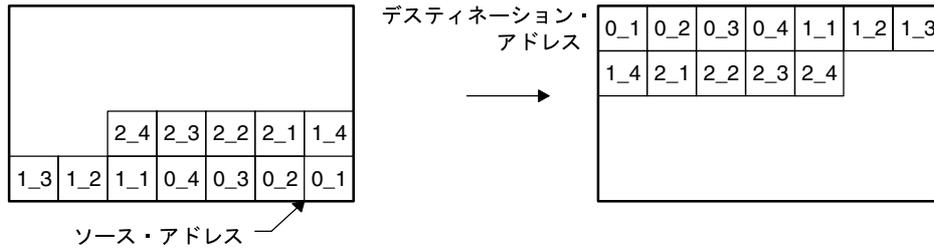
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	00	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	0								
Rsvd	TCCM†	Reserved	LINK	FS								

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-10. エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
22200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
0004h Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

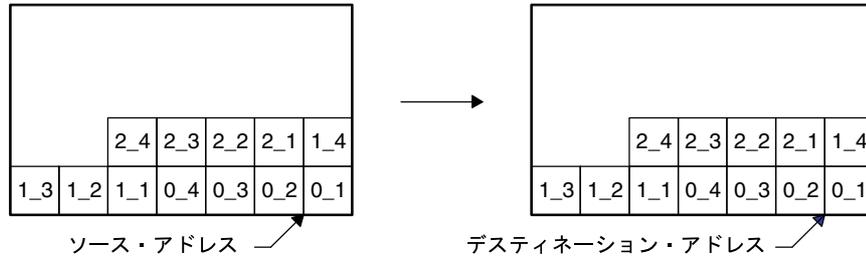
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12							2	1	0
0	00	000 0000 0000						0	0			
Rsvd	TCCM [†]	Reserved						LINK	FS			

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-11. エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
22400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

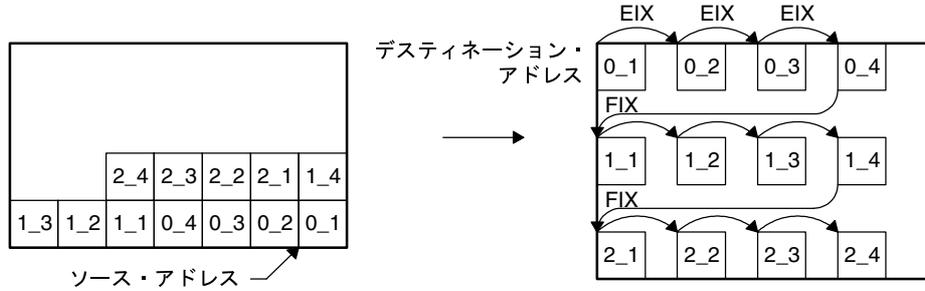
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-12. エレメント同期 1D-to-1D 転送 (SUM = 10、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
22600000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EDMA チャンネル・インデックス (IDX)
EIX (エレメント・インデックス)	
0004h Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

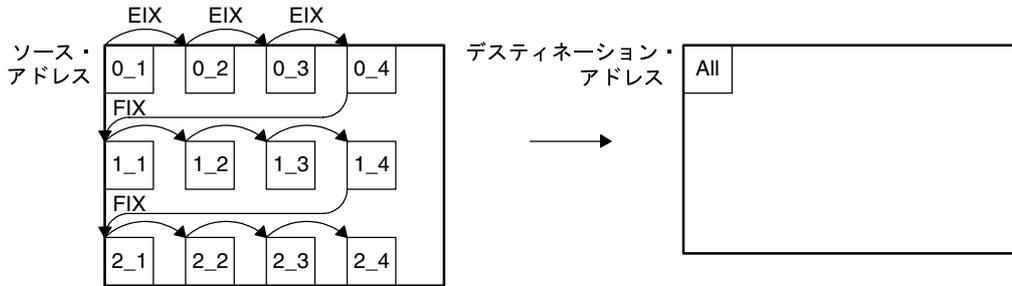
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	000 0000 0000				2	1	0		
0	00	Reserved				LINK		FS				
Rsvd	TCCM†	Reserved				LINK		FS				

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-13. エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23000000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

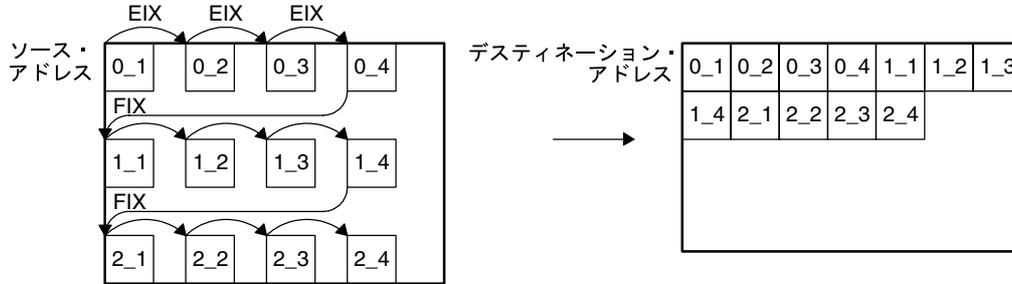
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	00	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-14. エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
23200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EDMA チャンネル・インデックス (IDX)
EIX (エレメント・インデックス)	
0004h Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

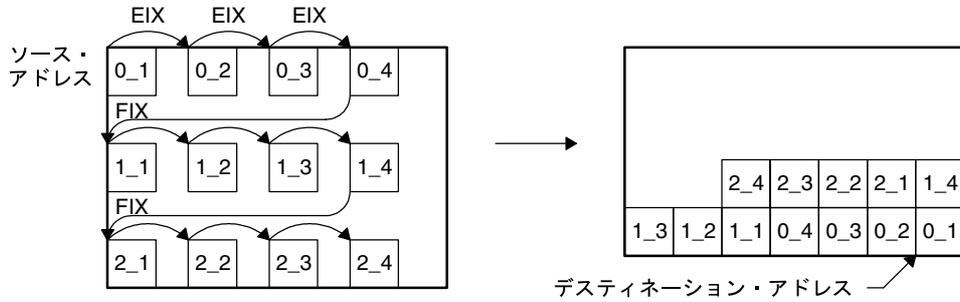
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	0								
Rsvd	TCCM†	Reserved	LINK	FS								

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-15. エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

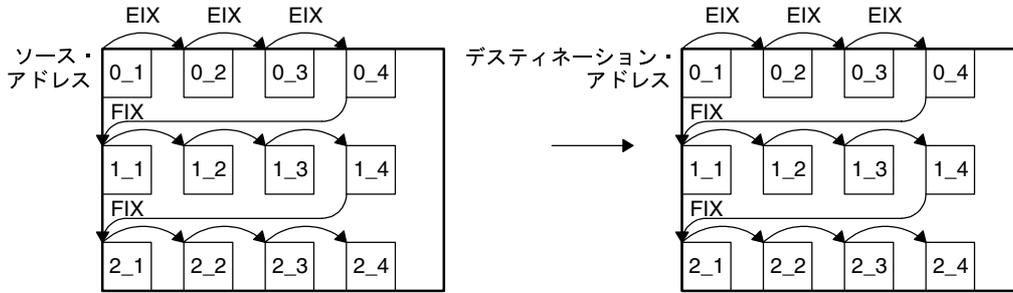
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12							2	1	0
0	00	000 0000 0000						0	0			
Rsvd	TCCM [†]	Reserved						LINK	FS			

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-16. エレメント同期 1D-to-1D 転送 (SUM = 11、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23600000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
0004h	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12							2	1	0
0	00	000 0000 0000						0	0			
Rsvd	TCCM†	Reserved						LINK	FS			

† C621x/C671x DSP では、TCCM は予約済みです。

A.2 フレーム同期 1D-to-1D 転送

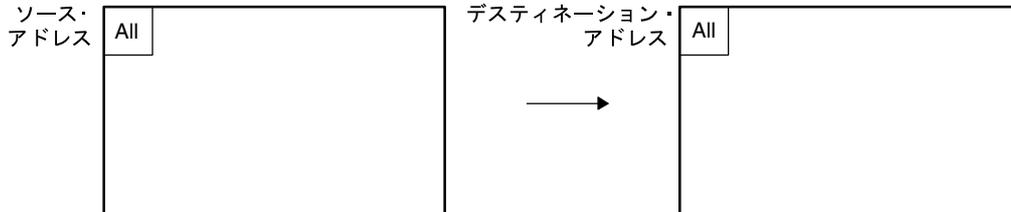
フレーム同期 (FS = 0) を使用した、1D-to-1D 転送 (2DS = 2DD = 1) の内容を必要なパラメータとともに表 A-2 および図 A-17 ~ 図 A-32 に示します。それぞれでは、同期イベントごとに複数エレメントからなるフレーム全体が転送されます。

表 A-2. フレーム同期 (FS = 1) 1D-to-1D 転送

チャンネル・オプション・パラメータ (OPT)			
ソース・アドレス	SUM ビット	DUM ビット	図
固定	00	00	図 A-17
	00	01	図 A-18
	00	10	図 A-19
	00	11	図 A-20
インクリメント	01	00	図 A-21
	01	01	図 A-22
	01	10	図 A-23
	01	11	図 A-24
デクリメント	10	00	図 A-25
	10	01	図 A-26
	10	10	図 A-27
	10	11	図 A-28
インデックス	11	00	図 A-29
	11	01	図 A-30
	11	10	図 A-31
	11	11	図 A-32

図 A-17. フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20000001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

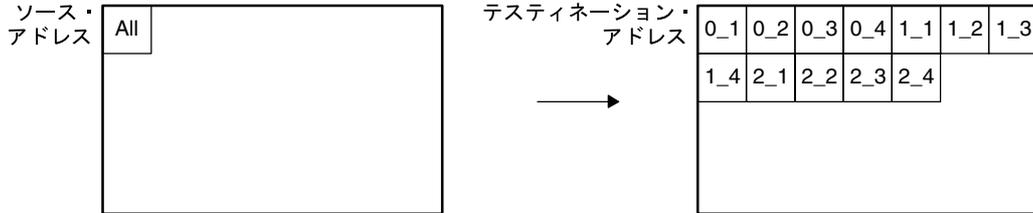
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	00	0	00	0	0000			
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12						2	1	0	
0	00	000 0000 0000						0	1			
Rsvd	TCCM†	Reserved						LINK	FS			

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-18. フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20200001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

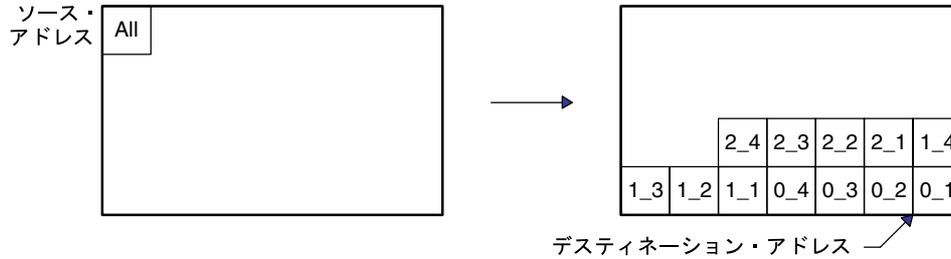
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	000 0000 0000				2	1	0		
0	00	Reserved				LINK	FS					
Rsvd	TCCM [†]	Reserved				LINK	FS					

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-19. フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

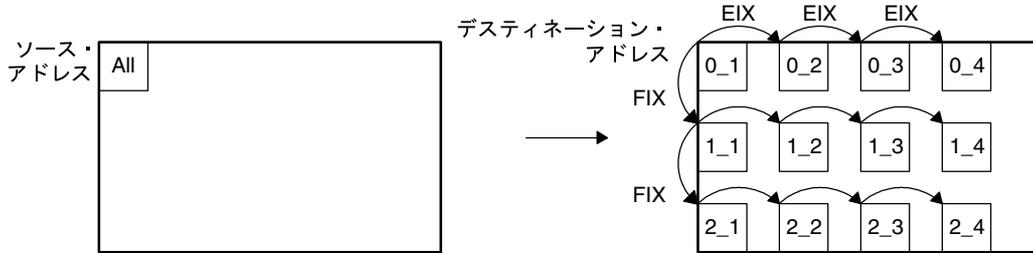
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	00	0	10	0	0000			
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12							2	1	0
0	00	000 0000 0000						0	1			
Rsvd	TCCM [†]	Reserved						LINK	FS			

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-20. フレーム同期 1D-to-1D 転送 (SUM = 00、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
20600001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

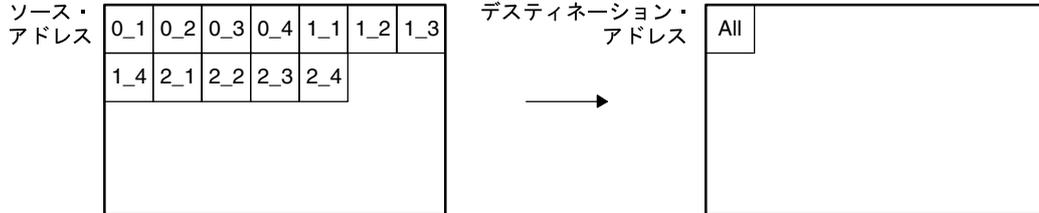
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	00	0	00	0	11	0	0000			
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12						2	1	0	
0	00	000 0000 0000						0	1			
Rsvd	TCCM [†]	Reserved						LINK	FS			

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-21. フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
21000001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

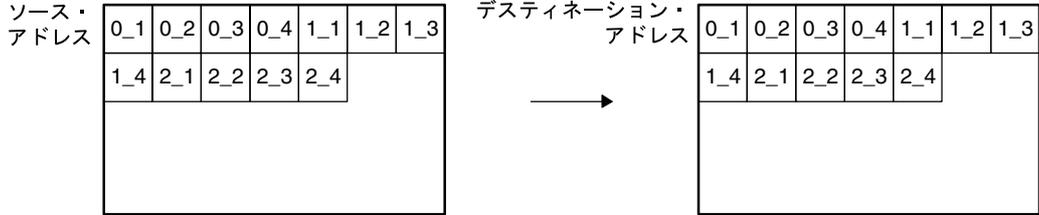
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16	
001	00	0	01	0	00	0	0000						
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					0	1					
Rsvd	TCCM†	Reserved					LINK	FS					

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-22. フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
21200001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

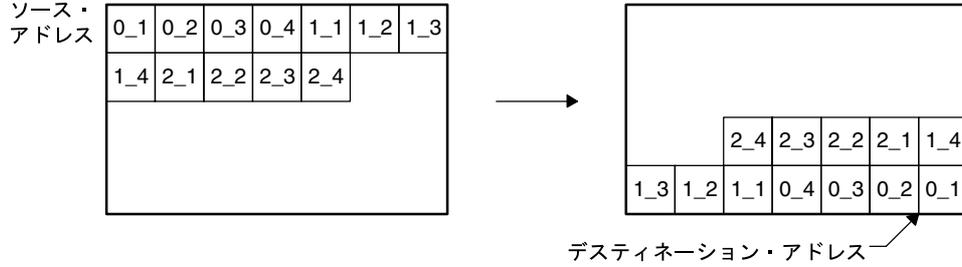
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-23. フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
21400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

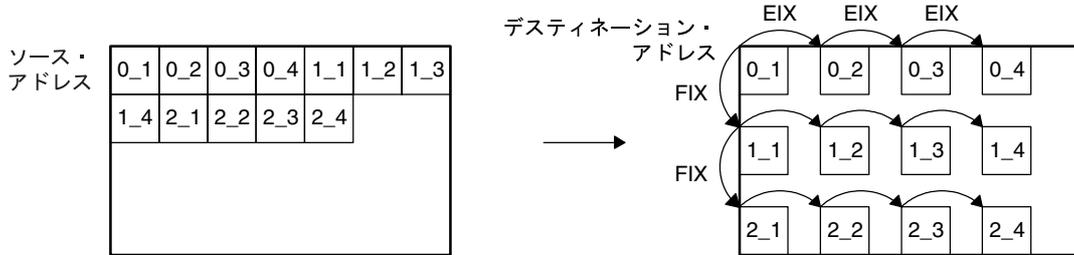
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-24. フレーム同期 1D-to-1D 転送 (SUM = 01、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
21600001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

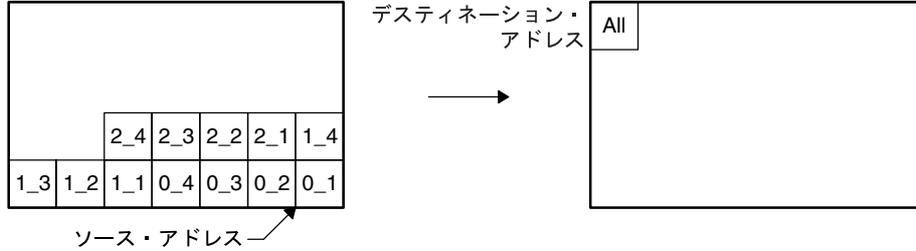
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	01	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-25. フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
22000001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

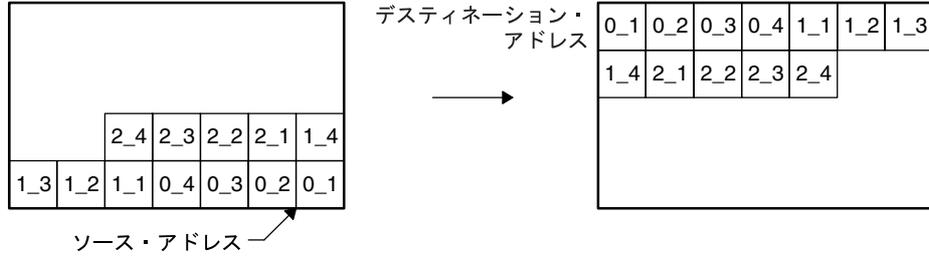
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	00	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-26. フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
22200001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

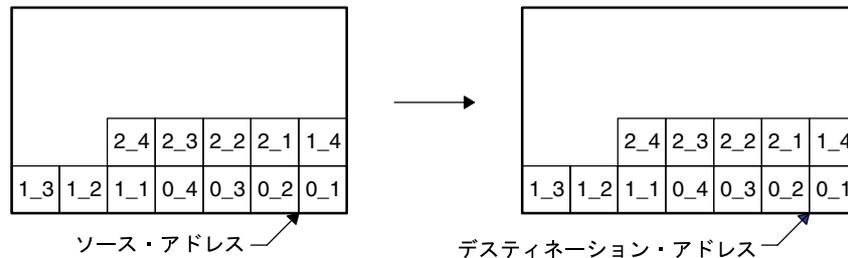
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-27. フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
22400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

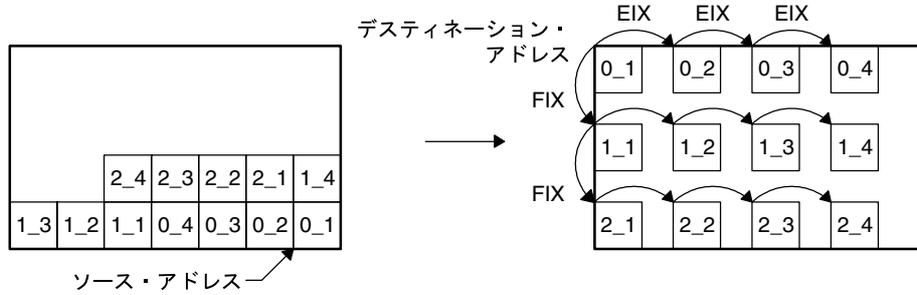
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-28. フレーム同期 1D-to-1D 転送 (SUM = 10、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
22600001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

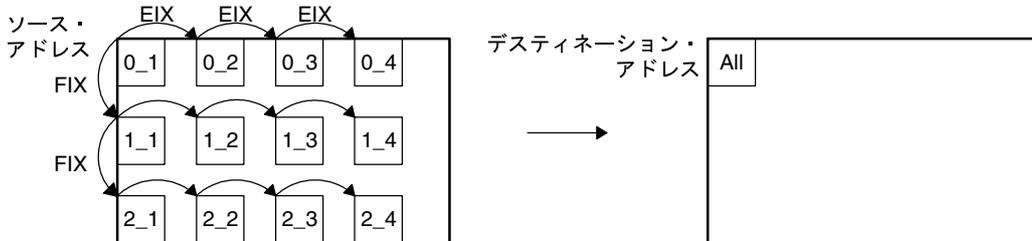
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	10	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	000 0000 0000				2	1	0		
0	00	Reserved				LINK	FS					
Rsvd	TCCM [†]	Reserved				LINK	FS					

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-29. フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23000001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

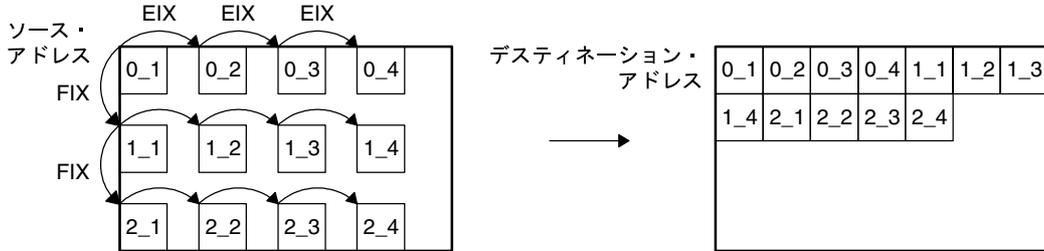
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	00	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [†]	Reserved					LINK	FS				

[†] C621x/C671x DSP では、TCCM は予約済みです。

図 A-30. フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23200001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

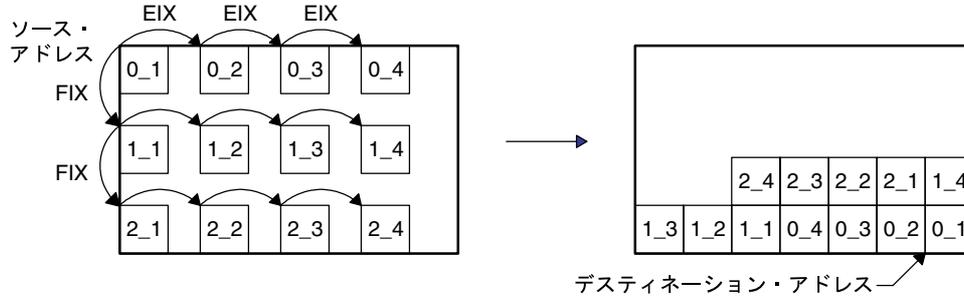
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	01	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-31. フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

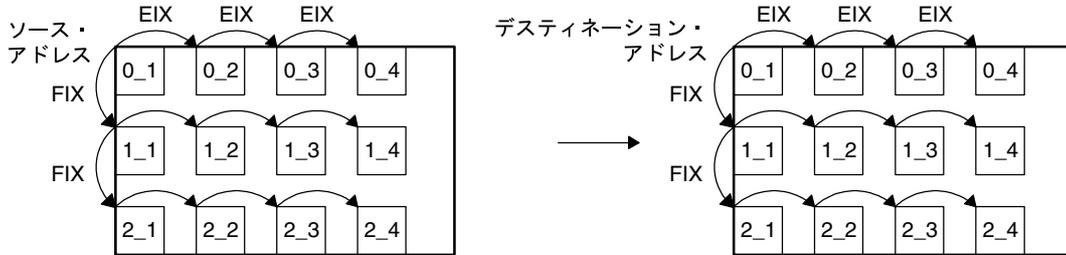
(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	10	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約済みです。

図 A-32. フレーム同期 1D-to-1D 転送 (SUM = 11、DUM = 11)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
23600001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
FIX (フレーム・インデックス)	EIX (エレメント・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
001	00	0	11	0	11	0	0000					
PRI	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM†	Reserved					LINK	FS				

† C621x/C671x DSP では、TCCM は予約済みです。

A.3 アレイ同期 2D-to-2D 転送

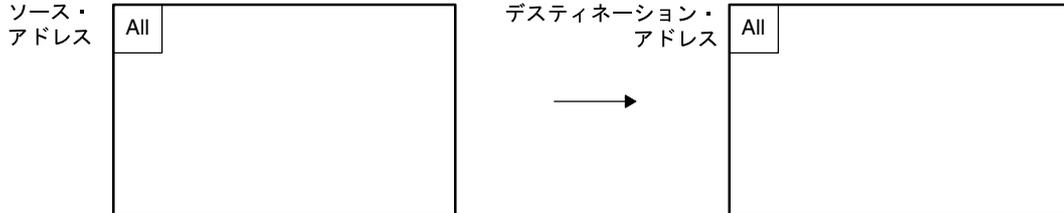
アレイ同期 (FS = 1) を使用した、2D-to-2D 転送 (2DS = 2DD = 0) の内容を必要なパラメータとともに表 A-3 および図 A-33 ~ 図 A-41 に示します。それぞれでは、同期イベントごとに複数エレメントからなる 1 アレイが転送されます。

表 A-3. アレイ同期 (FS = 0) 2D-to-2D 転送

ソース・アドレス	チャンネル・オプション・パラメータ (OPT)		図
	SUM ビット	DUM ビット	
固定	00	00	図 A-33
	00	01	図 A-34
	00	10	図 A-35
インクリメント	01	00	図 A-36
	01	01	図 A-37
	01	10	図 A-38
デクリメント	10	00	図 A-39
	10	01	図 A-40
	10	10	図 A-41

図 A-33. アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44800000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

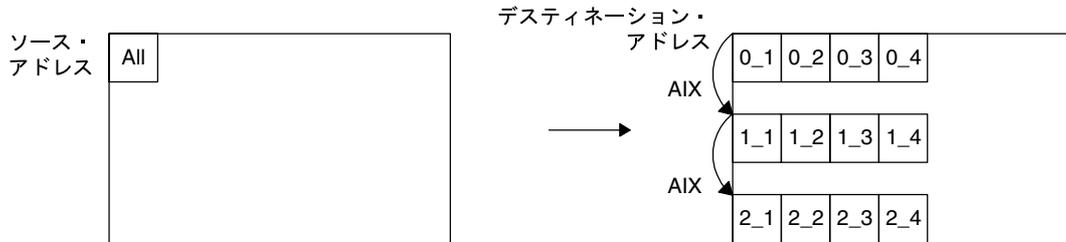
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-34. アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44A00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

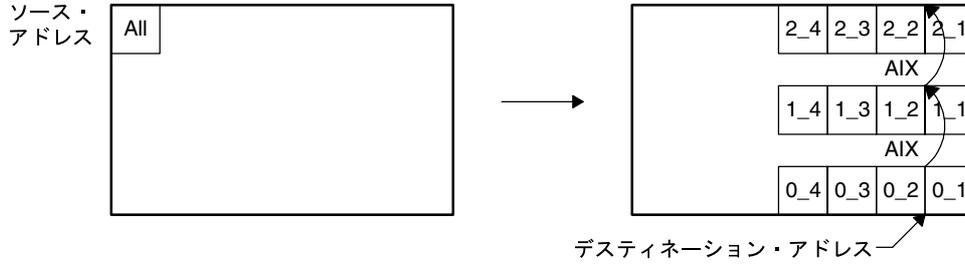
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-35. アレイ同期 2D-to-2D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44C00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

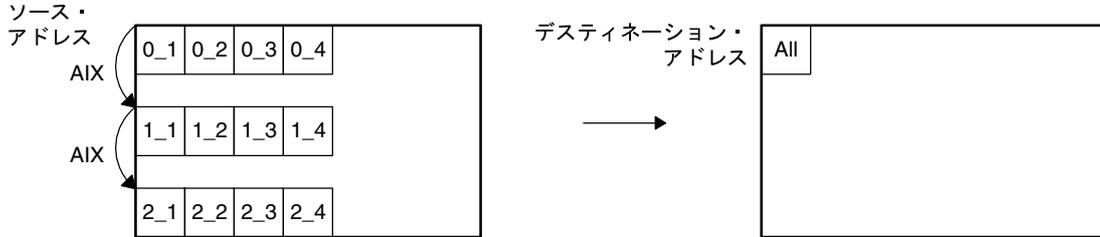
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-36. アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45800000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)
Don't care	Don't care

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

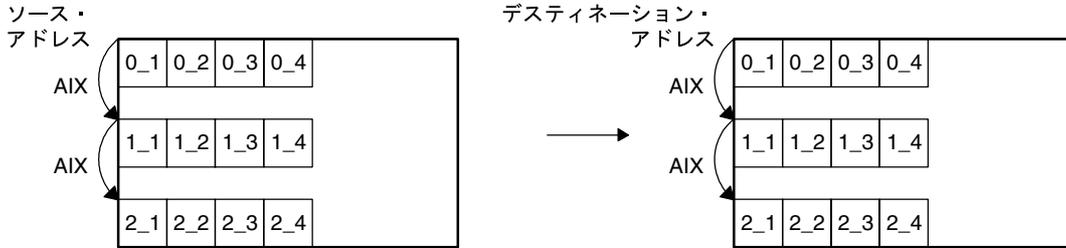
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	0								
Rsvd	TCCM [‡]	Reserved	LINK	FS								

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-37. アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
45A00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

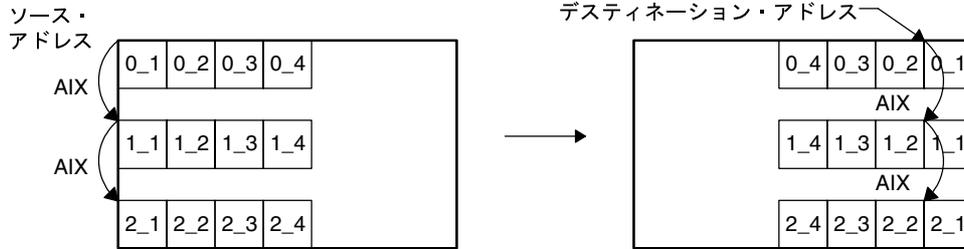
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-38. アレイ同期 2D-to-2D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
45C00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

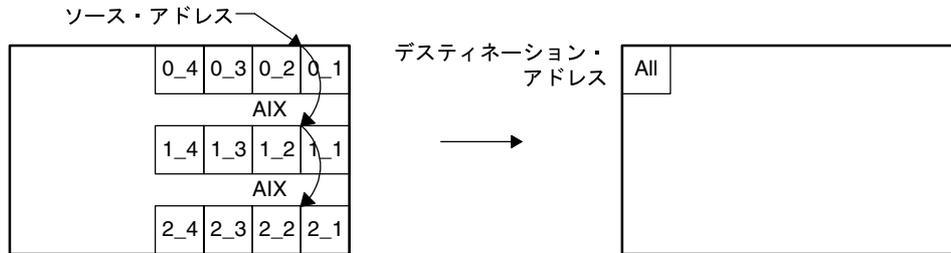
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-39. アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46800000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

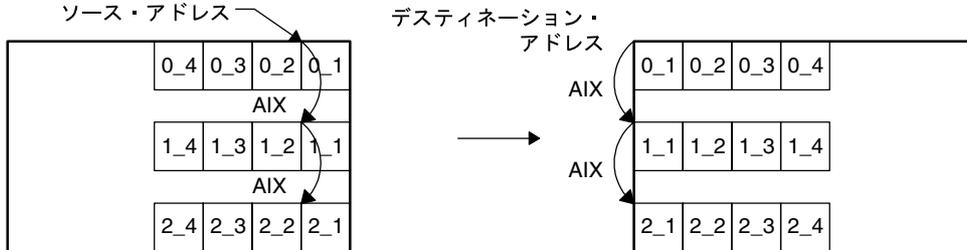
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-40. アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46A00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

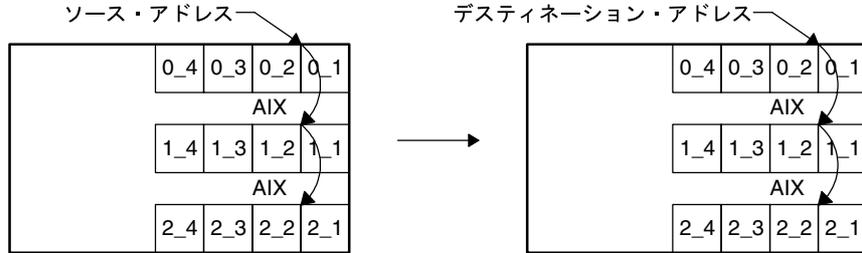
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00				000 0000 0000			0	0			
Rsvd	TCCM [‡]				Reserved			LINK	FS			

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-41. アレイ同期 2D-to-2D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46C00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

A.4 ブロック同期 2D-to-2D 転送

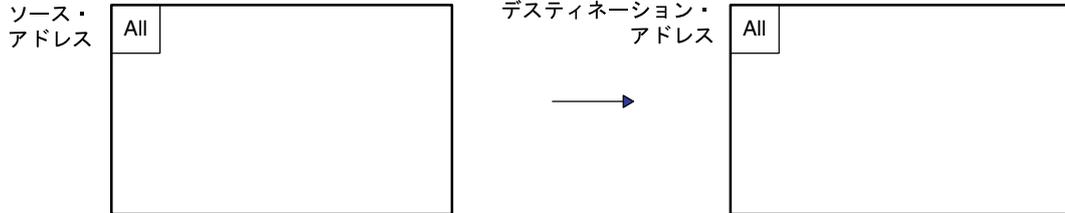
ブロック同期 (FS = 1) を使用した、2D-to-2D 転送 (2DS = 2DD = 1) の内容を必要なパラメータとともに表 A-4 および図 A-42 ~ 図 A-50 に示します。それぞれでは、同期イベントごとに複数アレイからなるブロック全体が転送されます。

表 A-4. ブロック同期 (FS = 1) 2D-to-2D 転送

チャンネル・オプション・パラメータ (OPT)			
ソース・アドレス	SUM ビット	DUM ビット	図
固定	00	00	図 A-42
	00	01	図 A-43
	00	10	図 A-44
インクリメント	01	00	図 A-45
	01	01	図 A-46
	01	10	図 A-47
デクリメント	10	00	図 A-48
	10	01	図 A-49
	10	10	図 A-50

図 A-42. ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44800001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

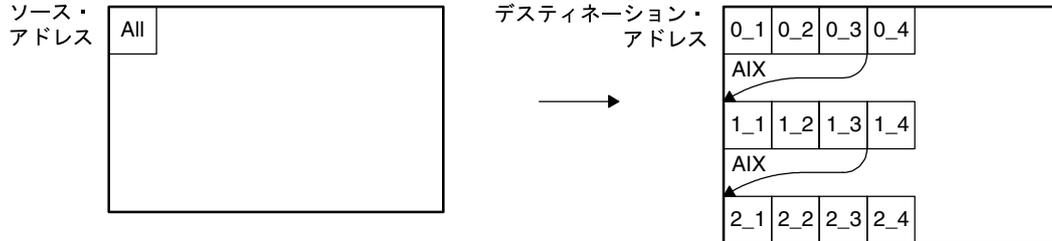
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-43. ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
44A00001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

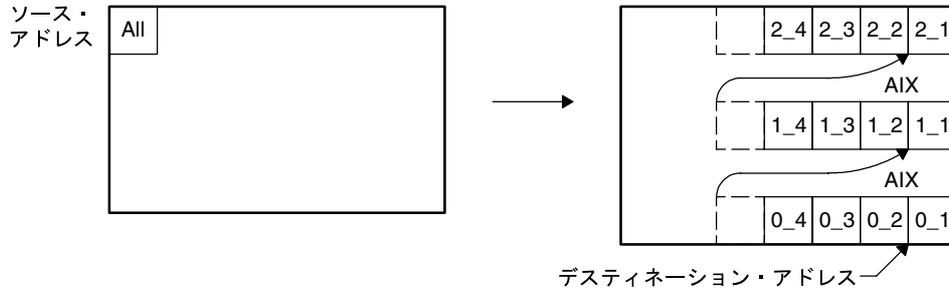
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	01	0	0000					
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]		Reserved				LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-44. ブロック同期 2D-to-2D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

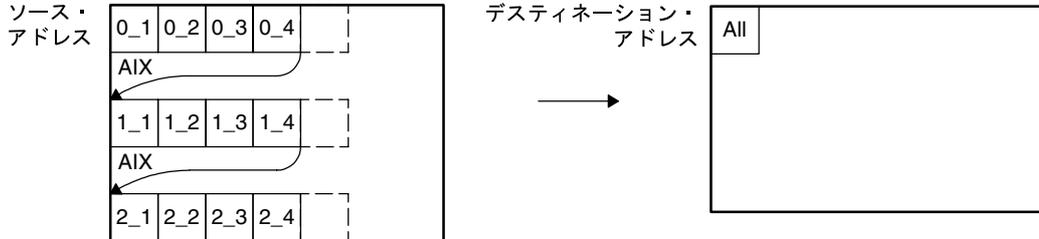
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	1	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-45. ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45800001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

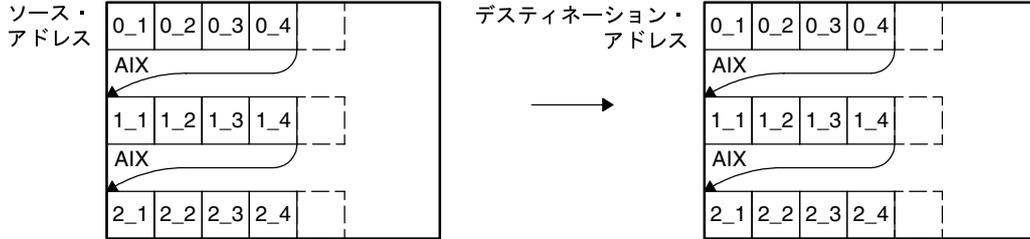
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-46. ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45A00001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

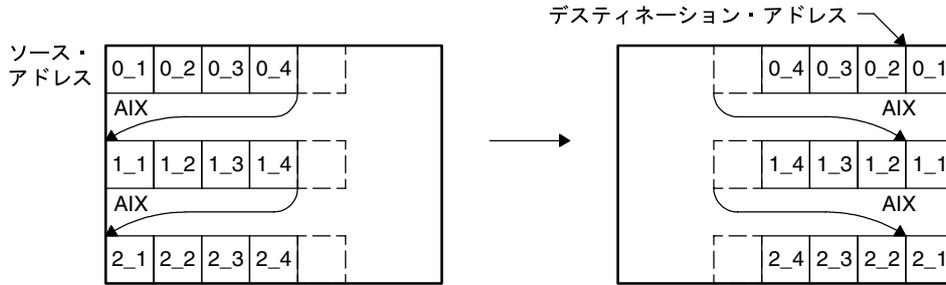
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-47. ブロック同期 2D-to-2D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
45C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

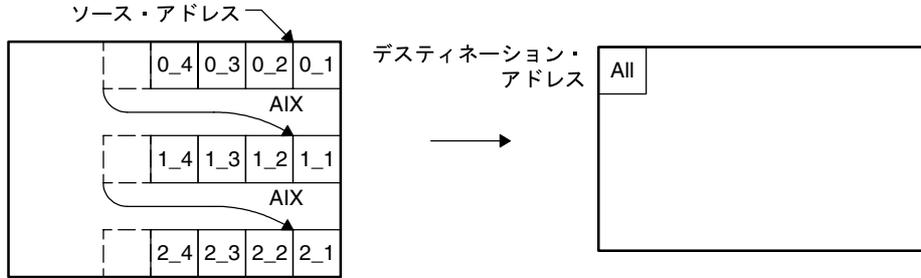
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	1	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-48. ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46800001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

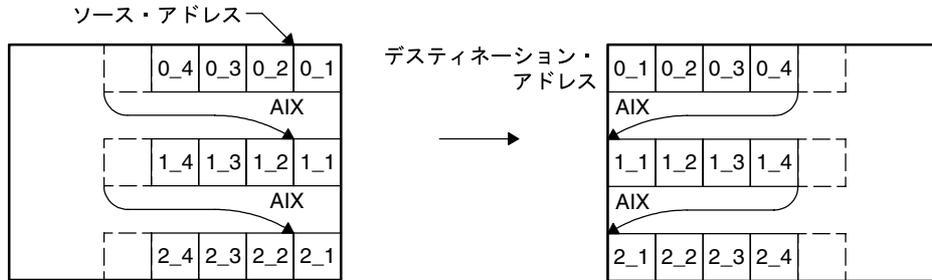
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-49. ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46A00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

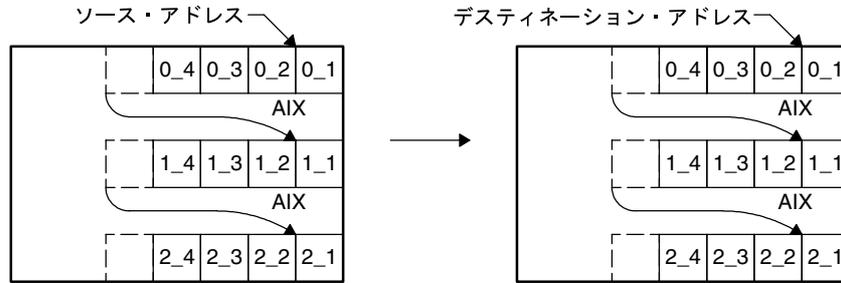
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-50. ブロック同期 2D-to-2D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	1	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

A.5 アレイ同期 1D-to-2D 転送

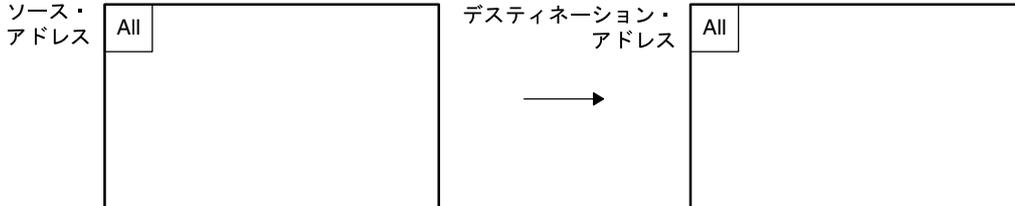
アレイ同期 (FS = 1) を使用した、1D-to-2D 転送 (2DS = 0、2DD = 1) の内容を必要なパラメータとともに表 A-5 および図 A-51 ~ 図 A-59 に示します。それぞれでは、同期イベントごとに複数エレメントからなる 1 アレイが転送されます。

表 A-5. アレイ同期 (FS = 0) 1D-to-2D 転送

チャンネル・オプション・パラメータ (OPT)			
ソース・アドレス	SUM ビット	DUM ビット	図
固定	00	00	図 A-51
	00	01	図 A-52
	00	10	図 A-53
インクリメント	01	00	図 A-54
	01	01	図 A-55
	01	10	図 A-56
デクリメント	10	00	図 A-57
	10	01	図 A-58
	10	10	図 A-59

図 A-51. アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
40800000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

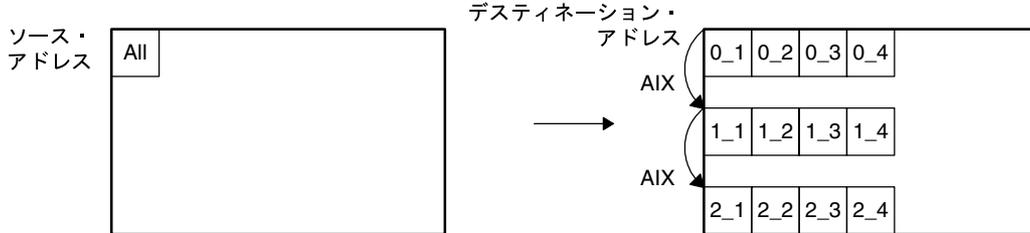
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	00	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-52. アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
40A00000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

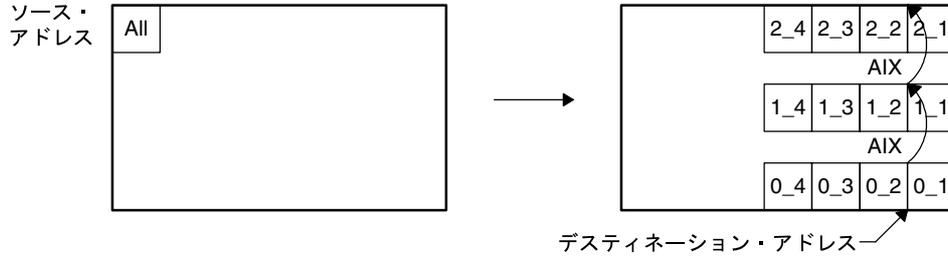
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	00	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-53. アレイ同期 1D-to-2D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
40C00000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)
Don't care	Don't care

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

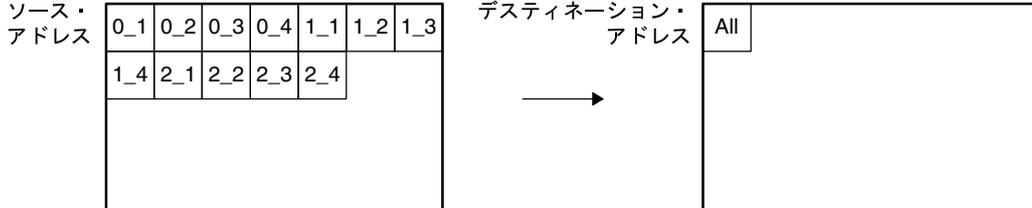
31	29	28	27	26	25	24	23	22	21	20	19	16	
010	00	0	00	1	10	0	0000						
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000						0	0				
Rsvd	TCCM‡	Reserved					LINK	FS					

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-54. アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
41800000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

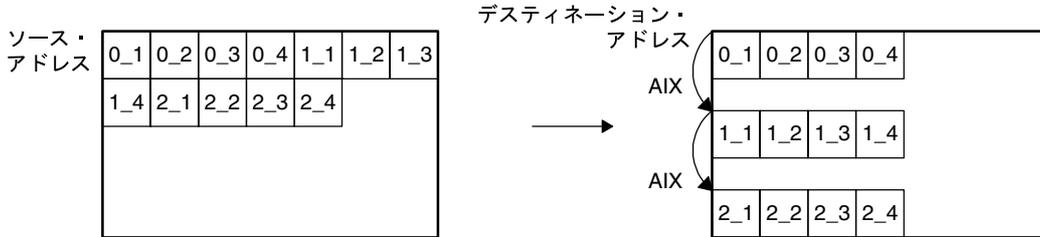
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-55. アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
41A00000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

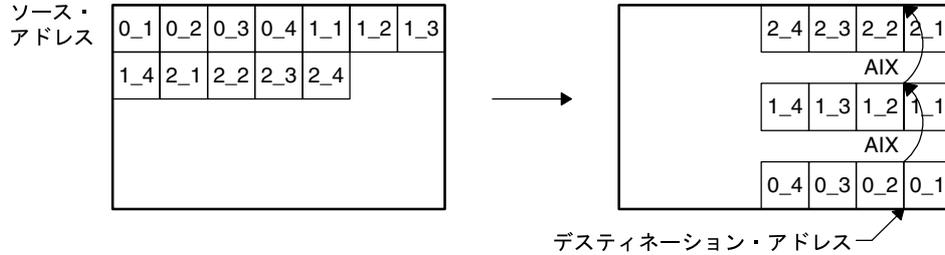
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	0								
Rsvd	TCCM [‡]	Reserved	LINK	FS								

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-56. アレイ同期 1D-to-2D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
41C00000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)
Don't care	Don't care

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

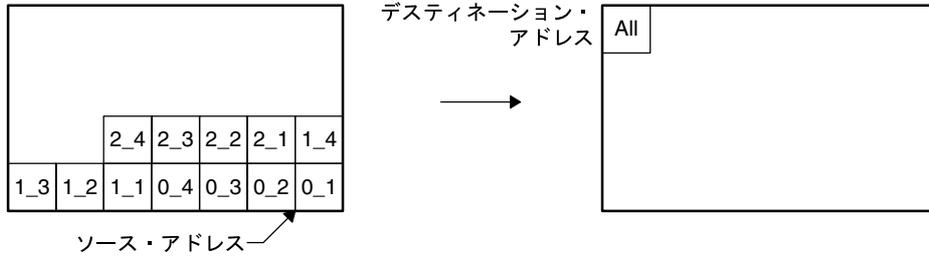
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000						0	0			
Rsvd	TCCM‡	Reserved						LINK	FS			

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-57. アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
42800000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

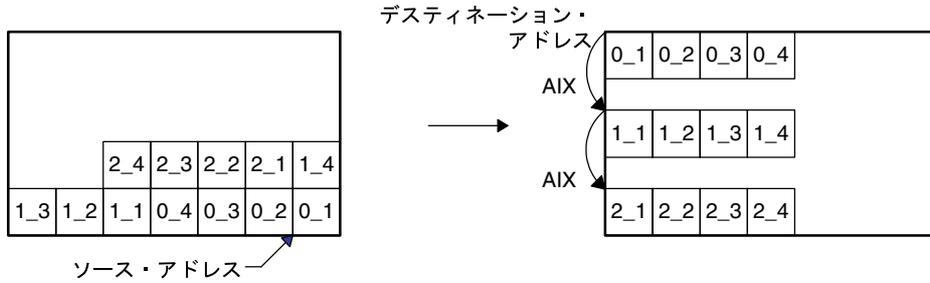
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	10	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-58. アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
42A00000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)
Don't care	Don't care

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

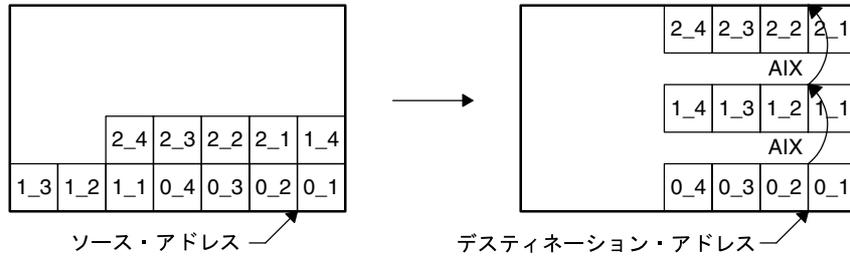
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	10	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00			000	0000	0000		0	0			
Rsvd	TCCM [‡]			Reserved				LINK	FS			

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-59. アレイ同期 1D-to-2D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
42C00000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	10	1	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

A.6 ブロック同期 1D-to-2D 転送

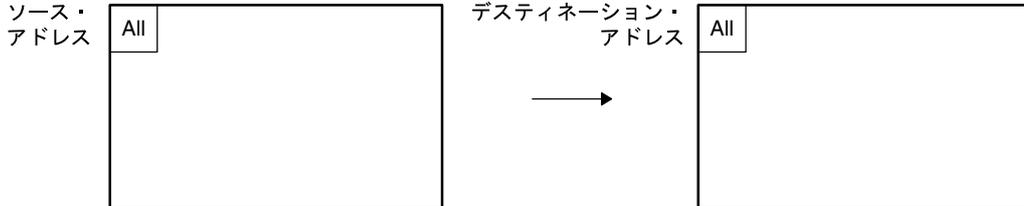
ブロック同期 (FS = 1) を使用した、1D-to-2D 転送 (2DS = 0、2DD = 1) の内容を必要なパラメータとともに表 A-6 および図 A-60 ~ 図 A-68 に示します。それぞれでは、同期イベントごとに複数アレイからなるブロック全体が転送されます。

表 A-6. ブロック同期 (FS = 1) 1D-to-2D 転送

ソース・アドレス	チャンネル・オプション・パラメータ (OPT)		
	SUM ビット	DUM ビット	図
固定	00	00	図 A-60
	00	01	図 A-61
	00	10	図 A-62
インクリメント	01	00	図 A-63
	01	01	図 A-64
	01	10	図 A-65
デクリメント	10	00	図 A-66
	10	01	図 A-67
	10	10	図 A-68

図 A-60. ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
40800001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

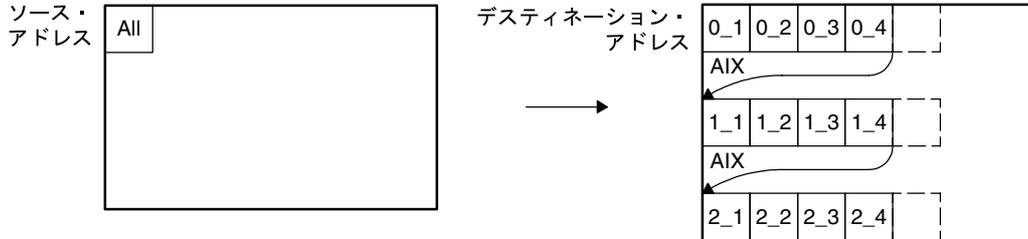
31	29	28	27	26	25	24	23	22	21	20	19	16	
010	00	0	00	1	00	0	0000						
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					0	1					
Rsvd	TCCM [‡]	Reserved					LINK	FS					

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-61. ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
40A00001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

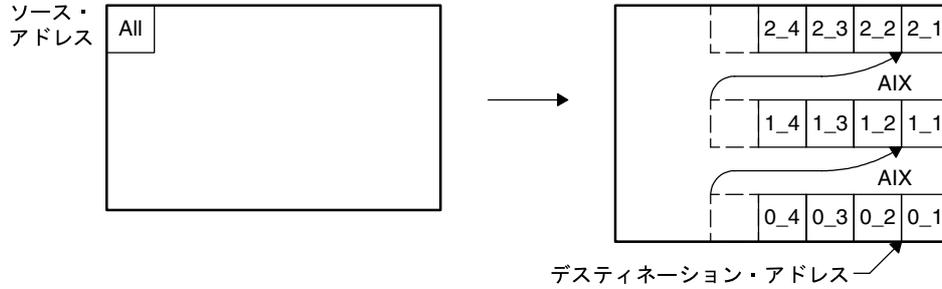
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	00	1	01	0	0000					
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12	000 0000 0000						2	1	0
0	00	Reserved						LINK	FS			

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-62. ブロック同期 1D-to-2D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
40C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

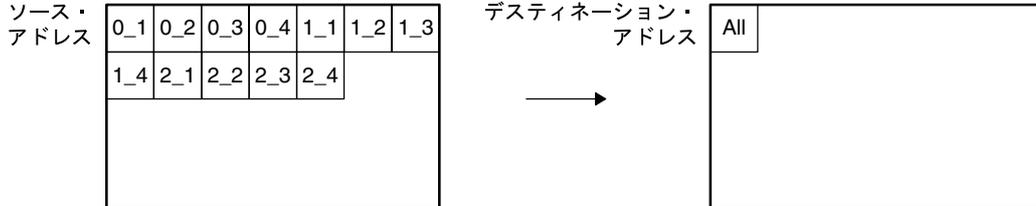
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	00	1	10	0	0000					
PRI †	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM ‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-63. ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
41800001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

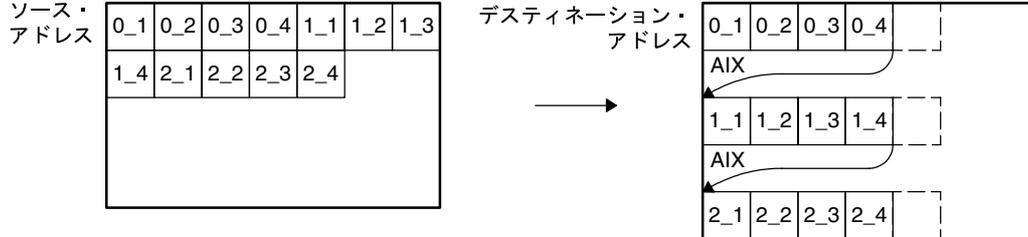
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-64. ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
41A00001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)
Don't care	Don't care

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

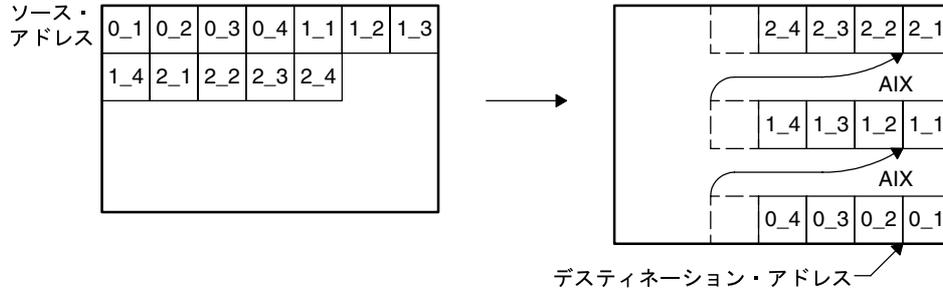
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-65. ブロック同期 1D-to-2D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
41C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

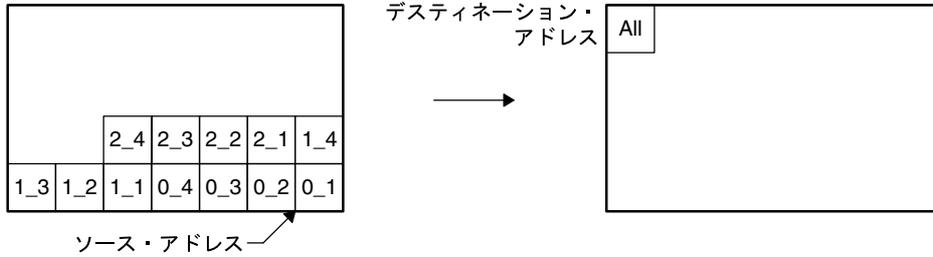
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	01	1	10	0	0000					
PRI †	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM ‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-66. ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
42800001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

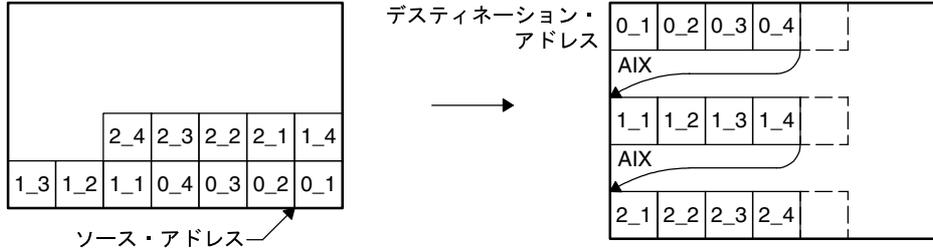
31	29	28	27	26	25	24	23	22	21	20	19	16	
010	00	0	10	1	00	0	0000						
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					0	1					
Rsvd	TCCM [‡]	Reserved					LINK	FS					

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-67. ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
42A00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

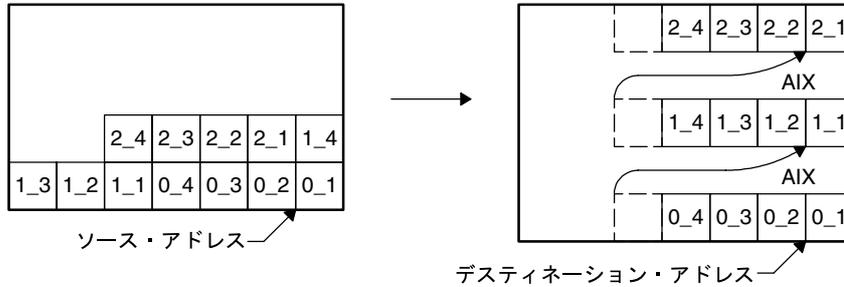
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	10	1	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-68. ブロック同期 1D-to-2D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
42C00001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	0	10	1	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

A.7 アレイ同期 2D-to-1D 転送

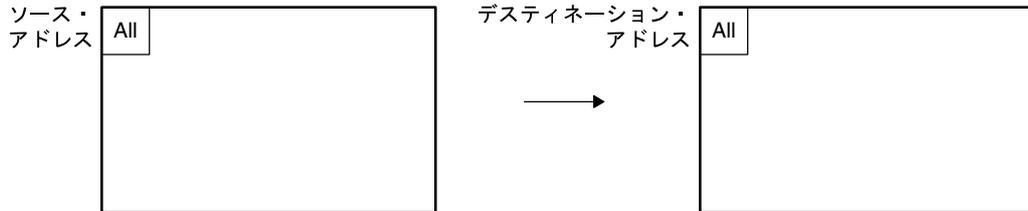
アレイ同期 (FS = 1) を使用した、2D-to-1D 転送 (2DS = 1、2DD = 0) の内容を必要なパラメータとともに表 A-7 および図 A-69 ~ 図 A-77 に示します。それぞれでは、同期イベントごとに複数エレメントからなる 1 アレイが転送されます。

表 A-7. アレイ同期 (FS = 0) 2D-to-1D 転送

チャンネル・オプション・パラメータ (OPT)			
ソース・アドレス	SUM ビット	DUM ビット	図
固定	00	00	図 A-69
	00	01	図 A-70
	00	10	図 A-71
インクリメント	01	00	図 A-72
	01	01	図 A-73
	01	10	図 A-74
デクリメント	10	00	図 A-75
	10	01	図 A-76
	10	10	図 A-77

図 A-69. アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44000000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

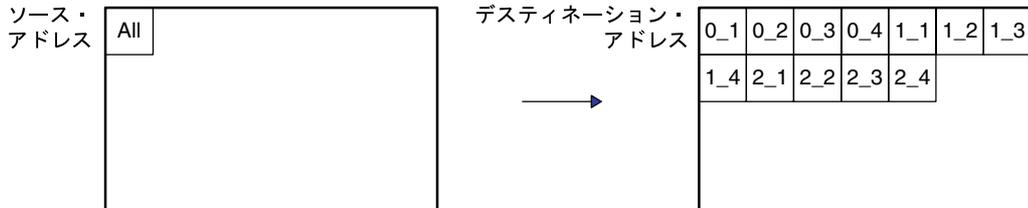
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	00	0	00	0	0000			
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-70. アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
44200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care Don't care	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

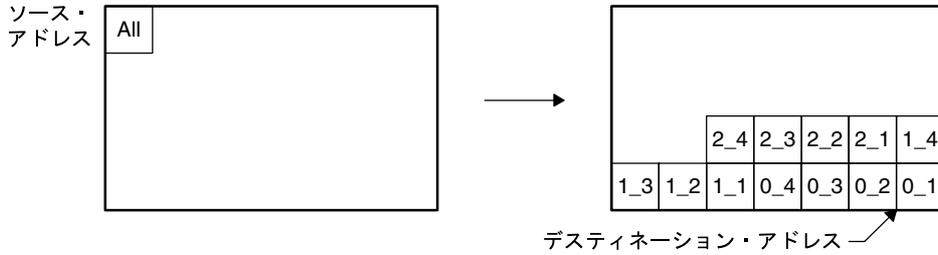
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	0								
Rsvd	TCCM [‡]	Reserved	LINK	FS								

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-71. アレイ同期 2D-to-1D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

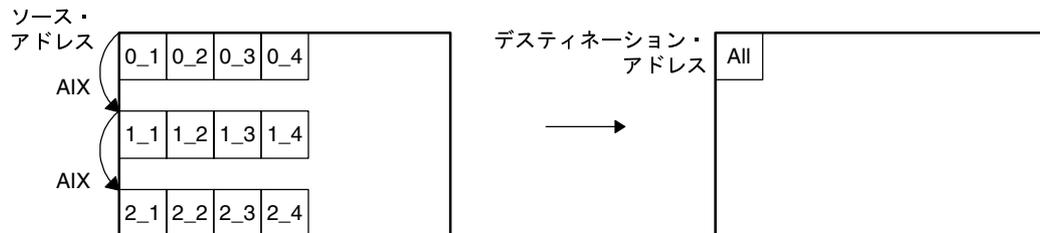
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-72. アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45000000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

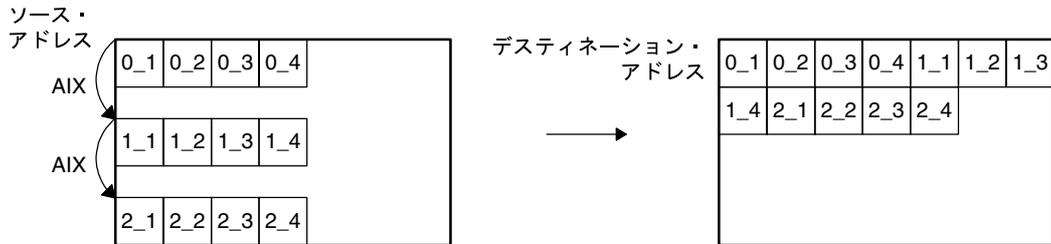
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-73. アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45200000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

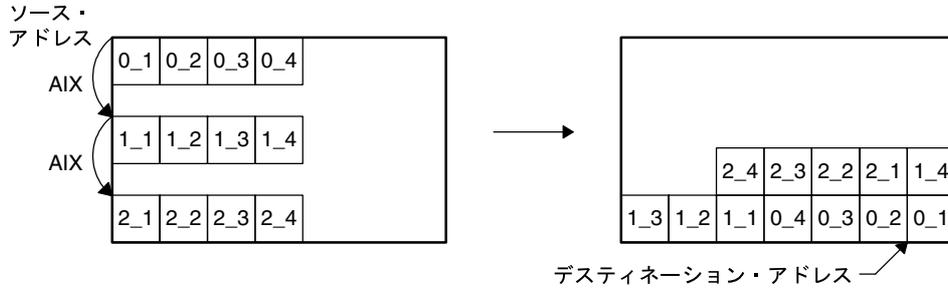
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-74. アレイ同期 2D-to-1D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45400000h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

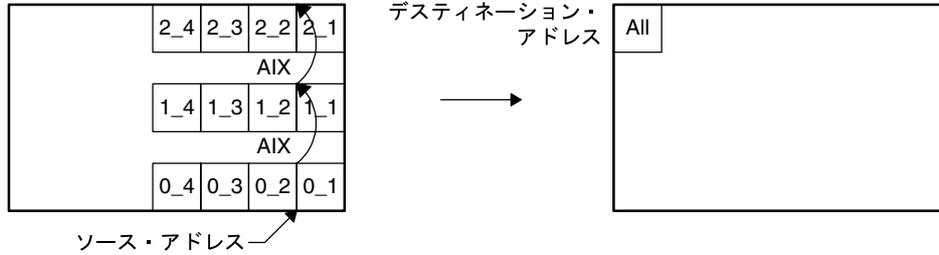
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-75. アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46000000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

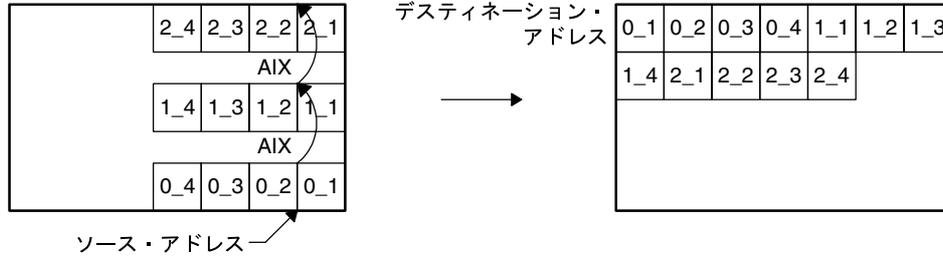
31	29	28	27	26	25	24	23	22	21	20	19	16	
010	00	1	10	0	00	0	0000						
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC						
15	14	13	12					2	1	0			
0	00	000 0000 0000					0	0					
Rsvd	TCCM‡	Reserved					LINK	FS					

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-76. アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46200000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

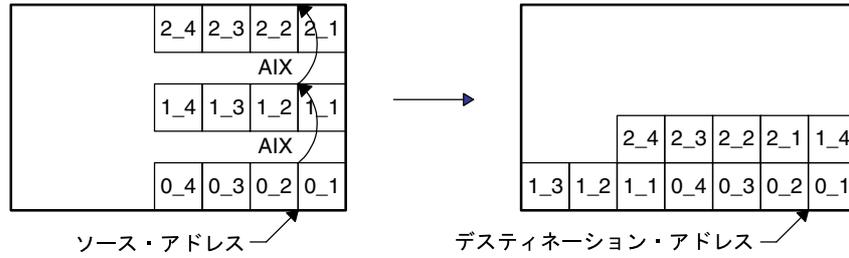
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	0	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-77. アレイ同期 2D-to-1D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46400000h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	0	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	0				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

A.8 ブロック同期 2D-to-1D 転送

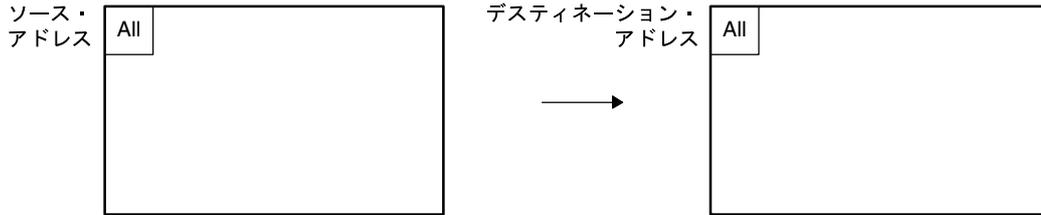
ブロック同期 (FS = 1) を使用した、2D-to-1D 転送 (2DS = 1、2DD = 1) の内容を必要なパラメータとともに表 A-8 および図 A-78 ~ 図 A-86 に示します。それぞれでは、同期イベントごとに複数アレイからなるブロック全体が転送されます。

表 A-8. ブロック同期 (FS = 1) 2D-to-1D 転送

ソース・アドレス	チャンネル・オプション・パラメータ (OPT)		図
	SUM ビット	DUM ビット	
固定	00	00	図 A-78
	00	01	図 A-79
	00	10	図 A-80
インクリメント	01	00	図 A-81
	01	01	図 A-82
	01	10	図 A-83
デクリメント	10	00	図 A-84
	10	01	図 A-85
	10	10	図 A-86

図 A-78. ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44000001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

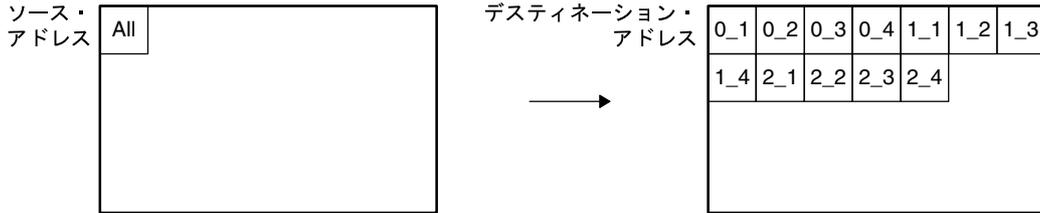
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	00	0	00	0	0000			
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12	000 0000 0000						2	1	0
0	00	Reserved						0	1			
Rsvd	TCCM [‡]								LINK	FS		

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-79. ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44200001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

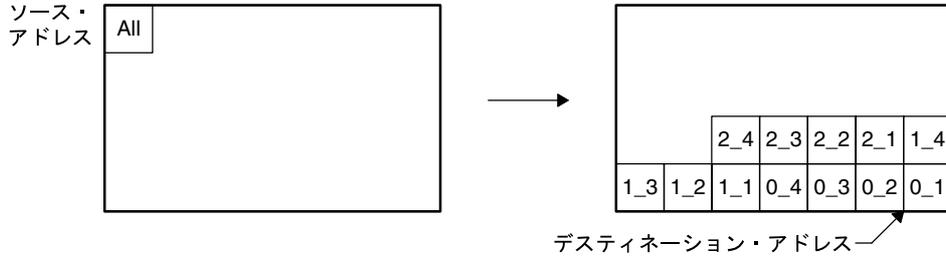
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000				0	1					
Rsvd	TCCM [‡]	Reserved				LINK	FS					

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-80. ブロック同期 2D-to-1D 転送 (SUM = 00、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
44400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
Don't care	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウンタ・リロード / リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

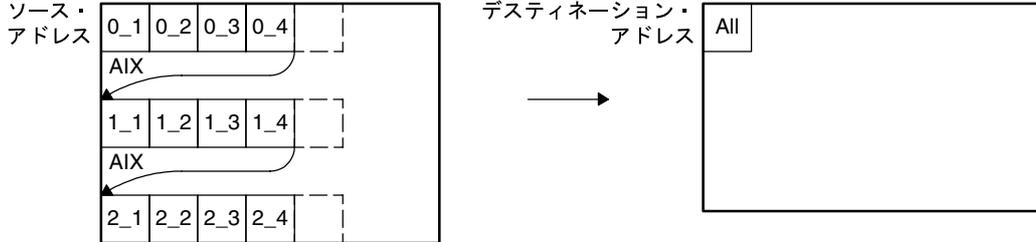
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	00	0	10	0	0000					
PRI [†]	ESIZE		2DS	SUM	2DD	DUM	TCINT	TCC				
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd		TCCM [‡]		Reserved				LINK		FS		

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-81. ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45000001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

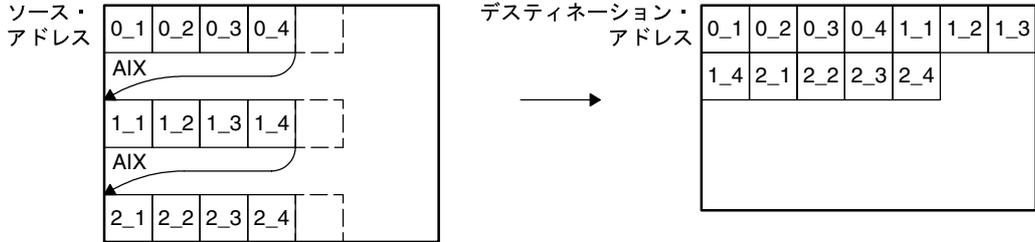
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	00	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	1								
Rsvd	TCCM [‡]	Reserved	LINK	FS								

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-82. ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容	パラメータ
45200001h	EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス	EDMA チャンネル・ソース・アドレス (SRC)
0002h 0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス	EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)
Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

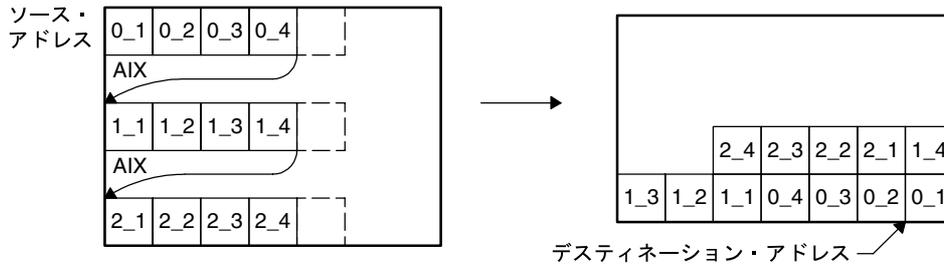
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	01	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12	2	1	0						
0	00	000 0000 0000	0	1								
Rsvd	TCCM [‡]	Reserved	LINK	FS								

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-83. ブロック同期 2D-to-1D 転送 (SUM = 01、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
45400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス)	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

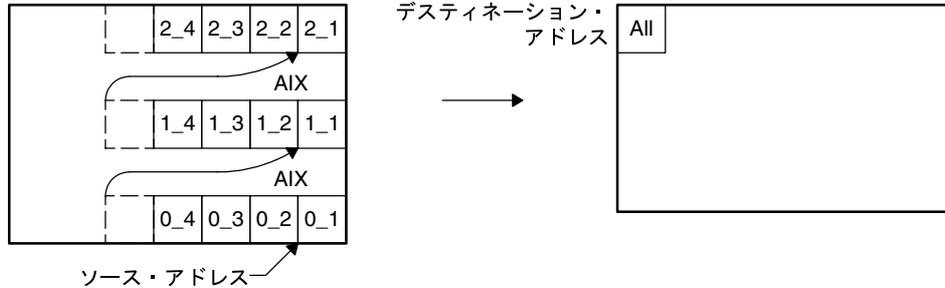
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	01	0	10	0	0000					
PRI [†]	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM [‡]	Reserved					LINK	FS				

[†] ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

[‡] C621x/C671x DSP では、TCCM は予約済みです。

図 A-84. ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 00)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46000001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウンタ (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウンタ・リロード/ リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

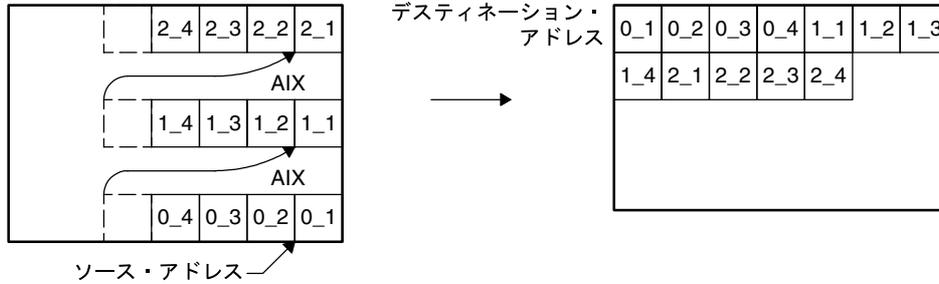
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	0	00	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-85. ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 01)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46200001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード/ リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

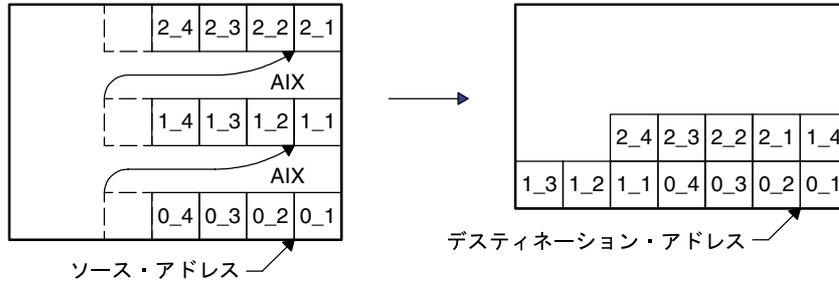
31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	0	01	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12				2	1	0			
0	00	000 0000 0000					0	1				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

図 A-86. ブロック同期 2D-to-1D 転送 (SUM = 10、DUM = 10)

(a) 転送パス



(b) EDMA パラメータ

パラメータ内容		パラメータ
46400001h		EDMA チャンネル・オプション・パラメータ (OPT)
ソース・アドレス		EDMA チャンネル・ソース・アドレス (SRC)
0002h	0004h	EDMA チャンネル・トランスファー・カウント (CNT)
デスティネーション・アドレス		EDMA チャンネル・デスティネーション・アドレス (DST)
AIX (アレイ・インデックス) †	Don't care	EDMA チャンネル・インデックス (IDX)
Don't care	Don't care	EDMA チャンネル・カウント・リロード / リンク・アドレス (RLD)

† この例では、AIX は負の値です。

(c) EDMA チャンネル・オプション・パラメータ (OPT) 内容

31	29	28	27	26	25	24	23	22	21	20	19	16
010	00	1	10	0	10	0	0000					
PRI†	ESIZE	2DS	SUM	2DD	DUM	TCINT	TCC					
15	14	13	12					2	1	0		
0	00	000 0000 0000					0	1				
Rsvd	TCCM‡	Reserved					LINK	FS				

† ロー・プライオリティのバックグラウンド転送を選択するために、PRI は C621x/C671x DSP の場合 010b に、C64x DSP の場合 011b にそれぞれセットされています。

‡ C621x/C671x DSP では、TCCM は予約済みです。

数字

- 1 次元転送
 - エレメント同期転送 1-12
 - フレーム同期転送 1-13
- 2 次元転送 1-14
 - アレイ同期転送 1-15
 - ブロック同期転送 1-16
- 2DD ビット
 - OPT 内の
 - C621x/C671x DSP 3-22
 - C64x DSP 4-33
 - QOPT 内の
 - C621x/C671x DSP 3-32
 - C64x DSP 4-44
 - QSOPT 内の
 - C621x/C671x DSP 3-32
 - C64x DSP 4-44
- 2DS ビット
 - OPT 内の
 - C621x/C671x DSP 3-22
 - C64x DSP 4-33
 - QOPT 内の
 - C621x/C671x DSP 3-32
 - C64x DSP 4-44
 - QSOPT 内の
 - C621x/C671x DSP 3-32
 - C64x DSP 4-44

A

- EVTSEL1 ビット 3-9
- ATCC ビット 4-33
- ATCINT ビット 4-33

C

- CCE ビット
 - CCER 内の 3-17
 - CCERH 内の 4-21
 - CCERL 内の 4-20

- CCER 3-17
- CCERH 4-21
- CCERL 4-20
- CIE ビット
 - CIER 内の 3-16
 - CIERH 内の 4-19
 - CIERL 内の 4-18
- CIER 3-16
- CIERH 4-19
- CIERL 4-18
- CIP ビット
 - CIPR 内の 3-15
 - CIPRH 内の 4-17
 - CIPRL 内の 4-16
- CIPR 3-15
- CIPRH 4-17
- CIPRL 4-16
- CNT
 - C621x/C671x DSP 3-26
 - C64x DSP 4-38
- CPU による EDMAINT の処理 1-38

D

- DST
 - C621x/C671x DSP 3-27
 - C64x DSP 4-39
- DST ビット
 - DST 内の
 - C621x/C671x DSP 3-27
 - C64x DSP 4-39
 - QDST 内の
 - C621x/C671x DSP 3-33
 - C64x DSP 4-45
 - QSDST 内の
 - C621x/C671x DSP 3-33
 - C64x DSP 4-45
- DUM ビット
 - OPT 内の
 - C621x/C671x DSP 3-22
 - C64x DSP 4-33
 - QOPT 内の
 - C621x/C671x DSP 3-32
 - C64x DSP 4-44

QSOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44

E

EC ビット

ECR 内の 3-20
 ECRH 内の 4-27
 ECRL 内の 4-26

ECR 3-20

ECRH 4-27

ECRL 4-26

EDMA イベントのパラメータ・エントリ

C621x/C671x DSP 3-2
 C64x DSP 4-2

EDMA イベント・イネーブル・ハイ・レジスタ (EERH) 4-25

EDMA イベント・イネーブル・レジスタ (EER) 3-19

EDMA イベント・イネーブル・ロー・レジスタ (EERL) 4-24

EDMA イベント・クリア・ハイ・レジスタ (ECRH) 4-27

EDMA イベント・クリア・レジスタ (ECR) 3-20

EDMA イベント・クリア・ロー・レジスタ (ECRL) 4-26

EDMA イベント・セット・ハイ・レジスタ (ESRH) 4-29

EDMA イベント・セット・レジスタ (ESR) 3-21

EDMA イベント・セット・ロー・レジスタ (ESRL) 4-28

EDMA イベント・セレクト・レジスタ (ESEL0、1、3) 3-8

EDMA イベント・ハイ・レジスタ (ERH) 4-23

EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH) 4-31

EDMA イベント・ポラリティ・ロー・レジスタ (EPRL) 4-30

EDMA イベント・レジスタ (ER) 3-18

EDMA イベント・ロー・レジスタ (ERL) 4-22

EDMA コントロール・レジスタ

C621x/C671x DSP 3-8
 C64x DSP 4-13

EDMA チャネル同期イベント

C6211 DSP 1-20
 C6416 DSP 1-21

EDMA チャネルのチェーン 1-33

EDMA チャネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH) 4-19

EDMA チャネル・インタラプト・イネーブル・レ

ジスタ (CIER) 3-16

EDMA チャネル・インタラプト・イネーブル・ロー・レジスタ (CIERL) 4-18

EDMA チャネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH) 4-17

EDMA チャネル・インタラプト・ペンディング・レジスタ (CIPR) 3-15

EDMA チャネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL) 4-16

EDMA チャネル・インデックス・パラメータ (IDX) C621x/C671x DSP 3-28

C64x DSP 4-40

EDMA チャネル・オプション・パラメータ (OPT)

C621x/C671x DSP 3-22

C64x DSP 4-32

EDMA チャネル・カウント・リロード/リンク・アドレス・パラメータ (RLD)

C621x/C671x DSP 3-29

C64x DSP 4-41

EDMA チャネル・コントローラ・イベントのチャネルへのマッピング 1-19

EDMA チャネル・ソース・アドレス・パラメータ (SRC)

C621x/C671x DSP 3-25

C64x DSP 4-37

EDMA チャネル・チェーン・イネーブル・ハイ・レジスタ (CCERH) 4-21

EDMA チャネル・チェーン・イネーブル・レジスタ (CCER) 3-17

EDMA チャネル・チェーン・イネーブル・ロー・レジスタ (CCERL) 4-20

EDMA チャネル・デスティネーション・アドレス・パラメータ (DST)

C621x/C671x DSP 3-27

C64x DSP 4-39

EDMA チャネル・トランスファー・カウント・パラメータ (CNT)

C621x/C671x DSP 3-26

C64x DSP 4-38

EDMA 転送

開始 1-17

終了 1-33

タイプ 1-11

リンク 1-31

EDMA 転送コントローラのプライオリティ

C621x/C671x DSP 3-6

C64x DSP 4-8

EDMA 転送タイプ 1-11

1 次元転送 1-11

2 次元転送 1-14

EDMA 転送の開始 1-17

EDMA 転送の終了 1-33

EDMA 転送のリンク 1-31

EDMA のパフォーマンス 2-2

- EDMA パラメータ・エントリ
 C621x/C671x DSP 3-22
 C64x DSP 4-32
- EDMA プライオリティ・キュー・アロケーション・レジスタ (PQAR) 4-15
- EDMA プライオリティ・キュー・ステータス・レジスタ (PQSR)
 C621x/C671x DSP 3-14
 C64x DSP 4-14
- EDMA 用語 1-6
- EDMAWEIGHT ビット 4-12
- EE ビット
 EER 内の 3-19
 EERH 内の 4-25
 EERL 内の 4-24
- EER 3-19
 EERH 4-25
 EERL 4-24
- ELECNT ビット
 CNT 内の
 C621x/C671x DSP 3-26
 C64x DSP 4-38
 QCNT 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSCNT 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
- ELEIDX ビット
 IDX 内の
 C621x/C671x DSP 3-28
 C64x DSP 4-40
 QIDX 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSIDX 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
- ELERLD ビット
 C621x/C671x DSP 3-30
 C64x DSP 4-42
- EP ビット
 EPRH 内の 4-31
 EPRL 内の 4-30
- EPRH 4-31
 EPRL 4-30
- ER 3-18
 ERH 4-23
 ERL 4-22
- ES ビット
 ESR 内の 3-21
 ESRH 内の 4-29
 ESRL 内の 4-28
- ESEL0、1、3 3-8
- ESIZE ビット
 OPT 内の
 C621x/C671x DSP 3-22
 C64x DSP 4-33
 QOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
- ESR 3-21
 ESRH 4-29
 ESRL 4-28
- EVT ビット
 ER 内の 3-18
 ERH 内の 4-23
 ERL 内の 4-22
- EVTSEL0 ビット 3-9
 EVTSEL1 ビット 3-9
 EVTSEL2 ビット 3-9
 EVTSEL3 ビット 3-9
 EVTSEL4 ビット 3-10
 EVTSEL5 ビット 3-10
 EVTSEL6 ビット 3-10
 EVTSEL7 ビット 3-10
 EVTSEL12 ビット 3-11
 EVTSEL13 ビット 3-11
 EVTSEL14 ビット 3-11
 EVTSEL15 ビット 3-11

F

- FRMCNT ビット
 CNT 内の
 C621x/C671x DSP 3-26
 C64x DSP 4-38
 QCNT 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSCNT 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
- FRMIDX ビット
 IDX 内の
 C621x/C671x DSP 3-28
 C64x DSP 4-40
 QIDX 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSIDX 内の

C621x/C671x DSP 3-33
 C64x DSP 4-45

FS ビット

OPT 内の

C621x/C671x DSP 3-22
 C64x DSP 4-33

QOPT 内の

C621x/C671x DSP 3-32
 C64x DSP 4-44

QSOPT 内の

C621x/C671x DSP 3-32
 C64x DSP 4-44

I

IDX

C621x/C671x DSP 3-28
 C64x DSP 4-40

L

L2 EDMA アクセス・コントロール・レジスタ
 (EDMAWEIGHT) 4-12

L2 コントローラへの EDMA アクセス 4-12

LINK ビット

OPT 内の

C621x/C671x DSP 3-22
 C64x DSP 4-33

RLD 内の

C621x/C671x DSP 3-30
 C64x DSP 4-42

O

OPT

C621x/C671x DSP 3-22
 C64x DSP 4-32

P

PDTD ビット 4-33
 PDTS ビット 4-33
 PQ ビット

C621x/C671x DSP 3-14

C64x DSP 4-14

PQA ビット 4-15
 PQAR 4-15
 PQSR

C621x/C671x DSP 3-14
 C64x DSP 4-14

PRI ビット

OPT 内の

C621x/C671x DSP 3-22
 C64x DSP 4-33

QOPT 内の

C621x/C671x DSP 3-32
 C64x DSP 4-44

QSOPT 内の

C621x/C671x DSP 3-32
 C64x DSP 4-44

Q

QCNT

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・インデックス疑似レジスタ (QSIDX)

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・インデックス・レジスタ (QIDX)

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・オプション疑似レジスタ (QSOPT)

C621x/C671x DSP 3-32
 C64x DSP 4-44

QDMA チャンネル・オプション・レジスタ (QOPT)

C621x/C671x DSP 3-32
 C64x DSP 4-44

QDMA チャンネル・ソース・アドレス疑似レジスタ (QSSRC)

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・デスティネーション・アドレス疑似レジスタ (QSDST)

C621x/C671x DSP 3-33
 C64x DSP 4-45

QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)

C621x/C671x DSP 3-33

C64x DSP 4-45
 QDMA チャンネル・トランスファー・カウント疑似レジスタ (QSCNT)
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QDMA レジスタ
 C621x/C671x DSP 3-31
 C64x DSP 4-43
 QDST
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QIDX
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QOPT
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSCNT
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSDST
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSIDX
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSOPT
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSRC
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSSRC
 C621x/C671x DSP 3-33
 C64x DSP 4-45

R

RLD
 C621x/C671x DSP 3-29
 C64x DSP 4-41

S

SRC

C621x/C671x DSP 3-25
 C64x DSP 4-37
 SRC ビット
 QSRC 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 QSSRC 内の
 C621x/C671x DSP 3-33
 C64x DSP 4-45
 SRC 内の
 C621x/C671x DSP 3-25
 C64x DSP 4-37
 SUM ビット
 OPT 内の
 C621x/C671x DSP 3-22
 C64x DSP 4-33
 QOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44

T

TCC ビット
 OPT 内の
 C621x/C671x DSP 3-22
 C64x DSP 4-33
 QOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 TCCM ビット
 OPT 内の 4-33
 QOPT 内の 4-44
 QSOPT 内の 4-44
 TCINT ビット
 OPT 内の
 C621x/C671x DSP 3-22
 C64x DSP 4-33
 QOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44
 QSOPT 内の
 C621x/C671x DSP 3-32
 C64x DSP 4-44

い

- イベントによる EDMA チャンネルのチェーン
C621x/C671x DSP 3-5
- イベント・サービス・プライオリティ
C621x/C671x DSP 3-2
- C64x DSP 4-2

え

- エミュレーション動作 1-40
- エレメント・カウンタの更新 1-25
- エレメント・カウンタのリロード 1-26
- エレメント・カウンタ・リロード 1-26
- エレメント・サイズおよびアライメント 1-23

か

- 概要 1-2
- 完了コードに基づく EDMA 割り込み生成 1-37
- 関連資料 iv

く

- クイック DMA (QDMA) 1-39
- レジスタ
 - C621x/C671x DSP 3-31
 - C64x DSP 4-43

こ

- 固定モード転送の考慮事項 1-23

し

- 商標 iv

そ

- ソース・アドレスの更新 1-26

た

- 代替転送チェーン 4-6
- 代替転送完了コードの生成 1-36
- 単一イベントを使用した EDMA チャンネルのチェーン
C64x DSP 4-6

ち

- チャンネル完了条件 1-30

て

- データ転送
 - キャッシュ・コントローラ
C621x/C671x DSP 2-4
 - 例 1-41
 - デスティネーション・アドレスの更新 1-26
 - デバイスの違い 1-5
- 転送
 - アレイ同期
 - 1D to 2D A-56
 - 2D to 1D A-76
 - 2D to 2D A-36
 - エレメント同期 A-2
 - フレーム同期 A-19
 - ブロック同期
 - 1D to 2D A-66
 - 2D to 1D A-86
 - 2D to 2D A-46
- 転送完了コードの生成 1-34
- 転送完了コード (TCC) の DMA 割り込みへのマッピング
 - C621x/C671x DSP 1-35
 - C64x DSP 1-35
- 転送要求のキュー長
 - C621x/C671x DSP 3-6
 - C64x DSP 4-9
- 転送要求の発行 2-3
- 転送例 1-41

サブフレームの抽出 1-43
データのソート 1-45
ブロック移動 1-41
ペリフェラル処理 1-47

は

パラメータ RAM (PaRAM)
C621x/C671x DSP 3-2
C64x DSP 4-2
概要 1-8
パラメータ・エントリ
C621x/C671x DSP 3-22
C64x DSP 4-32
EDMA チャンネル・インデックス・パラメータ (IDX)
C621x/C671x DSP 3-28
C64x DSP 4-40
EDMA チャンネル・オプション・パラメータ (OPT)
C621x/C671x DSP 3-22
C64x DSP 4-32
EDMA チャンネル・カウント・リロード / リンク・アドレス・パラメータ (RLD)
C621x/C671x DSP 3-29
C64x DSP 4-41
EDMA チャンネル・ソース・アドレス・パラメータ (SRC)
C621x/C671x DSP 3-25
C64x DSP 4-37
EDMA チャンネル・デスティネーション・アドレス・パラメータ (DST)
C621x/C671x DSP 3-27
C64x DSP 4-39
EDMA チャンネル・トランスファー・カウント・パラメータ (CNT)
C621x/C671x DSP 3-26
C64x DSP 4-38
パラメータ・セットの更新 1-25
エレメント・カウントの更新 1-25
ソース・アドレスの更新 1-26
デスティネーション・アドレスの更新 1-26
フレーム / アレイ・カウントの更新 1-25

ひ

表記規則 iii

ふ

フレーム 1-8
フレーム / アレイ・カウントの更新 1-25
ブロック図
EDMA チャンネル・コントローラ 1-4
TMS320C621x DSP 1-3
TMS320C64x DSP 1-3
TMS320C671x DSP 1-3
アドレス生成 / 転送ロジック 2-6
転送要求 2-3

へ

ペリフェラル・デバイス転送 4-7

れ

レジスタ
EDMA イベント・イネーブル・ハイ・レジスタ (EERH) 4-25
EDMA イベント・イネーブル・レジスタ (EER) 3-19
EDMA イベント・イネーブル・ロー・レジスタ (EERL) 4-24
EDMA イベント・クリア・ハイ・レジスタ (ECRH) 4-27
EDMA イベント・クリア・レジスタ (ECR) 3-20
EDMA イベント・クリア・ロー・レジスタ (ECRL) 4-26
EDMA イベント・セット・ハイ・レジスタ (ESRH) 4-29
EDMA イベント・セット・レジスタ (ESR) 3-21
EDMA イベント・セット・ロー・レジスタ (ESRL) 4-28
EDMA イベント・セクタ・レジスタ (ESEL0、1、3) 3-8
EDMA イベント・ハイ・レジスタ (ERH) 4-23
EDMA イベント・ポラリティ・ハイ・レジスタ (EPRH) 4-31
EDMA イベント・ポラリティ・ロー・レジスタ (EPRL) 4-30
EDMA イベント・レジスタ (ER) 3-18
EDMA イベント・ロー・レジスタ (ERL) 4-22
EDMA コントロール
C621x/C671x DSP 3-8

- C64x DSP 4-13
- EDMA チャンネル・インタラプト・イネーブル・ハイ・レジスタ (CIERH) 4-19
- EDMA チャンネル・インタラプト・イネーブル・レジスタ (CIER) 3-16
- EDMA チャンネル・インタラプト・イネーブル・ロー・レジスタ (CIERL) 4-18
- EDMA チャンネル・インタラプト・ペンディング・ハイ・レジスタ (CIPRH) 4-17
- EDMA チャンネル・インタラプト・ペンディング・レジスタ (CIPR) 3-15
- EDMA チャンネル・インタラプト・ペンディング・ロー・レジスタ (CIPRL) 4-16
- EDMA チャンネル・チェーン・イネーブル・ハイ・レジスタ (CCERH) 4-21
- EDMA チャンネル・チェーン・イネーブル・レジスタ (CCER) 3-17
- EDMA チャンネル・チェーン・イネーブル・ロー・レジスタ (CCERL) 4-20
- EDMA プライオリティ・キュー・アロケーション・レジスタ (PQAR) 4-15
- EDMA プライオリティ・キュー・ステータス・レジスタ (PQSR)
- C621x/C671x DSP 3-14
- C64x DSP 4-14
- L2 EDMA アクセス・コントロール・レジスタ (EDMAWEIGHT) 4-12
- QDMA
- C621x/C671x DSP 3-31
- C64x DSP 4-43
- QDMA チャンネル・オプション疑似レジスタ (QSOPT)
- C621x/C671x DSP 3-32
- QDMA チャンネル・インデックス疑似レジスタ (QSIDX)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・インデックス・レジスタ (QIDX)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・オプション疑似レジスタ (QSOPT)
- C64x DSP 4-44
- QDMA チャンネル・オプション・レジスタ (QOPT)
- C621x/C671x DSP 3-32
- C64x DSP 4-44
- QDMA チャンネル・ソース・アドレス疑似レジスタ (QSSRC)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・ソース・アドレス・レジスタ (QSRC)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・デスティネーション・アドレス疑似レジスタ (QSDST)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・デスティネーション・アドレス・レジスタ (QDST)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・トランスファー・カウント疑似レジスタ (QSCNT)
- C64x DSP 4-45
- QDMA チャンネル・トランスファー・カウント・レジスタ (QCNT)
- C621x/C671x DSP 3-33
- C64x DSP 4-45
- QDMA チャンネル・トランスファー・カウント疑似レジスタ (QSCNT)
- C621x/C671x DSP 3-33
- 連続エレメント 1-7

わ

割り込み生成 1-37

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代 表)

■お問い合わせ先

プロダクト・インフォメーション・センター (PIC) _____ URL: <http://www.tij.co.jp/pic/>

**TMS320C6000 DSP
エンハnst・ダイレクト・メモリ・
アクセス (EDMA) コントローラ
リファレンス・ガイド**

第 1 版 2005 年 12 月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)

