고속 ADC 아날로그 입력 프론트 엔드를 패시브 매칭하는 기술

Rob Reeder
Application Engineer
High-Speed Converter Group

Luke Allen
Application Engineer
High-Speed Converter Group

머리말

고속 ADC(아날로그-디지털 컨버터) 프론트 엔드를 설계하는 데 관련된 메커니즘을 이해하는 것은 때때로 그 자체로 예술과 같습니다. 발룬을 아래로 배치하고 발룬의 2차 출력에서 ADC 입력으로 두 트레이스 라인을 그리는 것은 고속 아날로그 리시버 프론트 엔드 설계에는 권장되지 않습니다. 밸런스는 기타 성가신 요소와 함께 대역폭에서 기생에 민감합니다. 이 문서에서는 발룬을 사용하여 패시브 아날로그 입력 설계를 최대한 활용하는 방법을 보여드리겠습니다. 추가적인 이점은 원하는 대역폭을 달성하기 위해 비용이 많이 드는 발룬이나 비용이 많이 드는 감쇠 패드가 필요하지 않는다는 것입니다.

올바른 발룬 또는 변압기를 선택하는 기술

DC 커플링이 필요하지 않다는 가정, 즉 DC 주파수 구간을 샘플링한다는 가정부터 시작하겠습니다. 발룬에는 추가 전원 공급 장치가 필요하지 않기 때문에 전체 전력 소비량을 줄이고 보드 공간 요구 사항을 줄일 수 있는 장점이 있습니다. 또한 추가 전원 공급 장치가 없기 때문에 발룬은 ADC 자체로 이어지는 전체 무선 주파수(RF) 신호 체인에 잡음을 추가하지 않으므로 신호 대 잡음비(SNR) 또는 잡음 스펙트럼 밀도가 저하되지 않습니다.

그림 1에서는 TI의 16비트, 듀얼 채널 **ADC3669** ADC와 동일한 애플리케이션에 사용되는 두 개의 다른 밸런스를 보여줍니다. 두 발룬의 정격 대역폭이 동일하더라도 ADC 내부 샘플 네트워크의 다양한 입력 임피던스와 인쇄 회로 기판(PCB) 트레이스 기생 자체의 조합에 따라 궁극적으로 다르게 응답합니다. 두 발룬에 적용된 "정합"이 없으면 대역폭이 상당히 급격히 떨어집니다[1].

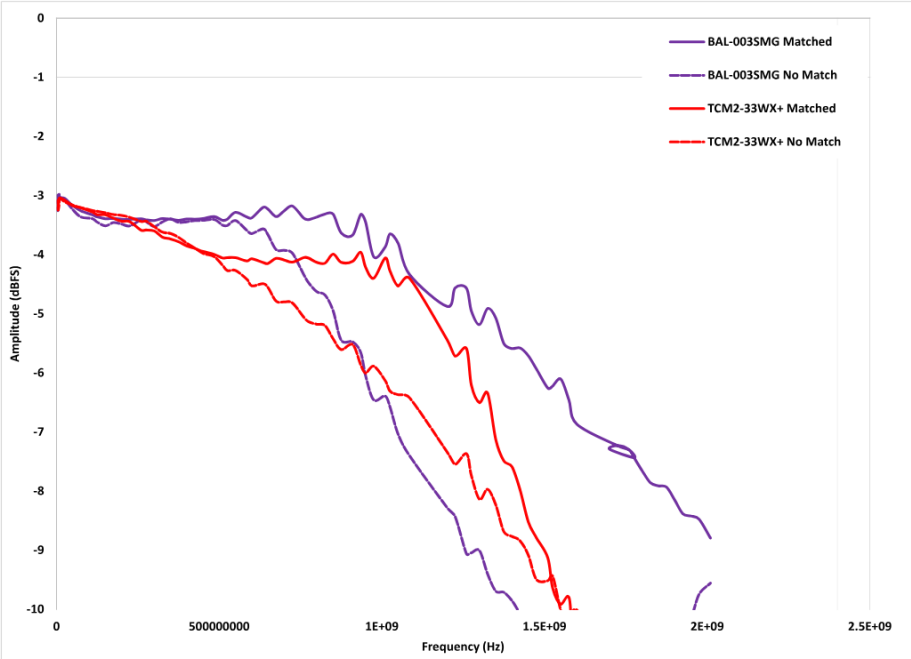

그림 1. *ADC3669 및 발룬 대역폭 비교: 정합(실선) 및 정합 없음(점선).*

데이터시트에서 발룬의 PCB 풋프린트와 레이아웃 권장 사항을 자세히 살펴보세요. 이러한 권장 사항을 정확히 따르는 것이 좋습니다. 그렇지 않으면 발룬이 다르게 반응합니다. 발룬은 데이터 시트 수집 및 S 매개 변수 측정용으로 이 풋프린트를 사용하는 것이 특징이며, 이러한 상황에서는 최대 사양까지만 작동합니다.

특정 대역폭에 대한 발룬의 위상 불균형을 이해하려면 발룬의 고유한 위상 불균형이 나쁠수록 ADC에서 짝수 차 왜곡(2차 고조파 왜곡[HD2])이 더 심해진다는 점에 유의하세요. HD2가 주파수 계획 애플리케이션에 중요한 경우 위상 불균형이 양호한 발룬을 선택하는 것이 좋습니다. 각 ADC는 사용 가능한 주파수 범위의 위상 차이에 대한 민감도를 가질 수 있으므로 이에 대한 좋은 지침은 없습니다. 일반적으로 애플리케이션의 작동 대역폭에 대한 위상 불균형이 ≤ 5도인 발룬을 선택하는 것이 좋습니다. 이 정도의 위상 불균형은 RF 신호 체인 라인업에 이미 존재하는 총 짝수 순서 왜곡에 거의 영향을 미치지 않습니다 [2].

그림 2에서는 동일한 두 개의 정합 발룬 시나리오 간의 차이점과 ADC3669를 사용한 짝수 왜곡에 미치는 영향을 보여줍니다. 세 번째 고조파 왜곡(HD3)은 주파수 간에 상대적으로 동일하며 큰 차이가 없다는 것을 알 수 있습니다.

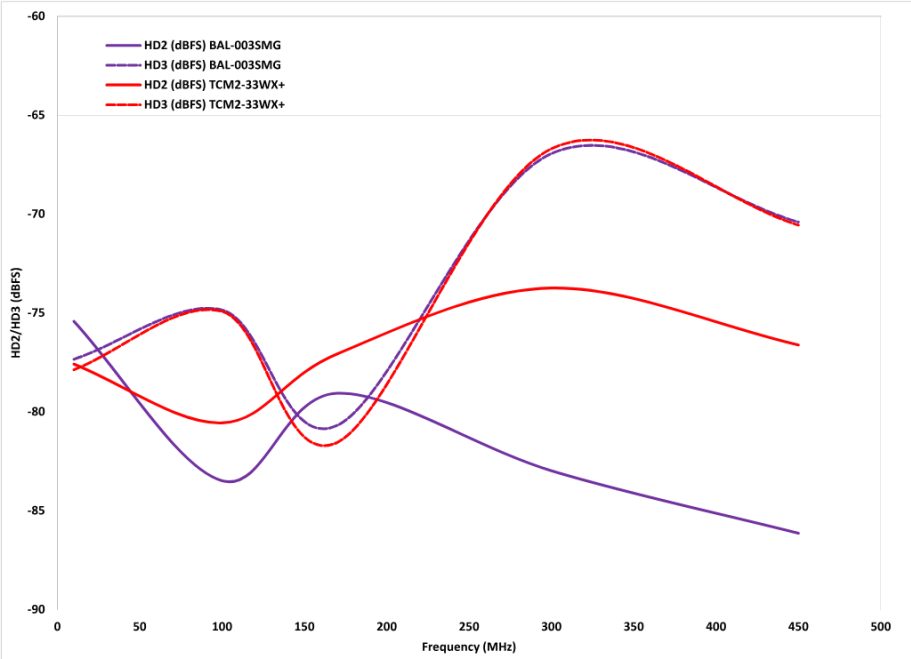

그림 2. *ADC3669 HD2와 HD3 의 두 발룬 비교: 고비용과 저렴한 비용.*

올바른 발룬 정합 네트워크를 선택하는 기술

지난 몇 년 동안 발룬 정합을 시뮬레이션하고 완성하려는 시도가 많이 있었습니다. 몇 주에서 몇 달에 이르는 시뮬레이션을 완료했으며어느 정도의 PCB 기생을 이해하려고 노력한 후에도 PCB 설계를 제작할 때 정합 문제가 발생하지 않을 가능성이 있습니다. **그림 3**에 나와 있는 토폴로지를 사용하여 설계 프로세스를 다르게 시작하는 것이 좋습니다.

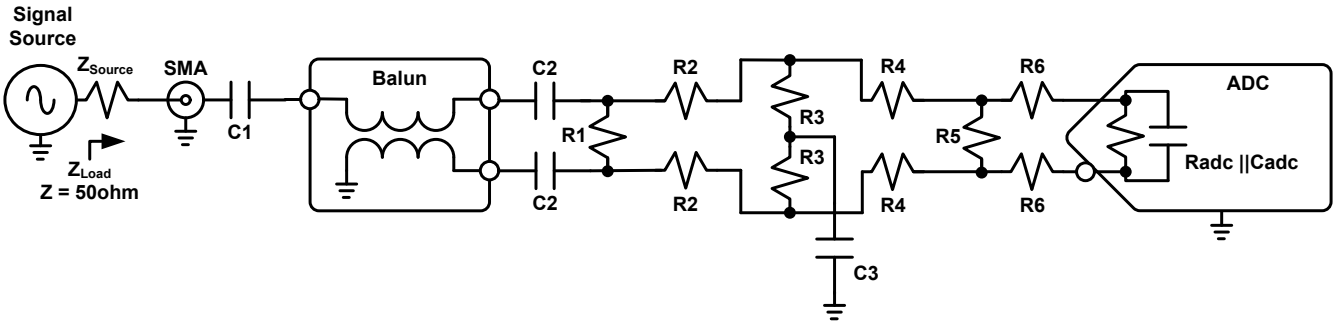

그림 3. *일반화된 패시브 네트워크 부품 자리 표시자.*

이 모든 노력과 절충이 실제로 가치가 있는지 궁금하다면 **그림 1**를 다시 참조하는 것이 좋습니다.

ADC와 입력 정합 네트워크 내에서 필요성을 알 수 있도록 각 부품에 대해 설명해 보겠습니다.

- C1, C2. 일반적으로 0.1µF인 이러한 부품은 DC가 발룬 또는 변압기에 공급되지 않도록 차단합니다. 일부 발룬

설계는 접지, DC 또는 둘 다로 이어지므로 발룬의 기능이 악화되어 성능 저하로 이어질 수 있습니다.

- R1. 이 부품을 사용하면 DC 차단 커패시터 이후 발룬의 출력 근처에서 백 터미네이션을 사용할 수 있습니다. 트레이스 길이가 충분히 길면 이 부품이 필요할 수 있습니다. 관심 대역에서 완벽한 정합이 이루어지지 않는다고 가정하면 불완전한 정합이 주파수 범위에서 앞뒤로 굴러갈 때 누적되는 정재파를 처리하기 위해 백 터미네이션을 수행해야 할 수 있습니다.
- R2, R3, R4. 이러한 부품을 사용하면 다양한 정합 기술을 사용할 수 있으며 발룬 및 ADC 정합 문제를 해결하기 위해 여러 가지 조합의 형태를 취할 수 있습니다. 가장 넓은 대역 정합의 경우 R2, R3 및 R4는 일반적으로 정합 패드로 구성되므로 발룬과 ADC 사이의 정재파를 해소하고 발룬과 ADC에 필요한 "강한" 50Ω 임피던스를 제공합니다. 이러한 부품은 저항으로 표시되지만 커패시터나 인덕터의 형태를 취할 수 있습니다.
- C3. 이 커패시터는 일반적으로 0.1µF로 R3의 중심점을 서로 연결하고 AC 전류 경로를 지원합니다. ADC의 입력 풀 스케일에 과도한 범위를 가할 경우 C3을 추가하면 이 AC 전류가 어딘가로 갈 수 있기 때문에 C3을 추가하는 것도 좋은 방법입니다. C3는 R5에서도 찾을 수 있습니다.
- R5. 이 부품은 ADC 입력 근처의 반대편에서 백 터미네이션이 가능하므로 항상 필요한 것은 아닙니다. R5는 R1과 동일한 기능을 제공하지만, 그 반대되는 관점에서 축적될 수 있는 정재파를 해결하는 데 도움을 줍니다. 일반적으로 트레이스 연결의 길이가 ≥ 300mils일 때는 R1 또는 R5가 필요합니다.
- R6. 이는 일반적으로 저항 형태의 킥백 부품이지만, 경우에 따라 ADC의 내부 샘플링 회로에서 아날로그 입력 네트워크로 다시 공급되는 잔류 충전 킥백을 스너빙하는 데 도움이 되는 인덕터나 저 Q 페라이트 비드입니다. 이러한 부품 자리 표시자는 버퍼링되지 않은 ADC를 사용할 때 필수적입니다.

발룬 출력에서 ADC 입력까지 두 트레이스를 실행하려는 경우에는 다시 한 번 주의하십시오. S-매개 변수를 수집하고 설계를 시뮬레이션하여 동료에게 입증하더라도 발룬 및 ADC 콤보에 대한 경험이 없다면 이 방법론은 비용이 많이 들 수 있습니다.

ADC3669를 사용하는 기술

이 예제에서는 1.5GHz의 아날로그 샘플링 대역폭의 광대역 프론트 엔드 정합 설계에 16비트 듀얼 채널 **ADC3669** ADC를 사용합니다. 이 예에서는 또한 미니 회로의 **TCM2-33WX+** 발룬을 사용합니다. 이 회로는 정합이 더 쉬운 저비용 밸런스에 비해 3GHz의 대역폭과 낮은 삽입 손실이 있습니다. 또한 이 발룬은 동일한 주파수 범위에 있는 다른 저비용 밸런스와 비교했을 때 5도 미만의 매우 양호한 위상 불균형을 가지고 있습니다.

그림 3의 일반화된 회로를 사용하부품이면 필요한 순수하게 저항성이 없어 정합 여부를 정의할 수 있습니다. 이 경우 저항(R), 내부 기생 커패시턴스(C) 및 인덕터(L)(R2, R3 및 R6) 접근 방식을 사용합니다. **그림 4**의 내용을 참조하십시오.

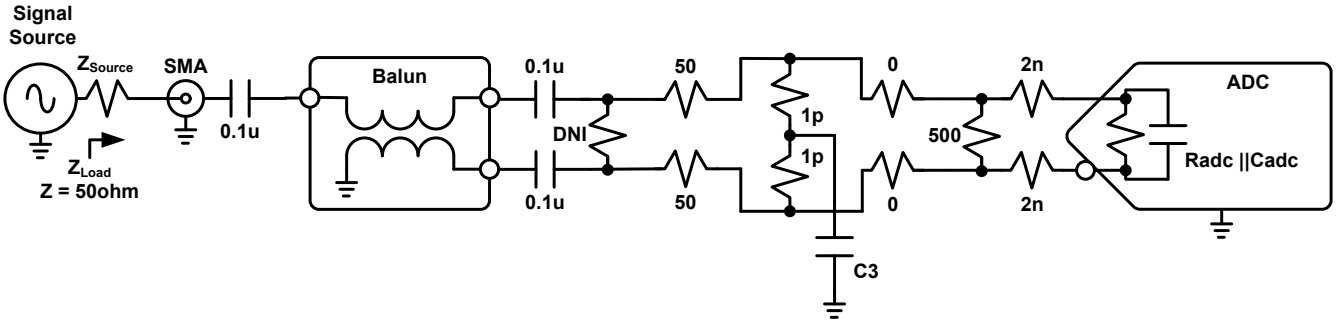

그림 4. *완료된 패시브 네트워크 정합.*

PCB 기생은 여전히 문제가 되므로 보드에서 몇 가지 다른 반복을 테스트해야 합니다.

발룬 및 ADC에 대한 두 S-매개 변수 세트(가능한 경우)를 얻고 자주 사용하는 시뮬레이션 소프트웨어를 사용하십시오. **그림 3**에 제공된 정합 네트워크 형식과 R2, R3 및 R4에 대해 다음 두 가지 방법 중 하나를 사용합니다.

- 감쇠 패드 접근 방식(각각 R2, R3 및 R4의 경우 약 8.6Ω, 140Ω 및 8.6Ω)은 3dB 패드를 제공합니다. 이 접근 방식에 대한 자세한 내용은 전자 제품 문서 " RF 컨버터의 아날로그 입력의 풀 스케일 문제 해결"을 참조하십시오.
- R2, R3 및 R4에 대한 R, C 및 L 접근 방식은 각각 L을 마지막 구성 요소로 사용하여 ADC의 C를 공진시키는 데 도움이 됩니다. 이 접근 방식은 대역폭을 축소하여 발룬이 정격 대역폭에서 작동할 수 있도록 합니다. 그러나 이 방식은 약간의 반복을 필요로 합니다.

여기서 목표는 손실 감쇠 패드를 사용하지 않는 것입니다. 따라서 R, C 및 L 접근 방식에 더 많은 맥락을 제공하려면 **그림 5**, **그림 6** 및 **그림 7**에서 각각 L, C 및 R을 변화시키면 (**그림 4**참조) 최종 대역폭과 네트워크 정합을 정의하는 역할을 참조하십시오.

그림 5은 주변의 L 값 변경이 대역폭에 어떤 영향을 미치는지 보여주며 다른 모든 부품 값을 동일하게 유지합니다. L 값이 증가할수록 대역폭이 느리게 감소한다는 것을 알 수 있습니다. 이는 L 값이 ADC의 C에 부정적인 무효 영향을 미친다는 것을 의미합니다.

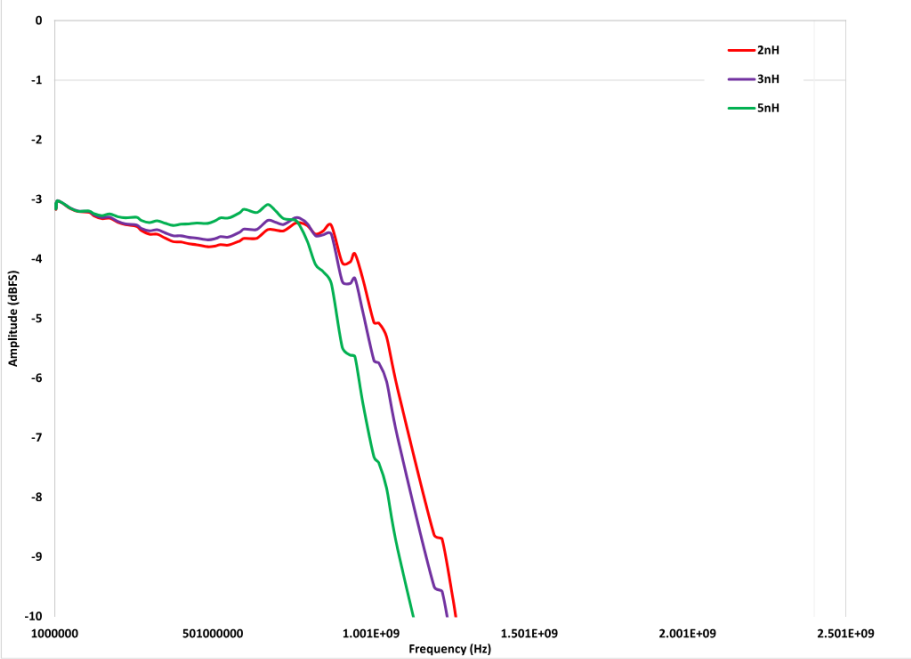

그림 5. *R4에서 다양한 L 값을 가진 통과 대역 편평도 응답.*

그림 6은 다른 모든 구성 요소 값을 동일하게 유지하면서 C 값을 이동하면 대역폭에 어떤 영향을 미치는지 보여줍니다. C 의 값이 감소함에 따라 대역폭은 대역폭의 평탄도를 희생하면서 서서히 향상되고 있음을 알 수 있습니다. 즉, C 값은 주파수에 대한 발룬의 반환 손실에 반응하는 영향을 미친다는 것을 의미합니다. 이 커패시터는 발룬의 대역폭과 주파수를 유지하는 데 도움이 됩니다.

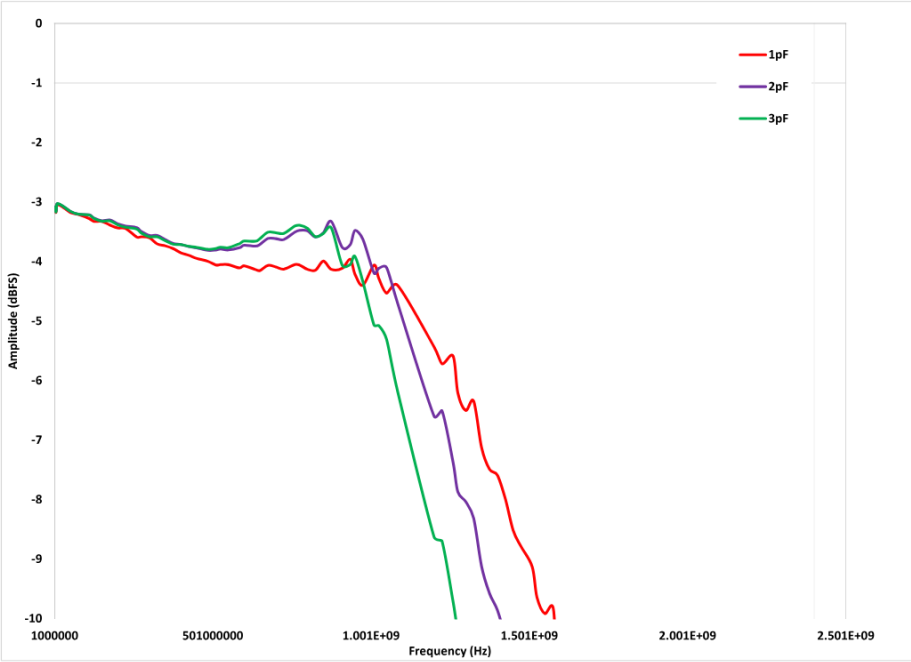

그림 6. *R3에서 다양한 C 값을 가진 통과 대역 편평도 응답.*

그림 7은 다른 모든 구성 요소 값을 동일하게 유지하면서 R 값을 이동하면 대역폭에 어떤 영향을 미치는지 보여줍니다. R 값이 증가할수록 대역폭이 서서히 향상되고 있으며, 이는 대역폭 응답에서 평탄도나 정점을 초래하기 때문입니다. R 값의 효과는 L의 효과와 거의 동일하므로 발룬과 ADC가 서로 연계해야 하는 임피던스 요구 사항을 유지합니다.

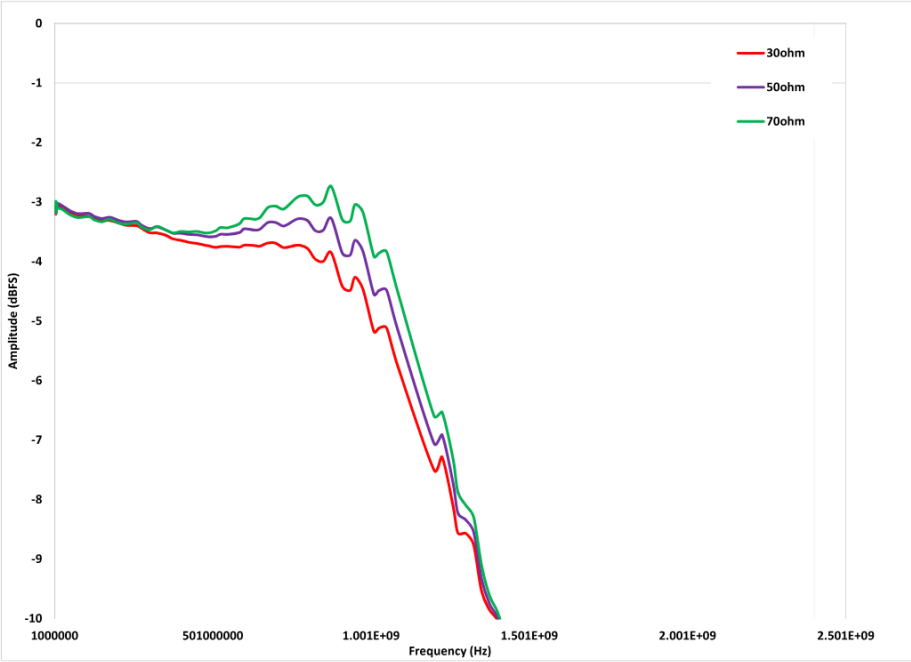

그림 7. *R2에서 다양한 R 값을 가진 통과 대역 평탄도 응답.*

시뮬레이션 소프트웨어의 '조정' 기능을 사용하여 R, C, L 접근 방식을 시뮬레이션하면 좋은 출발점이 될 수 있으며, 네트워크 정합에서 각 부품이 어떤 역할을 하는지 확인할 수 있습니다. 몇 가지 좋은 시작 값을 설정하면 애플리케이션에 필요한 정합 항목을 반복하고 완성할 때 어떤 방향으로 나아갈지 정의하는 데 도움이 됩니다.

설계 작업을 수행하는 동안 컨버터의 애플리케이션 대역폭 전반에 걸쳐 AC 성능 스윕을 완료하면 성능이 동적으로 어떻게 따라가고, ADC에 문제가 없는지 통찰력을 얻을 수 있습니다.

그림 8에서는 입력 네트워크를 1.5GHz에 정합시키기 위해 설명한 방법을 사용하여 **ADC3669**의 대역폭 전반에 걸쳐 측정된 AC 성능(SNR 및 Spurious-Free Dynamic Range[SFDR])을 보여줍니다.

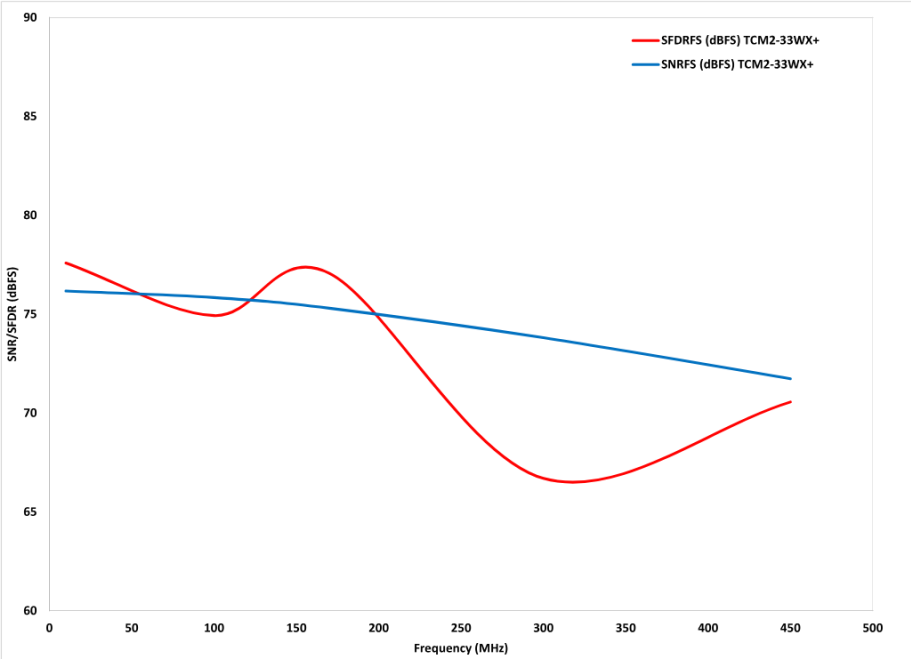

***그림 8.** 최종 정합 네트워크 AC 성능(SNR/SFDR) 대 주파수.*

마무리

다음은 기가헤르츠 영역에서 발룬 및 ADC 정합 네트워크 설계에 접근할 때의 기본 단계로, 다음 매칭 작업에서 대역폭이 손상되는 것을 방지할 수 있습니다.

- 특정 애플리케이션에서 대역폭 초과가 있는 발룬 또는 변압기를 선택합니다.
- HD2가 주파수 애플리케이션에 중요한 경우 ≤ 5도의 위상 불균형이 있는 발룬을 선택합니다.
- 간소화된 입력 네트워크는 발룬 또는 증폭기 및 ADC를 사용할 때 가장 일치하는 작업에 필요한 초기 자리 표시자를 제공할 수 있습니다.
- 나열된 모든 부품이 필요한 것은 아니지만 시뮬레이션에서 모든 보드 레이아웃 및 PCB 기생을 캡처할 수 없기 때문에 처음에는 유용할 수 있습니다.
- 대역폭 성능에 영향을 줄 수 있는 장단점을 이해합니다. 이러한 절충점 중 일부는 ADC의 선형성 성능에 영향을 미칠 수 있습니다.

참고 자료

1. Reeder, Rob. 2022. “**A Close Look at Active vs. Passive RF Converter Front Ends**.” Planet Analog, Jan. 24, 2022.
2. Reeder, Rob. 2022. “**Evaluating high-speed RF converter front-end architectures**.” Planet Analog, April 7, 2022

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

© 2024 Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES “AS IS” AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI’s products are provided subject to TI’s Terms of Sale or other applicable terms available either on ti.com or provided in conjunction with such TI products. TI’s provision of these resources does not expand or otherwise alter TI’s applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated